



Bank Number	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Emulated LVDS Output Channel	F1517	F1152	H780	DQS for X4 for F1517	DQS for X8/X9 for F1517	DQS for X16/X18 for F1517 (Note 1)	DQS for X32/X36 for F1517 (Note 1)	DQS for X4 for F1152	DQS for X8/X9 for F1152 (Note 1)	DQS for X16/X18 for F1152 (Note 1)	DQS for X4 for H780	DQS for X8/X9 for H780 (Note 1)	DQS for X16/X18 for H780 (Note 1)	
		NC					H33	D32	E25											
		TDI		TDI			G34	G28	F24											
		TMS		TMS			F34	H28	H22											
		TRST		TRST			G37	G28	G26											
		TCK		TCK			G36	F30	G26											
		TDO		TDO			F35	G29	G24											
		VCCA_PLL_L1					L31													
		VCCD_PLL_L1					M30													
VCCIO1A	VREF1A	PLL_L1_CLKn	PLL_L1_CLKn				C39													
VCCIO1A	VREF1A	PLL_L1_CLKp	PLL_L1_CLKp				C38													
VCCIO1A	VREF1A	PLL_L1_CLKOUT0n			DIFFIO_TX_L1n	DIFFOUT_L1n	J33	G31	F26											
VCCIO1A	VREF1A	PLL_L1_FB_CLKOUT0p			DIFFIO_TX_L1p	DIFFOUT_L1p	K32	G30	F25											
VCCIO1A	VREF1A	RDN1A			DIFFIO_RX_L1n	DIFFOUT_L2n	G35	E32	C28											
VCCIO1A	VREF1A	RUPIA			DIFFIO_RX_L1p	DIFFOUT_L2p	H34	E31	D27											
VCCIO1A	VREF1A	IO			DIFFIO_TX_L2n	DIFFOUT_L3n	J35	J30	G26	DQ1L	DQ1L	DQ1L	DQ1L	DQ1L	DQ1L	DQ1L	DQ1L	DQ1L	DQ1L	DQ1L
VCCIO1A	VREF1A	IO			DIFFIO_TX_L3p	DIFFOUT_L3p	J34	J29	G25	DQ1L	DQ1L	DQ1L	DQ1L	DQ1L	DQ1L	DQ1L	DQ1L	DQ1L	DQ1L	DQ1L
VCCIO1A	VREF1A	IO			DIFFIO_RX_L2n	DIFFOUT_L4n	E37	F32	B28	DQSn1L	DQ1L	DQ1L	DQ1L	DQSn1L	DQ1L	DQ1L	DQSn1L	DQ1L	DQ1L	DQ1L
VCCIO1A	VREF1A	IO			DIFFIO_RX_L3p	DIFFOUT_L4p	E36	F31	C27	DQS1L	DQS1L	DQ1L	DQ1L	DQS1L	DQ1L	DQ1L	DQS1L	DQ1L	DQ1L	DQ1L
VCCIO1A	VREF1A	IO			DIFFIO_TX_L3n	DIFFOUT_L5n	K35	K28	H25	DQ1L	DQ1L	DQ1L	DQ1L	DQ1L	DQ1L	DQ1L	DQ1L	DQ1L	DQ1L	DQ1L
VCCIO1A	VREF1A	IO			DIFFIO_TX_L3p	DIFFOUT_L5p	K34	K27	J24	DQ1L	DQ1L	DQ1L	DQ1L	DQ1L	DQ1L	DQ1L	DQ1L	DQ1L	DQ1L	DQ1L
VCCIO1A	VREF1A	IO			DIFFIO_RX_L3n	DIFFOUT_L6n	D38	G34	D28	DQS2L	DQS2L	DQ1L	DQ1L	DQS2L	DQ1L	DQ1L	DQS2L	DQ1L	DQ1L	DQ1L
VCCIO1A	VREF1A	IO			DIFFIO_RX_L3p	DIFFOUT_L6p	D37	G33	E28	DQS2L	DQS2L	DQ1L	DQ1L	DQS2L	DQ1L	DQ1L	DQS2L	DQ1L	DQ1L	DQ1L
VCCIO1A	VREF1A	IO			DIFFIO_TX_L4n	DIFFOUT_L7n	L34	N25	J23	DQ2L	DQ2L	DQ1L	DQ1L	DQ2L	DQ1L	DQ1L	DQ2L	DQ1L	DQ1L	DQ1L
VCCIO1A	VREF1A	IO			DIFFIO_TX_L4p	DIFFOUT_L7p	L33	M24	J22	DQ2L	DQ2L	DQ1L	DQ1L	DQ2L	DQ1L	DQ1L	DQ2L	DQ1L	DQ1L	DQ1L
VCCIO1A	VREF1A	IO			DIFFIO_RX_L4n	DIFFOUT_L8n	F36	H32	F28	DQ2L	DQ2L	DQ1L	DQ1L	DQ2L	DQ1L	DQ1L	DQ2L	DQ1L	DQ1L	DQ1L
VCCIO1A	VREF1A	IO			DIFFIO_RX_L4p	DIFFOUT_L8p	G36	H31	F27	DQ2L	DQ2L	DQ1L	DQ1L	DQ2L	DQ1L	DQ1L	DQ2L	DQ1L	DQ1L	DQ1L
VCCIO1A	VREF1A	IO			DIFFIO_TX_L5n	DIFFOUT_L9n	M34	M27	K21	DQ3L	DQ3L	DQ2L	DQ2L	DQ3L	DQ2L	DQ2L	DQ3L	DQ2L	DQ2L	DQ2L
VCCIO1A	VREF1A	IO			DIFFIO_TX_L5p	DIFFOUT_L9p	M33	N26	K20	DQ3L	DQ3L	DQ2L	DQ2L	DQ3L	DQ2L	DQ2L	DQ3L	DQ2L	DQ2L	DQ2L
VCCIO1A	VREF1A	IO			DIFFIO_RX_L5n	DIFFOUT_L10n	D39	D34	G28	DQS4L	DQS4L	DQ2L	DQ2L	DQS4L	DQ2L	DQ2L	DQS4L	DQ2L	DQ2L	DQ2L
VCCIO1A	VREF1A	IO			DIFFIO_RX_L5p	DIFFOUT_L10p	E39	D33	G27	DQS4L	DQS4L	DQ2L	DQ2L	DQS4L	DQ2L	DQ2L	DQS4L	DQ2L	DQ2L	DQ2L
VCCIO1A	VREF1A	IO			DIFFIO_TX_L6n	DIFFOUT_L11n	M32	K30	K26	DQ3L	DQ3L	DQ2L	DQ2L	DQ3L	DQ2L	DQ2L	DQ3L	DQ2L	DQ2L	DQ2L
VCCIO1A	VREF1A	IO			DIFFIO_TX_L6p	DIFFOUT_L11p	N31	K29	K25	DQ3L	DQ3L	DQ2L	DQ2L	DQ3L	DQ2L	DQ2L	DQ3L	DQ2L	DQ2L	DQ2L
VCCIO1A	VREF1A	IO			DIFFIO_RX_L6n	DIFFOUT_L12n	F39	J32	J26	DQS4L	DQS4L	DQ2L	DQ2L	DQS4L	DQ2L	DQ2L	DQS4L	DQ2L	DQ2L	DQ2L
VCCIO1A	VREF1A	IO			DIFFIO_RX_L6p	DIFFOUT_L12p	F38	J31	J25	DQS4L	DQS4L	DQ2L	DQ2L	DQS4L	DQ2L	DQ2L	DQS4L	DQ2L	DQ2L	DQ2L
VCCIO1A	VREF1A	IO			DIFFIO_TX_L7n	DIFFOUT_L13n	J37	L29	K24	DQ4L	DQ4L	DQ3L	DQ3L	DQ4L	DQ3L	DQ3L	DQ4L	DQ3L	DQ3L	DQ3L
VCCIO1A	VREF1A	IO			DIFFIO_TX_L7p	DIFFOUT_L13p	J36	L28	K23	DQ4L	DQ4L	DQ3L	DQ3L	DQ4L	DQ3L	DQ3L	DQ4L	DQ3L	DQ3L	DQ3L
VCCIO1A	VREF1A	IO			DIFFIO_RX_L7n	DIFFOUT_L14n	H37	E34	H28	DQ4L	DQ4L	DQ3L	DQ3L	DQ4L	DQ3L	DQ3L	DQ4L	DQ3L	DQ3L	DQ3L
VCCIO1A	VREF1A	IO			DIFFIO_RX_L7p	DIFFOUT_L14p	H36	F33	J27	DQ4L	DQ4L	DQ3L	DQ3L	DQ4L	DQ3L	DQ3L	DQ4L	DQ3L	DQ3L	DQ3L
VCCIO1A	VREF1A	IO			DIFFIO_TX_L8n	DIFFOUT_L15n	M29	M28	L23	DQ5L	DQ5L	DQ4L	DQ4L	DQ5L	DQ4L	DQ4L	DQ5L	DQ4L	DQ4L	DQ4L
VCCIO1A	VREF1A	IO			DIFFIO_TX_L8p	DIFFOUT_L15p	M28	N27	L22	DQ5L	DQ5L	DQ4L	DQ4L	DQ5L	DQ4L	DQ4L	DQ5L	DQ4L	DQ4L	DQ4L
VCCIO1A	VREF1A	IO			DIFFIO_RX_L8n	DIFFOUT_L16n	C38	F34	J28	DQS6L	DQS6L	DQ4L	DQ4L	DQS6L	DQ4L	DQ4L	DQS6L	DQ4L	DQ4L	DQ4L
VCCIO1A	VREF1A	IO			DIFFIO_RX_L8p	DIFFOUT_L16p	G37	G33	K27	DQS6L	DQS6L	DQ4L	DQ4L	DQS6L	DQ4L	DQ4L	DQS6L	DQ4L	DQ4L	DQ4L
VCCIO1A	VREF1A	IO			DIFFIO_TX_L9n	DIFFOUT_L17n	N30	N26		DQ5L	DQ5L	DQ4L	DQ4L	DQ5L	DQ4L	DQ4L	DQ5L	DQ4L	DQ4L	DQ4L
VCCIO1A	VREF1A	IO			DIFFIO_TX_L9p	DIFFOUT_L17p	N29	P25		DQ5L	DQ5L	DQ4L	DQ4L	DQ5L	DQ4L	DQ4L	DQ5L	DQ4L	DQ4L	DQ4L
VCCIO1A	VREF1A	IO			DIFFIO_RX_L9n	DIFFOUT_L18n	G39	K32		DQS6L	DQS6L	DQ4L	DQ4L	DQS6L	DQ4L	DQ4L	DQS6L	DQ4L	DQ4L	DQ4L
VCCIO1A	VREF1A	IO			DIFFIO_RX_L9p	DIFFOUT_L18p	H39	K31		DQS6L	DQS6L	DQ4L	DQ4L	DQS6L	DQ4L	DQ4L	DQS6L	DQ4L	DQ4L	DQ4L
VCCIO1A	VREF1A	IO			DIFFIO_TX_L10n	DIFFOUT_L19n	L37	L32		DQ6L	DQ6L	DQ5L	DQ5L	DQ6L	DQ5L	DQ5L	DQ6L	DQ5L	DQ5L	DQ5L
VCCIO1A	VREF1A	IO			DIFFIO_TX_L10p	DIFFOUT_L19p	L36	L31		DQ6L	DQ6L	DQ5L	DQ5L	DQ6L	DQ5L	DQ5L	DQ6L	DQ5L	DQ5L	DQ5L
VCCIO1A	VREF1A	IO			DIFFIO_RX_L10n	DIFFOUT_L20n	J39	G34		DQ6L	DQ6L	DQ5L	DQ5L	DQ6L	DQ5L	DQ5L	DQ6L	DQ5L	DQ5L	DQ5L
VCCIO1A	VREF1A	IO			DIFFIO_RX_L10p	DIFFOUT_L20p	J38	H34		DQ6L	DQ6L	DQ5L	DQ5L	DQ6L	DQ5L	DQ5L	DQ6L	DQ5L	DQ5L	DQ5L
VCCIO1A	VREF1A	IO			DIFFIO_TX_L11n	DIFFOUT_L21n	P28	N24		DQ7L	DQ7L	DQ6L	DQ6L	DQ7L	DQ6L	DQ6L	DQ7L	DQ6L	DQ6L	DQ6L
VCCIO1A	VREF1A	IO			DIFFIO_TX_L11p	DIFFOUT_L21p	N27	P23		DQ7L	DQ7L	DQ6L	DQ6L	DQ7L	DQ6L	DQ6L	DQ7L	DQ6L	DQ6L	DQ6L
VCCIO1A	VREF1A	IO			DIFFIO_RX_L11n	DIFFOUT_L22n	K38	J34		DQS7L	DQS7L	DQ6L	DQ6L	DQS7L	DQ6L	DQ6L	DQS7L	DQ6L	DQ6L	DQ6L
VCCIO1A	VREF1A	IO			DIFFIO_RX_L11p	DIFFOUT_L22p	K37	J33		DQS7L	DQS7L	DQ6L	DQ6L	DQS7L	DQ6L	DQ6L	DQS7L	DQ6L	DQ6L	DQ6L
VCCIO1A	VREF1A	IO			DIFFIO_TX_L12n	DIFFOUT_L23n	R27	M30		DQ7L	DQ7L	DQ6L	DQ6L	DQ7L	DQ6L	DQ6L	DQ7L	DQ6L	DQ6L	DQ6L
VCCIO1A	VREF1A	IO			DIFFIO_TX_L12p	DIFFOUT_L23p	R26	M29		DQ7L	DQ7L	DQ6L	DQ6L	DQ7L	DQ6L	DQ6L	DQ7L	DQ6L	DQ6L	DQ6L
VCCIO1A	VREF1A	IO			DIFFIO_RX_L12n	DIFFOUT_L24n	K39	K34												
VCCIO1A	VREF1A	IO			DIFFIO_RX_L12p	DIFFOUT_L24p	L39	K33												
VCCIO1B	VREF1B	IO			DIFFIO_TX_L13n	DIFFOUT_L25n	N33			DQ8L	DQ8L	DQ7L	DQ7L	DQ8L	DQ7L	DQ7L	DQ8L	DQ7L	DQ7L	DQ7L
VCCIO1B	VREF1B	IO			DIFFIO_TX_L13p	DIFFOUT_L25p	N32			DQ8L	DQ8L	DQ7L	DQ7L	DQ8L	DQ7L	DQ7L	DQ8L	DQ7L	DQ7L	DQ7L
VCCIO1B	VREF1B	IO			DIFFIO_RX_L13n	DIFFOUT_L26n	M39			DQS8L	DQS8L	DQ7L	DQ7L	DQS8L	DQ7L	DQ7L	DQS8L	DQ7L	DQ7L	DQ7L
VCCIO1B	VREF1B	IO			DIFFIO_RX_L13p	DIFFOUT_L26p	M38			DQS8L	DQS8L	DQ7L	DQ7L	DQS8L	DQ7L	DQ7L	DQS8L	DQ7L	DQ7L	DQ7L
VCCIO1B	VREF1B	IO			DIFFIO_TX_L14n	DIFFOUT_L27n	P31			DQ8L	DQ8L	DQ7L	DQ7L	DQ8L	DQ7L	DQ7L	DQ8L	DQ7L	DQ7L	DQ7L
VCCIO1B	VREF1B	IO			DIFFIO_TX_L14p	DIFFOUT_L27p	P30			DQ8L	DQ8L	DQ7L	DQ7L	DQ8L	DQ7L	DQ7L	DQ8L	DQ7L	DQ7L	DQ7L
VCCIO1B	VREF1B	IO			DIFFIO_RX_L14n	DIFFOUT_L28n	M36			DQS9L	DQS9L	DQ7L	DQ7L	DQS9L	DQ7L	DQ7L	DQS9L	DQ7L	DQ7L	DQ7L
VCCIO1B	VREF1B	IO			DIFFIO_RX_L14p	DIFFOUT_L28p	M35			DQS9L	DQS9L	DQ7L	DQ7L	DQS9L	DQ7L	DQ7L	DQS9L	DQ7L	DQ7L	DQ7L
VCCIO1B	VREF1B	IO			DIFFIO_TX_L15n	DIFFOUT_L29n	R30			DQ8L	DQ8L	DQ7L	DQ7L	DQ8L	DQ7L	DQ7L	DQ8L	DQ7L	DQ7L	DQ7L
VCCIO1B	VREF1B	IO			DIFFIO_TX_L15p	DIFFOUT_L29p	R29			DQ8L	DQ8L	DQ7L	DQ7L	DQ8L	DQ7L	DQ7L	DQ8L	DQ7L	DQ7L	DQ7L
VCCIO1B	VREF1B	IO			DIFFIO_RX_L15n	DIFFOUT_L30n	N39			DQ9L	DQ9L	DQ8L	DQ8L	DQ9L	DQ8L	DQ8L	DQ9L	DQ8L	DQ8L	DQ8L
VCCIO1B	VREF1B	IO			DIFFIO_RX_L15p	DIFFOUT_L30p	N38			DQ9L	DQ9L	DQ8L	DQ8L	DQ9L	DQ8L	DQ8L	DQ9L	DQ8L	DQ8L	DQ8L
VCCIO1B	VREF1B	IO			DIFFIO_TX_L16n	DIFFOUT_L31n	R31			DQ10L	DQ10L	DQ9L	DQ9L	DQ10L	DQ9L	DQ9L	DQ10L	DQ9L	DQ9L	DQ9L
VCCIO1B	VREF1B	IO			DIFFIO_TX_L16p	DIFFOUT_L31p	T31			DQ10L	DQ10L	DQ9L	DQ9L	DQ10L	DQ9L	DQ9L	DQ10L	DQ9L	DQ9L	DQ9L
VCCIO1B	VREF1B	IO			DIFFIO_RX_L16n	DIFFOUT_L32n	N37			DQS10L	DQS10L	DQ9L	DQ9L	DQS10L	DQ9L	DQ9L	DQS10L	DQ9L	DQ9L	DQ9L
VCCIO1B	VREF1B	IO			DIFFIO_RX_L16p	DIFFOUT_L32p	N36			DQS10L	DQS10L	DQ9L	DQ9L	DQS10L	DQ9L	DQ9L	DQS10L	DQ9L	DQ9L	DQ9L
VCCIO1B	VREF1B	IO			DIFFIO_TX_L17n	DIFFOUT_L33n	T30			DQ10L	DQ10L	DQ9L	DQ9L	DQ10L	DQ9L	DQ9L	DQ10L	DQ9L	DQ9L	DQ9L
VCCIO1B	VREF1B	IO			DIFFIO_TX_L17p	DIFFOUT_L33p	T29			DQ10L	DQ10L	DQ9L	DQ9L	DQ10L	DQ9L	DQ9L	DQ10L	DQ9L	DQ9L	DQ9L
VCCIO1B	VREF1B	IO			DIFFIO_RX_L17n	DIFFOUT_L34n	P34			DQS11L	DQS11L	DQ9L	DQ9L	DQS11L	DQ9L	DQ9L	DQS11L	DQ9L	DQ9L	DQ9L
VCCIO1B	VREF1B	IO			DIFFIO_RX_L17p	DIFFOUT_L34p	P33			DQS11L										

Bank Number	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Emulated LVDS Output Channel	F1517	F1512	H780	DQS for X4 for F1517	DQS for X8/X9 for F1517	DQS for X16/X18 for F1517 (Note 1)	DQS for X32/X36 for F1517 (Note 1)	DQS for X4 for F1512	DQS for X8/X9 for F1512 (Note 1)	DQS for X16/X18 for F1512 (Note 1)	DQS for X4 for H780	DQS for X8/X9 for H780	DQS for X16/X18 for H780
VCCIO1C	VREF1C	IO			DIFFIO_TX_L23p	DIFFOUT_L45p	V28	R27	M22	DQ14L	DQ13L	DQ12L		DQ14L	DQ13L	DQ12L			
VCCIO1C	VREF1C	IO			DIFFIO_RX_L23n	DIFFOUT_L46n	T39	R32	L26	DQSn15L	DQSn13L/DQ13L	DQ12L		DQSn15L	DQSn13L/DQ13L	DQ12L		DQSn15L	
VCCIO1C	VREF1C	IO			DIFFIO_RX_L23p	DIFFOUT_L46p	T38	P31	L26	DQSn15L	DQSn13L/CQ13L	DQ12L		DQSn15L	DQSn13L/CQ13L	DQ12L		DQSn15L	
VCCIO1C	VREF1C	IO		CLKUSR	DIFFIO_TX_L24n	DIFFOUT_L47n	U34	R30	M21	DQ15L	DQ14L	DQ12L		DQ15L	DQ14L	DQ12L		DQ15L	
VCCIO1C	VREF1C	IO			DIFFIO_TX_L24n	DIFFOUT_L47p	U33	R29	M20	DQ15L	DQ13L	DQ12L		DQ15L	DQ13L	DQ12L		DQ15L	
VCCIO1C	VREF1C	IO			DIFFIO_RX_L24n	DIFFOUT_L48n	U37	N34	K28	DQ15L	DQ13L	DQ12L		DQ15L	DQ13L	DQ12L		DQ15L	
VCCIO1C	VREF1C	IO			DIFFIO_RX_L24p	DIFFOUT_L48p	U36	P34	L28	DQ15L	DQ13L	DQ12L		DQ15L	DQ13L	DQ12L		DQ15L	
VCCIO1C	VREF1C	IO		DATA0	DIFFIO_TX_L25n	DIFFOUT_L49n	W29	T28	N21	DQ16L	DQ14L	DQ12L		DQ16L	DQ14L	DQ12L		DQ16L	DQ15L
VCCIO1C	VREF1C	IO			DIFFIO_TX_L25p	DIFFOUT_L49p	W28	T27	N20	DQ16L	DQ14L	DQ12L		DQ16L	DQ14L	DQ12L		DQ16L	DQ15L
VCCIO1C	VREF1C	IO			DIFFIO_RX_L25n	DIFFOUT_L50n	Y38	R34	M26	DQSn16L	DQSn14L	DQ12L		DQSn16L	DQSn14L	DQ12L		DQSn16L	
VCCIO1C	VREF1C	IO			DIFFIO_RX_L25p	DIFFOUT_L50p	V39	R33	M25	DQSn16L	DQ14L/CQn14L	DQ12L		DQSn16L	DQ14L/CQn14L	DQ12L		DQSn16L	
VCCIO1C	VREF1C	IO			DIFFIO_TX_L26n	DIFFOUT_L51n	V31	T25	N25	DQ16L	DQ14L	DQ12L		DQ16L	DQ14L	DQ12L		DQ16L	DQ15L
VCCIO1C	VREF1C	IO			DIFFIO_TX_L26p	DIFFOUT_L51p	W30	T24	M24	DQ16L	DQ14L	DQ12L		DQ16L	DQ14L	DQ12L		DQ16L	DQ15L
VCCIO1C	VREF1C	IO			DIFFIO_RX_L26n	DIFFOUT_L52n	V38	T32	M28	DQSn17L	DQSn14L/DQ14L	DQ12L		DQSn17L	DQSn14L/DQ14L	DQ12L		DQSn17L	DQSn15L/DQ15L
VCCIO1C	VREF1C	IO			DIFFIO_RX_L26p	DIFFOUT_L52p	V37	R31	M27	DQSn17L	DQSn14L/CQ14L	DQ12L		DQSn17L	DQSn14L/CQ14L	DQ12L		DQSn17L	DQSn15L/CQ15L
VCCIO1C	VREF1C	IO		HIT_DONE	DIFFIO_TX_L27n	DIFFOUT_L53n	V33	T26	N23	DQ17L	DQ17L	DQ14L		DQ17L	DQ14L	DQ12L		DQ17L	DQ15L
VCCIO1C	VREF1C	IO			DIFFIO_TX_L27p	DIFFOUT_L53p	W33	T25	P23	DQ17L	DQ17L	DQ14L		DQ17L	DQ14L	DQ12L		DQ17L	DQ15L
VCCIO1C	VREF1C	IO			DIFFIO_RX_L27n	DIFFOUT_L54n	V36	U32	P25	DQ17L	DQ17L	DQ14L		DQ17L	DQ14L	DQ12L		DQ17L	DQ15L
VCCIO1C	VREF1C	IO		DEV CLRn	DIFFIO_RX_L27p	DIFFOUT_L54p	V35	U31	N24	DQ17L	DQ14L	DQ12L		DQ17L	DQ14L	DQ12L		DQ17L	DQ15L
VCCIO1C	VREF1C	IO			DIFFIO_TX_L28n	DIFFOUT_L55n	W35	T30	P20										
VCCIO1C	VREF1C	IO			DIFFIO_TX_L28p	DIFFOUT_L55p	W34	T29	P19										
VCCIO1C	VREF1C	IO			DIFFIO_RX_L28n	DIFFOUT_L56n	W37	N27											
VCCIO1C	VREF1C	IO			DIFFIO_RX_L28p	DIFFOUT_L56p	W36	N26											
VCCIO1C	VREF1C	IO		CLK1n			W39	T34	N28										
VCCIO1C	VREF1C	IO		CLK1p			W38	T33	P28										
VCCIO1C	VREF1C	IO					W32	U28	R22										
VCCIO1C	VREF1C	IO					W31	U26	P22										
VCCIO1C	VREF1C	IO					AA31	V26											
VCCIO1C	VREF1C	IO					AA32	V28											
VCCIO2C	VREF2C	IO		CLK3p			AA38	V33	R27										
VCCIO2C	VREF2C	IO		CLK3n			AA39	V34	R28										
VCCIO2C	VREF2C	IO		CLK2p			Y36	W33	U28										
VCCIO2C	VREF2C	IO		CLK2n			Y37	W34	T28										
VCCIO2C	VREF2C	IO					AA34	W28	R20										
VCCIO2C	VREF2C	IO					AA35	V29	R21										
VCCIO2C	VREF2C	IO					AA36	AA33	R26										
VCCIO2C	VREF2C	IO								DQ18L	DQ21L			DQ18L	DQ21L				DQ20L
VCCIO2C	VREF2C	IO								DQ18L	DQ18L			DQ18L	DQ18L				DQ20L
VCCIO2C	VREF2C	IO								DQ18L	DQ21L			DQ18L	DQ21L				DQ20L
VCCIO2C	VREF2C	IO								DQ18L	DQ21L			DQ18L	DQ21L				DQ20L
VCCIO2C	VREF2C	IO								DQ18L	DQ21L			DQ18L	DQ21L				DQ20L
VCCIO2C	VREF2C	IO								DQ18L	DQ21L			DQ18L	DQ21L				DQ20L
VCCIO2C	VREF2C	IO								DQ18L	DQ21L			DQ18L	DQ21L				DQ20L
VCCIO2C	VREF2C	IO								DQ18L	DQ21L			DQ18L	DQ21L				DQ20L
VCCIO2C	VREF2C	IO								DQ18L	DQ21L			DQ18L	DQ21L				DQ20L
VCCIO2C	VREF2C	IO								DQ18L	DQ21L			DQ18L	DQ21L				DQ20L
VCCIO2C	VREF2C	IO								DQ18L	DQ21L			DQ18L	DQ21L				DQ20L
VCCIO2C	VREF2C	IO								DQ18L	DQ21L			DQ18L	DQ21L				DQ20L
VCCIO2C	VREF2C	IO								DQ18L	DQ21L			DQ18L	DQ21L				DQ20L
VCCIO2C	VREF2C	IO								DQ18L	DQ21L			DQ18L	DQ21L				DQ20L
VCCIO2C	VREF2C	IO								DQ18L	DQ21L			DQ18L	DQ21L				DQ20L
VCCIO2C	VREF2C	IO								DQ18L	DQ21L			DQ18L	DQ21L				DQ20L
VCCIO2C	VREF2C	IO								DQ18L	DQ21L			DQ18L	DQ21L				DQ20L
VCCIO2C	VREF2C	IO								DQ18L	DQ21L			DQ18L	DQ21L				DQ20L
VCCIO2C	VREF2C	IO								DQ18L	DQ21L			DQ18L	DQ21L				DQ20L
VCCIO2C	VREF2C	IO								DQ18L	DQ21L			DQ18L	DQ21L				DQ20L
VCCIO2C	VREF2C	IO								DQ18L	DQ21L			DQ18L	DQ21L				DQ20L
VCCIO2C	VREF2C	IO								DQ18L	DQ21L			DQ18L	DQ21L				DQ20L
VCCIO2C	VREF2C	IO								DQ18L	DQ21L			DQ18L	DQ21L				DQ20L
VCCIO2C	VREF2C	IO								DQ18L	DQ21L			DQ18L	DQ21L				DQ20L
VCCIO2C	VREF2C	IO								DQ18L	DQ21L			DQ18L	DQ21L				DQ20L
VCCIO2C	VREF2C	IO								DQ18L	DQ21L			DQ18L	DQ21L				DQ20L
VCCIO2C	VREF2C	IO								DQ18L	DQ21L			DQ18L	DQ21L				DQ20L
VCCIO2C	VREF2C	IO								DQ18L	DQ21L			DQ18L	DQ21L				DQ20L
VCCIO2C	VREF2C	IO								DQ18L	DQ21L			DQ18L	DQ21L				DQ20L
VCCIO2C	VREF2C	IO								DQ18L	DQ21L			DQ18L	DQ21L				DQ20L
VCCIO2C	VREF2C	IO								DQ18L	DQ21L			DQ18L	DQ21L				DQ20L
VCCIO2C	VREF2C	IO								DQ18L	DQ21L			DQ18L	DQ21L				DQ20L
VCCIO2C	VREF2C	IO								DQ18L	DQ21L			DQ18L	DQ21L				DQ20L
VCCIO2C	VREF2C	IO								DQ18L	DQ21L			DQ18L	DQ21L				DQ20L
VCCIO2C	VREF2C	IO								DQ18L	DQ21L			DQ18L	DQ21L				DQ20L
VCCIO2C	VREF2C	IO								DQ18L	DQ21L			DQ18L	DQ21L				DQ20L
VCCIO2C	VREF2C	IO								DQ18L	DQ21L			DQ18L	DQ21L				DQ20L
VCCIO2C	VREF2C	IO								DQ18L	DQ21L			DQ18L	DQ21L				DQ20L
VCCIO2C	VREF2C	IO								DQ18L	DQ21L			DQ18L	DQ21L				DQ20L
VCCIO2C	VREF2C	IO								DQ18L	DQ21L			DQ18L	DQ21L				DQ20L
VCCIO2C	VREF2C	IO								DQ18L	DQ21L			DQ18L	DQ21L				DQ20L
VCCIO2C	VREF2C	IO								DQ18L	DQ21L			DQ18L	DQ21L				DQ20L
VCCIO2C	VREF2C	IO								DQ18L	DQ21L			DQ18L	DQ21L				DQ20L
VCCIO2C																			



Bank Number	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Emulated LVDS Output Channel	F1517	F1512	H780	DQS for X4 for F1517	DQS for X8/X9 for F1517	DQS for X16/X18 for F1517 (Note 1)	DQS for X32/X36 for F1517 (Note 1)	DQS for X4 for F1152	DQS for X8/X9 for F1152 (Note 1)	DQS for X16/X18 for F1152 (Note 1)	DQS for X4 for H780	DQS for X8/X9 for H780 (Note 1)	DQS for X16/X18 for H780 (Note 1)		
VCCIO2A	VREF2A	IO			DIFFIO_RX_L45p	DIFFOUT_L91p	AJ36	AE31		DQS28L				DQS28L							
VCCIO2A	VREF2A	IO			DIFFIO_RX_L46n	DIFFOUT_L91n	AJ37	AE32		DQS28L				DQS28L							
VCCIO2A	VREF2A	IO			DIFFIO_TX_L45p	DIFFOUT_L52p	AH35	AC28		DQ28L				DQ28L							
VCCIO2A	VREF2A	IO			DIFFIO_TX_L46n	DIFFOUT_L52n	AH36	AC29		DQ28L				DQ28L							
VCCIO2A	VREF2A	IO			DIFFIO_RX_L47p	DIFFOUT_L55p	AL38	AH33		DQ29L	DQ32L			DQ29L	DQ32L						
VCCIO2A	VREF2A	IO			DIFFIO_RX_L47n	DIFFOUT_L55n	AL39	AG34		DQ29L	DQ32L			DQ29L	DQ32L						
VCCIO2A	VREF2A	IO			DIFFIO_TX_L47p	DIFFOUT_L94p	AH33	AD30		DQ29L	DQ32L			DQ29L	DQ32L						
VCCIO2A	VREF2A	IO			DIFFIO_TX_L47n	DIFFOUT_L94n	AG34	AD31		DQ29L	DQ32L			DQ29L	DQ32L						
VCCIO2A	VREF2A	IO			DIFFIO_RX_L48p	DIFFOUT_L96p	AN39	AF31		DQS29L	DQS32L			DQS29L	DQS32L						
VCCIO2A	VREF2A	IO			DIFFIO_RX_L48n	DIFFOUT_L96n	AM39	AF32		DQS29L	DQS32L			DQS29L	DQS32L						
VCCIO2A	VREF2A	IO			DIFFIO_TX_L48p	DIFFOUT_L96p	AG32	AB24		DQ30L	DQ34L			DQ30L	DQ34L						
VCCIO2A	VREF2A	IO			DIFFIO_TX_L48n	DIFFOUT_L96n	AG33	AB25		DQ30L	DQ34L			DQ30L	DQ34L						
VCCIO2A	VREF2A	IO			DIFFIO_RX_L49p	DIFFOUT_L97p	AL37	AJ34	AA27	DQS30L	DQS32L			DQS30L	DQS32L						
VCCIO2A	VREF2A	IO			DIFFIO_RX_L49n	DIFFOUT_L97n	AK38	AH34	Y28	DQS30L	DQ32L			DQS30L	DQ32L						
VCCIO2A	VREF2A	IO			DIFFIO_TX_L49p	DIFFOUT_L98p	AF30	AB26	W22	DQ30L	DQ34L			DQ30L	DQ34L						
VCCIO2A	VREF2A	IO			DIFFIO_TX_L49n	DIFFOUT_L98n	AF31	AB27	W23	DQ30L	DQ34L			DQ30L	DQ34L						
VCCIO2A	VREF2A	IO			DIFFIO_RX_L50p	DIFFOUT_L99p	AP38	AG31	AB27	DQ31L	DQ35L	DQ34L		DQ31L	DQ35L	DQ34L		DQ31L	DQ35L	DQ34L	
VCCIO2A	VREF2A	IO			DIFFIO_RX_L50n	DIFFOUT_L99n	AN38	AG32	AA28	DQ31L	DQ35L	DQ34L		DQ31L	DQ35L	DQ34L		DQ31L	DQ35L	DQ34L	
VCCIO2A	VREF2A	IO			DIFFIO_TX_L50p	DIFFOUT_L100p	AF28	AE29	W24	DQ31L	DQ35L	DQ34L		DQ31L	DQ35L	DQ34L		DQ31L	DQ35L	DQ34L	
VCCIO2A	VREF2A	IO			DIFFIO_TX_L50n	DIFFOUT_L100n	AG29	AE30	W25	DQ31L	DQ35L	DQ34L		DQ31L	DQ35L	DQ34L		DQ31L	DQ35L	DQ34L	
VCCIO2A	VREF2A	IO			DIFFIO_RX_L51p	DIFFOUT_L101p	AM36	AK33	Y25	DQS31L	DQS33L	DQ34L		DQS31L	DQS33L	DQ34L		DQS31L	DQS33L	DQ34L	
VCCIO2A	VREF2A	IO			DIFFIO_RX_L51n	DIFFOUT_L101n	AM37	AK34	Y26	DQS31L	DQS33L	DQ34L		DQS31L	DQS33L	DQ34L		DQS31L	DQS33L	DQ34L	
VCCIO2A	VREF2A	IO			DIFFIO_TX_L51p	DIFFOUT_L102p	AG29	AD28	Y20	DQ32L	DQ36L	DQ35L		DQ32L	DQ36L	DQ35L		DQ32L	DQ36L	DQ35L	
VCCIO2A	VREF2A	IO			DIFFIO_TX_L51n	DIFFOUT_L102n	AG31	AD29	Y21	DQ32L	DQ36L	DQ35L		DQ32L	DQ36L	DQ35L		DQ32L	DQ36L	DQ35L	
VCCIO2A	VREF2A	IO			DIFFIO_RX_L52p	DIFFOUT_L103p	AL36	AJ31	AC28	DQS32L	DQS34L	DQ34L		DQS32L	DQS34L	DQ34L		DQS32L	DQS34L	DQ34L	
VCCIO2A	VREF2A	IO			DIFFIO_RX_L52n	DIFFOUT_L103n	AL36	AJ32	AB28	DQS32L	DQS34L	DQ34L		DQS32L	DQS34L	DQ34L		DQS32L	DQS34L	DQ34L	
VCCIO2A	VREF2A	IO			DIFFIO_TX_L52p	DIFFOUT_L104p	AH31	AF28	AA25	DQ32L	DQ36L	DQ35L		DQ32L	DQ36L	DQ35L		DQ32L	DQ36L	DQ35L	
VCCIO2A	VREF2A	IO			DIFFIO_TX_L52n	DIFFOUT_L104n	AH32	AF29	AA26	DQ32L	DQ36L	DQ35L		DQ32L	DQ36L	DQ35L		DQ32L	DQ36L	DQ35L	
VCCIO2A	VREF2A	IO			DIFFIO_RX_L53p	DIFFOUT_L105p	AN36	AM34	AB25	DQ33L	DQ37L	DQ36L		DQ33L	DQ37L	DQ36L		DQ33L	DQ37L	DQ36L	
VCCIO2A	VREF2A	IO			DIFFIO_RX_L53n	DIFFOUT_L105n	AN37	AL34	AB26	DQ33L	DQ37L	DQ36L		DQ33L	DQ37L	DQ36L		DQ33L	DQ37L	DQ36L	
VCCIO2A	VREF2A	IO			DIFFIO_TX_L53p	DIFFOUT_L106p	AK35	AE27	AC25	DQ33L	DQ37L	DQ36L		DQ33L	DQ37L	DQ36L		DQ33L	DQ37L	DQ36L	
VCCIO2A	VREF2A	IO			DIFFIO_TX_L53n	DIFFOUT_L106n	AK36	AE28	AC26	DQ33L	DQ37L	DQ36L		DQ33L	DQ37L	DQ36L		DQ33L	DQ37L	DQ36L	
VCCIO2A	VREF2A	IO			DIFFIO_RX_L54p	DIFFOUT_L107p	AR39	AH30	AD27	DQS33L	DQS34L	DQ34L		DQS33L	DQS34L	DQ34L		DQS33L	DQS34L	DQ34L	
VCCIO2A	VREF2A	IO			DIFFIO_RX_L54n	DIFFOUT_L107n	AP39	AH31	AD28	DQS33L	DQS34L	DQ34L		DQS33L	DQS34L	DQ34L		DQS33L	DQS34L	DQ34L	
VCCIO2A	VREF2A	IO			DIFFIO_TX_L54p	DIFFOUT_L108p	AK33	AD26	W20	DQ34L	DQ38L	DQ37L		DQ34L	DQ38L	DQ37L		DQ34L	DQ38L	DQ37L	
VCCIO2A	VREF2A	IO			DIFFIO_TX_L54n	DIFFOUT_L108n	AK34	AD27	W21	DQ34L	DQ38L	DQ37L		DQ34L	DQ38L	DQ37L		DQ34L	DQ38L	DQ37L	
VCCIO2A	VREF2A	IO			DIFFIO_RX_L55p	DIFFOUT_L109p	AT38	AL32	AG28	DQS34L	DQ34L	DQ34L		DQS34L	DQ34L	DQ34L		DQS34L	DQ34L	DQ34L	
VCCIO2A	VREF2A	IO			DIFFIO_RX_L55n	DIFFOUT_L109n	AT39	AL33	AF28	DQS34L	DQ34L	DQ34L		DQS34L	DQ34L	DQ34L		DQS34L	DQ34L	DQ34L	
VCCIO2A	VREF2A	IO			DIFFIO_TX_L55p	DIFFOUT_L110p	AJ33	AC25	Y23	DQ34L	DQ38L	DQ37L		DQ34L	DQ38L	DQ37L		DQ34L	DQ38L	DQ37L	
VCCIO2A	VREF2A	IO			DIFFIO_TX_L55n	DIFFOUT_L110n	AJ34	AC26	AA24	DQ34L	DQ38L	DQ37L		DQ34L	DQ38L	DQ37L		DQ34L	DQ38L	DQ37L	
VCCIO2A	VREF2A	IO		RUP2A	DIFFIO_RX_L56p	DIFFOUT_L111p	AP38	AK31	AE27	DQ34L	DQ38L	DQ37L		DQ34L	DQ38L	DQ37L		DQ34L	DQ38L	DQ37L	
VCCIO2A	VREF2A	IO		RDN2A	DIFFIO_RX_L56n	DIFFOUT_L111n	AR37	AK32	AE28	DQ34L	DQ38L	DQ37L		DQ34L	DQ38L	DQ37L		DQ34L	DQ38L	DQ37L	
VCCIO2A	VREF2A	IO		PLL_L4_CLKp	DIFFIO_TX_L56p	DIFFOUT_L112p	AL33	AG29	AA23	DQ34L	DQ38L	DQ37L		DQ34L	DQ38L	DQ37L		DQ34L	DQ38L	DQ37L	
VCCIO2A	VREF2A	IO		PLL_L4_CLKn	DIFFIO_TX_L56n	DIFFOUT_L112n	AL34	AG30	AB24	DQ34L	DQ38L	DQ37L		DQ34L	DQ38L	DQ37L		DQ34L	DQ38L	DQ37L	
VCCIO2A	VREF2A	IO		PLL_L4_CLKp			AU38														
VCCIO2A	VREF2A	IO		PLL_L4_CLKn			AU39														
VCCIO2A	VREF2A	IO		VCC2A_PLL_L4			AK31														
VCCIO2A	VREF2A	IO		VCC2A_PLL_L4			AK32														
VCCIO2A	VREF2A	IO		rCONFIG		rCONFIG	AG28	AE25	W19												
VCCIO2A	VREF2A	IO		rSTATUS		rSTATUS	AN35	AH28	AD25												
VCCIO2A	VREF2A	IO		CONF_DONE		CONF_DONE	AT37	AH29	AE26												
VCCIO2A	VREF2A	IO		PORSEL		PORSEL	AM34	AE26	AB23												
VCCIO2A	VREF2A	IO		rCE		rCE	AH29	AE28	Y20												
VCCIO2A	VREF2A	IO		nc		nc	AM33	AL31	AB22												
VCCIO3A	VREF3A	IO			DIFFIO_B1n	AM30	AH27	AF26	DQ1B	DQ1B	DQ1B	DQ1B	DQ1B	DQ1B	DQ1B	DQ1B	DQ1B	DQ1B	DQ1B	DQ1B	DQ1B
VCCIO3A	VREF3A	IO			DIFFIO_B1p	AM31	AJ27	AH27	DQ1B	DQ1B	DQ1B	DQ1B	DQ1B	DQ1B	DQ1B	DQ1B	DQ1B	DQ1B	DQ1B	DQ1B	DQ1B
VCCIO3A	VREF3A	IO		RDN3A	DIFFIO_B2n	AN30	AK28	AH25	DQS1B	DQ1B	DQ1B	DQ1B	DQ1B	DQS1B	DQ1B	DQ1B	DQ1B	DQ1B	DQ1B	DQ1B	DQ1B
VCCIO3A	VREF3A	IO		RUP3A	DIFFIO_B2p	AN29	AJ28	AG25	DQS1B	DQ1B	DQ1B	DQ1B	DQ1B	DQS1B	DQ1B	DQ1B	DQ1B	DQ1B	DQ1B	DQ1B	DQ1B
VCCIO3A	VREF3A	IO			DIFFIO_B3n	AN31	AJ29	AG27	DQ1B	DQ1B	DQ1B	DQ1B	DQ1B	DQ1B	DQ1B	DQ1B	DQ1B	DQ1B	DQ1B	DQ1B	DQ1B
VCCIO3A	VREF3A	IO			DIFFIO_B3p	AN32	AJ28	AH26	DQ1B	DQ1B	DQ1B	DQ1B	DQ1B	DQ1B	DQ1B	DQ1B	DQ1B	DQ1B	DQ1B	DQ1B	DQ1B
VCCIO3A	VREF3A	IO			DIFFIO_B4n	AP33	AM32	AE22	DQS2B	DQ1B	DQ1B	DQ1B	DQ1B	DQS2B	DQ1B	DQ1B	DQ1B	DQ1B	DQ1B	DQ1B	DQ1B
VCCIO3A	VREF3A	IO			DIFFIO_B4p	AN33	AM31	AD22	DQS2B	DQ1B	DQ1B	DQ1B	DQ1B	DQS2B	DQ1B	DQ1B	DQ1B	DQ1B	DQ1B	DQ1B	DQ1B
VCCIO3A	VREF3A	IO			DIFFIO_B5n	AP32	AL29	AB20	DQ1B	DQ1B	DQ1B	DQ1B	DQ1B	DQ1B	DQ1B	DQ1B	DQ1B	DQ1B	DQ1B	DQ1B	DQ1B
VCCIO3A	VREF3A	IO			DIFFIO_B5p	AN32	AM29	AB21	DQ1B	DQ1B	DQ1B	DQ1B	DQ1B	DQ1B	DQ1B	DQ1B	DQ1B	DQ1B	DQ1B	DQ1B	DQ1B
VCCIO3A	VREF3A	IO			DIFFIO_B6n	AR33	AN30	AD21	DQ2B	DQ1B	DQ1B	DQ1B	DQ1B	DQ2B	DQ1B	DQ1B	DQ1B	DQ1B	DQ1B	DQ1B	DQ1B
VCCIO3A	VREF3A	IO			DIFFIO_B6p	AP34	AM30	AC21	DQ2B	DQ1B	DQ1B	DQ1B	DQ1B	DQ2B	DQ1B	DQ1B	DQ1B	DQ1B	DQ1B	DQ1B	DQ1B
VCCIO3A	VREF3A	IO			DIFFIO_B7n	AL29	AH26	AD24	DQ3B	DQ2B	DQ1B	DQ1B	DQ1B	DQ3B	DQ2B	DQ1B	DQ1B	DQ1B	DQ1B	DQ1B	DQ1B
VCCIO3A	VREF3A	IO			DIFFIO_B7p	AL28	AF24	AE23	DQ3B	DQ2B	DQ1B	DQ1B	DQ1B	DQ3B	DQ2B	DQ1B	DQ1B	DQ1B	DQ1B	DQ1B	DQ1B
VCCIO3A	VREF3A	IO			DIFFIO_B8n	AK30	AH24	AF24	DQS3B	DQ2B	DQS1B/DQ1B	DQ1B	DQ1B	DQS3B	DQ2B	DQS1B/DQ1B	DQ1B	DQ1B	DQ1B	DQ1B	DQ1B
VCCIO3A	VREF3A	IO			DIFFIO_B8p	AK29	AG24	AE24	DQS3B	DQ2B	DQS1B/DQ1B	DQ1B	DQ1B	DQS3B	DQ2B	DQS1B/DQ1B	DQ1B	DQ1B	DQ1B	DQ1B	DQ1B
VCCIO3A	VREF3A	IO			DIFFIO_B9n	AK28	AH25	AF23	DQ3B	DQ2B	DQ1B	DQ1B	DQ1B	DQ3B	DQ2B	DQ1B	DQ1B	DQ1B	DQ1B	DQ1B	DQ1B
VCCIO3A	VREF3A	IO			DIFFIO_B9p	AJ28	AF23	AG24	DQ3B	DQ2B	DQ1B	DQ1B	DQ1B	DQ3B	DQ2B	DQ1B	DQ1B	DQ1B	DQ1B	DQ1B	DQ1B
VCCIO3A	VREF3A	IO			DIFFIO_B10n	AT36	AP33	AH24	DQS4B	DQ2B	DQ1B	DQ1B	DQ1B	DQS4B	DQ2B	DQ1B	DQ1B	DQ1B	DQ1B	DQ1B	DQ1B
VCCIO3A	VREF3A	IO			DIFFIO_B10p	AR36	AN33	AH23	DQS4B	DQ2B	DQ1B	DQ1B	DQ1B	DQS4B	DQ2						





Bank Number	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Emulated LVDS Output Channel	F1517	F152	H780	DQS for X4 for F1517	DQS for X8/X9 for F1517	DQS for X16/X18 for F1517 (Note 1)	DQS for X32/X36 for F1517 (Note 1)	DQS for X4 for F152	DQS for X8/X9 for F152 (Note 1)	DQS for X16/X18 for F152 (Note 1)	DQS for X4 for H780	DQS for X8/X9 for H780 (Note 1)	DQS for X16/X18 for H780 (Note 1)	
VCCIO4C	VREF4C	IO	PLL_B2_CLKOUT3			DIFFOUT_B70p	AK18	AD15												
VCCIO4C	VREF4C	IO	PLL_B2_CLKOUT4			DIFFOUT_B70n	AJ19	AD16												
VCCIO4C	VREF4C	IO			DIFFIO_RX_B36p	DIFFOUT_B71p	AP17	AJ16	AG12											
VCCIO4C	VREF4C	IO			DIFFIO_RX_B36n	DIFFOUT_B71n	AR18	AK16	AH13											
VCCIO4C	VREF4C	IO				DIFFOUT_B72p	AP20	AL15	Y13	DQ20B				DQ20B			DQ20B			
VCCIO4C	VREF4C	IO				DIFFOUT_B72n	AR19	AM15	Y14	DQ20B				DQ20B			DQ20B			
VCCIO4C	VREF4C	IO			DIFFIO_RX_B37p	DIFFOUT_B73p	AT19	AL14	AD13	DQS20B				DQS20B			DQS20B			
VCCIO4C	VREF4C	IO				DIFFIO_RX_B37n	AU19	AM14	AE13	DQS20B				DQS20B			DQS20B			
VCCIO4C	VREF4C	IO				DIFFOUT_B74p	AP18	AK13	AA13	DQ20B				DQ20B			DQ20B			
VCCIO4C	VREF4C	IO				DIFFOUT_B74n	AR18	AK13	AA13	DQ20B				DQ20B			DQ20B			
VCCIO4C	VREF4C	IO				DIFFOUT_B75p	AP18	AH15	AG10	DQ21B	DQ22B			DQ22B	DQ22B		DQ21B	DQ22B		
VCCIO4C	VREF4C	IO				DIFFIO_RX_B38p	DIFFOUT_B75p	AT18	AH15	AG10	DQ21B			DQ21B	DQ22B		DQ21B	DQ22B		
VCCIO4C	VREF4C	IO				DIFFIO_RX_B38n	DIFFOUT_B75n	AU18	AJ15	AH10	DQ21B	DQ22B		DQ21B	DQ22B		DQ21B	DQ22B		
VCCIO4C	VREF4C	IO				DIFFOUT_B76p	AT17	AG15	AH11	DQ21B	DQ22B			DQ21B	DQ22B		DQ21B	DQ22B		
VCCIO4C	VREF4C	IO				DIFFOUT_B76n	AU17	AK15	AH12	DQ21B	DQ22B			DQ21B	DQ22B		DQ21B	DQ22B		
VCCIO4C	VREF4C	IO			DIFFIO_RX_B39p	DIFFOUT_B77p	AR16	AH14	AF10	DQS21B	DQS22B/CQ22B			DQS21B	DQS22B/CQ22B		DQS21B	DQS22B/CQ22B		
VCCIO4C	VREF4C	IO				DIFFIO_RX_B39n	DIFFOUT_B77n	AT16	AJ14	AF11	DQS21B	DQS22B/DQ22B		DQS21B	DQS22B/DQ22B		DQS21B	DQS22B/DQ22B		
VCCIO4C	VREF4C	IO				DIFFOUT_B78p	AW18	AP14	AF12	DQ22B				DQ22B			DQ22B			
VCCIO4C	VREF4C	IO				DIFFOUT_B78n	AV18	AN13	AC12	DQ22B				DQ22B			DQ22B			
VCCIO4C	VREF4C	IO			DIFFIO_RX_B40p	DIFFOUT_B79p	AV16	AN12	AD12	DQS22B	DQ22B/CQn22B			DQS22B	DQ22B/CQn22B		DQS22B	DQ22B/CQn22B		
VCCIO4C	VREF4C	IO				DIFFIO_RX_B40n	DIFFOUT_B79n	AW17	AP12	AE12	DQS22B			DQS22B			DQS22B			
VCCIO4C	VREF4C	IO				DIFFOUT_B80p	AW15	AM12	AC11	DQ22B				DQ22B			DQ22B			
VCCIO4C	VREF4C	IO				DIFFOUT_B80n	AW16	AP13	AE11	DQ22B				DQ22B			DQ22B			
VCCIO4B	VREF4B	IO			DIFFIO_RX_B41p	DIFFOUT_B81p	AV15			DQ23B	DQ27B	DQ29B	DQ30B				DQ23B	DQ29B	DQ30B	
VCCIO4B	VREF4B	IO				DIFFIO_RX_B41n	DIFFOUT_B81n	AW14			DQ23B	DQ27B	DQ29B	DQ30B			DQ23B	DQ29B	DQ30B	
VCCIO4B	VREF4B	IO				DIFFOUT_B82p	AT15			DQ23B	DQ27B	DQ29B	DQ30B				DQ23B	DQ29B	DQ30B	
VCCIO4B	VREF4B	IO				DIFFOUT_B82n	AU15			DQ23B	DQ27B	DQ29B	DQ30B				DQ23B	DQ29B	DQ30B	
VCCIO4B	VREF4B	IO			DIFFIO_RX_B42p	DIFFOUT_B83p	AV13			DQS23B	DQS27B/CQ27B	DQ29B	DQ30B				DQS23B	DQS27B/CQ27B	DQ29B	DQ30B
VCCIO4B	VREF4B	IO				DIFFIO_RX_B42n	DIFFOUT_B83n	AW13			DQS23B	DQS27B/DQ27B	DQ29B	DQ30B			DQS23B	DQS27B/DQ27B	DQ29B	DQ30B
VCCIO4B	VREF4B	IO				DIFFOUT_B84p	AK17			DQ24B				DQ24B			DQ24B			
VCCIO4B	VREF4B	IO				DIFFOUT_B84n	AL17			DQ24B				DQ24B			DQ24B			
VCCIO4B	VREF4B	IO			DIFFIO_RX_B43p	DIFFOUT_B85p	AH17			DQS24B	DQ27B/CQn27B	DQS29B/CQ29B	DQ30B				DQS24B	DQ27B/CQn27B	DQS29B/CQ29B	DQ30B
VCCIO4B	VREF4B	IO				DIFFIO_RX_B43n	DIFFOUT_B85n	AJ16			DQS24B	DQ27B	DQS29B/CQ29B	DQ30B			DQS24B	DQ27B	DQS29B/CQ29B	DQ30B
VCCIO4B	VREF4B	IO				DIFFOUT_B86p	AH18			DQ24B	DQ27B	DQ29B	DQ30B				DQ24B	DQ27B	DQ29B	DQ30B
VCCIO4B	VREF4B	IO				DIFFOUT_B86n	AJ18			DQ24B	DQ27B	DQ29B	DQ30B				DQ24B	DQ27B	DQ29B	DQ30B
VCCIO4B	VREF4B	IO			DIFFIO_RX_B44p	DIFFOUT_B87p	AP16			DQ25B				DQ25B			DQ25B			
VCCIO4B	VREF4B	IO				DIFFIO_RX_B44n	DIFFOUT_B87n	AR15			DQ25B			DQ25B			DQ25B			
VCCIO4B	VREF4B	IO				DIFFOUT_B88p	AN14			DQ25B				DQ25B			DQ25B			
VCCIO4B	VREF4B	IO				DIFFOUT_B88n	AP14			DQ25B				DQ25B			DQ25B			
VCCIO4B	VREF4B	IO			DIFFIO_RX_B45p	DIFFOUT_B89p	AN15			DQS25B	DQS28B/CQ28B	DQ29B/CQn29B	DQ30B				DQS25B	DQS28B/CQ28B	DQ29B/CQn29B	DQ30B
VCCIO4B	VREF4B	IO				DIFFIO_RX_B45n	DIFFOUT_B89n	AP15			DQS25B	DQS28B/DQ28B	DQ29B	DQ30B			DQS25B	DQS28B/DQ28B	DQ29B	DQ30B
VCCIO4B	VREF4B	IO				DIFFOUT_B90p	AU14			DQ26B				DQ26B			DQ26B			
VCCIO4B	VREF4B	IO				DIFFOUT_B90n	AT14			DQ26B				DQ26B			DQ26B			
VCCIO4B	VREF4B	IO			DIFFIO_RX_B46p	DIFFOUT_B91p	AR12			DQS26B	DQ28B/CQn28B	DQ29B	DQ30B	DQS30B/CQ30B			DQS26B	DQ28B/CQn28B	DQ29B	DQ30B
VCCIO4B	VREF4B	IO				DIFFIO_RX_B46n	DIFFOUT_B91n	AT12			DQS26B			DQS26B	DQ29B	DQS30B/DQ30B		DQS26B		
VCCIO4B	VREF4B	IO				DIFFOUT_B92p	AR13			DQ26B				DQ26B			DQ26B			
VCCIO4B	VREF4B	IO				DIFFOUT_B92n	AT13			DQ26B				DQ26B			DQ26B			
VCCIO4B	VREF4B	IO			DIFFIO_RX_B47p	DIFFOUT_B93p	AW12	AN10		DQ27B	DQ29B	DQ30B	DQ30B		DQ27B	DQ29B	DQ30B		DQ30B	
VCCIO4B	VREF4B	IO				DIFFIO_RX_B47n	DIFFOUT_B93n	AW12	AP10	DQ27B	DQ29B	DQ30B	DQ30B		DQ27B	DQ29B	DQ30B		DQ30B	
VCCIO4B	VREF4B	IO				DIFFOUT_B94p	AV12	AP9		DQ27B				DQ27B			DQ27B			
VCCIO4B	VREF4B	IO				DIFFOUT_B94n	AU12	AP11		DQ27B				DQ27B			DQ27B			
VCCIO4B	VREF4B	IO			DIFFIO_RX_B48p	DIFFOUT_B95p	AT11	AM9		DQS27B	DQS28B/CQ28B	DQ30B	DQ30B	DQS27B	DQS28B/CQn28B	DQ30B	DQS27B	DQS28B/CQ28B	DQ30B	DQ30B
VCCIO4B	VREF4B	IO				DIFFIO_RX_B48n	DIFFOUT_B95n	AU11	AN9	DQS27B	DQS28B/DQ28B	DQ30B	DQ30B	DQS27B	DQS28B/DQ28B	DQ30B	DQS27B	DQS28B/DQ28B	DQ30B	DQ30B
VCCIO4B	VREF4B	IO				DIFFOUT_B96p	AK15	AE15		DQ28B				DQ28B			DQ28B			
VCCIO4B	VREF4B	IO				DIFFOUT_B96n	AL16	AF15		DQ28B				DQ28B			DQ28B			
VCCIO4B	VREF4B	IO			DIFFIO_RX_B49p	DIFFOUT_B97p	AL15	AF13		DQS28B	DQS29B/CQn29B	DQS30B/CQ30B	DQ30B		DQS28B	DQS29B/CQn29B	DQS30B/CQ30B			
VCCIO4B	VREF4B	IO				DIFFIO_RX_B49n	DIFFOUT_B97n	AM15	AF14	DQS28B	DQS29B	DQS30B/DQ30B	DQ30B	DQS28B	DQS29B	DQS30B/DQ30B	DQ30B	DQS28B	DQS29B	DQS30B/DQ30B
VCCIO4B	VREF4B	IO				DIFFOUT_B98p	AL14	AE13		DQ28B				DQ28B			DQ28B			
VCCIO4B	VREF4B	IO				DIFFOUT_B98n	AK14	AE14		DQ28B				DQ28B			DQ28B			
VCCIO4B	VREF4B	IO			DIFFIO_RX_B50p	DIFFOUT_B99p	AV10	AK12		DQ29B				DQ29B			DQ29B			
VCCIO4B	VREF4B	IO				DIFFIO_RX_B50n	DIFFOUT_B99n	AW10	AL12	DQ29B				DQ29B			DQ29B			
VCCIO4B	VREF4B	IO				DIFFOUT_B100p	AV9	AK10		DQ29B				DQ29B			DQ29B			
VCCIO4B	VREF4B	IO				DIFFOUT_B100n	AW9	AM11		DQ29B				DQ29B			DQ29B			
VCCIO4B	VREF4B	IO			DIFFIO_RX_B51p	DIFFOUT_B101p	AT10	AL10		DQS29B	DQS30B/CQ30B	DQ30B/CQn30B	DQ30B		DQS29B	DQS30B/CQ30B	DQ30B/CQn30B			
VCCIO4B	VREF4B	IO				DIFFIO_RX_B51n	DIFFOUT_B101n	AU9	AL11	DQS29B	DQS30B/DQ30B	DQ30B	DQ30B	DQS29B	DQS30B/DQ30B	DQ30B	DQS29B	DQS30B/DQ30B	DQ30B	DQ30B
VCCIO4B	VREF4B	IO				DIFFOUT_B102p	AM13	AM8		DQ30B				DQ30B			DQ30B			
VCCIO4B	VREF4B	IO				DIFFOUT_B102n	AP8			DQ30B				DQ30B			DQ30B			
VCCIO4B	VREF4B	IO			DIFFIO_RX_B52p	DIFFOUT_B103p	AN12	AN7		DQS30B	DQS30B/CQn30B	DQ30B	DQ30B		DQS30B	DQS30B/CQn30B	DQ30B			
VCCIO4B	VREF4B	IO				DIFFIO_RX_B52n	DIFFOUT_B103n	AP12	AP7	DQS30B				DQS30B			DQS30B			
VCCIO4B	VREF4B	IO				DIFFOUT_B104p	AP11	AP6		DQ30B				DQ30B			DQ30B			
VCCIO4B	VREF4B	IO				DIFFOUT_B104n	AR10	AM7		DQ30B				DQ30B			DQ30B			
VCCIO4A	VREF4A	IO			DIFFIO_RX_B53p	DIFFOUT_B105p	AR9			DQ31B				DQ31B			DQ31B			
VCCIO4A	VREF4A	IO				DIFFIO_RX_B53n	DIFFOUT_B105n	AT9		DQ31B				DQ31B			DQ31B			
VCCIO4A	VREF4A	IO				DIFFOUT_B106p	AN11			DQ31B				DQ31B			DQ31B			
VCCIO4A	VREF4A	IO				DIFFOUT_B106n	AP10			DQ31B				DQ31B			DQ31B			
VCCIO4A	VREF4A	IO			DIFFIO_RX_B54p	DIFFOUT_B107p	AT7			DQS31B	DQS35B/CQ35B	DQ37B	DQ38B				DQS31B	DQS35B/CQ35B	DQ37B	DQ38B
VCCIO4A	VREF4A	IO				DIFFIO_RX_B54n	DIFFOUT_B107n	AT8		DQS31B	DQS35B/DQ35B	DQ37B	DQ38B				DQS31B	DQS35B/DQ35B	DQ37B	DQ38B
VCCIO4A	VREF4A	IO				DIFFOUT_B108p	AG15			DQ32B				DQ32B			DQ32B			
VCCIO4A	VREF4A	IO				DIFFOUT_B108n	AH16			DQ32B				DQ32B			DQ32B			
VCCIO4A	VREF4A	IO			DIFFIO_RX_B55p	DIFFOUT_B109p	AG14	AC12	AB11	DQS32B	DQS37B/CQ37B	DQ39B		DQS32B	DQS37B/CQ37B	DQ39B				
VCCIO4A	VREF4A	IO				DIFFIO_RX_B55n	DIFFOUT_B109n	AH14	AD12	AC10	DQS32B			DQS32B			DQS32B			
VCCIO4A	VREF4A	IO				DIFFOUT_B110p	AH15	AE12	Y10	DQ32B				DQ32B			DQ32B			
VCCIO4A	VREF4A	IO				DIFFOUT_B110n	AJ15	AD13	Y11	DQ32B				DQ32B			DQ32B			
VCCIO4A	VREF4A	IO			DIFFIO_RX_B56p	DIFFOUT_B111p	AU8	AH12	AG9	DQ33B				DQ33B			DQ33B			
VCCIO4A	VREF4A	IO				DIFFOUT_B111n	AV7	AJ12	AH8	DQ33B										



Bank Number	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Emulated LVDS Output Channel	F1517	F1152	H780	DQS for X4 for F1517	DQS for X8/X9 for F1517	DQS for X16/X18 for F1517 (Note 1)	DQS for X32/X36 for F1517 (Note 1)	DQS for X4 for F1152	DQS for X8/X9 for F1152 (Note 1)	DQS for X16/X18 for F1152 (Note 1)	DQS for X4 for H780 (Note 1)	DQS for X8/X9 for H780 (Note 1)	DQS for X16/X18 for H780 (Note 1)	
VCCIOA4	VREF4A	IO				DIFFOUT_B119n	AU5	AP3	AH2	DQSn35B	DQSn37B/DQ37B	DQ38B	DQ38B	DQSn35B	DQSn37B/DQ37B	DQ38B	DQSn35B	DQSn37B/DQ37B	DQ38B	
VCCIOA4	VREF4A	IO				DIFFOUT_B120p	AK13	AM6	AD9	DQ36B	DQ37B	DQ38B	DQ38B	DQSn35B	DQ37B	DQ38B	DQ36B	DQ37B	DQ38B	
VCCIOA4	VREF4A	IO				DIFFOUT_B120n	AL13	AN6	AC9	DQ36B	DQ37B	DQ38B	DQ38B	DQSn35B	DQ37B	DQ38B	DQ36B	DQ37B	DQ38B	
VCCIOA4	VREF4A	IO				DIFFIO_RX_B61p	AH13	AL5	AA9	DQSn36B	DQ37B/CQn37B	DQSn38B/CQ38B	DQ38B	DQSn36B	DQ37B/CQn37B	DQSn38B/CQ38B	DQ38B	DQSn36B	DQ37B/CQn37B	DQSn38B/CQ38B
VCCIOA4	VREF4A	IO				DIFFIO_RX_B61n	AJ13	AM5	AB9	DQSn36B	DQ37B	DQSn38B/CQ38B	DQ38B	DQSn36B	DQ37B	DQSn38B/CQ38B	DQ38B	DQSn36B	DQ37B	DQSn38B/CQ38B
VCCIOA4	VREF4A	IO				DIFFOUT_B122p	AJ12	AL4	Y9	DQ36B	DQ37B	DQ38B	DQ38B	DQSn36B	DQ37B	DQ38B	DQ36B	DQ37B	DQ38B	
VCCIOA4	VREF4A	IO				DIFFOUT_B122n	AK12	AM4	AA10	DQ36B	DQ37B	DQ38B	DQ38B	DQSn36B	DQ37B	DQ38B	DQ36B	DQ37B	DQ38B	
VCCIOA4	VREF4A	IO				DIFFIO_RX_B62p	AN9	AJ7	AE6	DQ36B	DQ37B	DQ38B	DQ38B	DQSn36B	DQ37B	DQ38B	DQ36B	DQ37B	DQ38B	
VCCIOA4	VREF4A	IO				DIFFIO_RX_B62n	AP9	AK7	AF6	DQ37B	DQ38B	DQ38B	DQ38B	DQSn36B	DQ37B	DQ38B	DQ37B	DQ38B	DQ38B	
VCCIOA4	VREF4A	IO				DIFFIO_RX_B62n	AN7	AJ6	AE4	DQ36B	DQ37B	DQ38B	DQ38B	DQSn36B	DQ37B	DQ38B	DQ36B	DQ37B	DQ38B	
VCCIOA4	VREF4A	IO				DIFFIO_RX_B62p	AP7	AK6	AE7	DQ36B	DQ37B	DQ38B	DQ38B	DQSn36B	DQ37B	DQ38B	DQ36B	DQ37B	DQ38B	
VCCIOA4	VREF4A	IO				DIFFIO_RX_B63p	AN8	AH8	AE5	DQSn37B	DQSn38B/CQ38B	DQ38B/CQn38B	DQ38B	DQSn37B	DQSn38B/CQ38B	DQ38B/CQn38B	DQSn37B	DQSn38B/CQ38B	DQ38B/CQn38B	
VCCIOA4	VREF4A	IO				DIFFIO_RX_B63n	AP8	AJ8	AF5	DQSn37B	DQSn38B/CQ38B	DQ38B	DQ38B	DQSn37B	DQSn38B/CQ38B	DQ38B	DQSn37B	DQSn38B/CQ38B	DQ38B	
VCCIOA4	VREF4A	IO				DIFFIO_RX_B62p	AL9	AE11	AB8	DQ38B	DQ38B	DQ38B	DQ38B	DQSn37B	DQ38B	DQ38B	DQ38B	DQ38B	DQ38B	
VCCIOA4	VREF4A	IO				DIFFIO_RX_B62n	AM9	AF11	AC8	DQ38B	DQ38B	DQ38B	DQ38B	DQSn37B	DQ38B	DQ38B	DQ38B	DQ38B	DQ38B	
VCCIOA4	VREF4A	IO		RUP4A		DIFFIO_RX_B64p	AL10	AG9	AC7	DQ38B	DQ38B/CQn38B	DQ38B	DQ38B	DQSn37B	DQ38B/CQn38B	DQ38B	DQSn37B	DQ38B/CQn38B	DQ38B	
VCCIOA4	VREF4A	IO		RDN4A		DIFFIO_RX_B64n	AM10	AH9	AD7	DQSn38B	DQ38B	DQ38B	DQ38B	DQSn38B	DQ38B	DQ38B	DQSn38B	DQ38B	DQ38B	
VCCIOA4	VREF4A	IO				DIFFIO_RX_B64n	AK11	AE10	AB7	DQ38B	DQ38B	DQ38B	DQ38B	DQSn38B	DQ38B	DQ38B	DQSn38B	DQ38B	DQ38B	
VCCIOA4	VREF4A	IO				DIFFIO_RX_B64p	AL11	AF10	AD6	DQ38B	DQ38B	DQ38B	DQ38B	DQSn38B	DQ38B	DQ38B	DQSn38B	DQ38B	DQ38B	
		NC				DIFFOUT_B128n	AG12	AH7	W10											
		GND					AN6	AF9	AF3											
		no_PULLUP		no_PULLUP			AP6	AF8	AE3											
		hCSO		hCSO			AU5	AB5												
		DCLK		DCLK			AP5	AL3	AC5											
		hCSO		hCSO			AM7	AE9	AD4											
		ASDO		ASDO			AT4	AH6	AA6											
		VCCA_PLL_R4					AJ9													
		VCCD_PLL_R4					AH10													
VCCIO5A	VREF5A	IO	PLL_R4_CLKn			PLL_R4_CLKn	AU1													
VCCIO5A	VREF5A	IO	PLL_R4_CLKp			PLL_R4_CLKp	AL2													
VCCIO5A	VREF5A	IO	PLL_R4_CLKOUTn			DIFFIO_TX_R1n	AL7	AH4	AC3											
VCCIO5A	VREF5A	IO	PLL_R4_FB_CLKOUT0p			DIFFIO_TX_R1p	AK8	AH5	AC4											
VCCIO5A	VREF5A	IO	RDN5A			DIFFIO_RX_R1n	AN5	AK3	AF1											
VCCIO5A	VREF5A	IO	RUP5A			DIFFIO_RX_R1p	AM6	AK4	AE2											
VCCIO5A	VREF5A	IO				DIFFIO_TX_R2n	AL5	AE7	AB3	DQ1R	DQ1R	DQ1R	DQ1R	DQ1R	DQ1R	DQ1R	DQ1R	DQ1R	DQ1R	
VCCIO5A	VREF5A	IO				DIFFIO_TX_R2p	AL6	AE8	AB4	DQ1R	DQ1R	DQ1R	DQ1R	DQ1R	DQ1R	DQ1R	DQ1R	DQ1R	DQ1R	
VCCIO5A	VREF5A	IO				DIFFIO_RX_R2n	AM1	AG1		DQSn1R	DQ1R	DQ1R	DQ1R	DQSn1R	DQ1R	DQ1R	DQSn1R	DQ1R	DQ1R	
VCCIO5A	VREF5A	IO				DIFFIO_RX_R2p	AR4	AM2	AF2	DQSn1R	DQ1R/CQn1R	DQ1R	DQ1R	DQSn1R	DQ1R/CQn1R	DQ1R	DQSn1R	DQ1R/CQn1R	DQ1R	
VCCIO5A	VREF5A	IO				DIFFIO_TX_R3n	AK5	AF5	Y6	DQ1R	DQ1R	DQ1R	DQ1R	DQ1R	DQ1R	DQ1R	DQ1R	DQ1R	DQ1R	
VCCIO5A	VREF5A	IO				DIFFIO_TX_R3p	AK6	AF6	Y7	DQ1R	DQ1R	DQ1R	DQ1R	DQ1R	DQ1R	DQ1R	DQ1R	DQ1R	DQ1R	
VCCIO5A	VREF5A	IO				DIFFIO_RX_R3n	AT2	AJ3	AE1	DQSn2R	DQSn1R/DQ1R	DQ1R	DQ1R	DQSn2R	DQSn1R/DQ1R	DQ1R	DQSn2R	DQSn1R/DQ1R	DQ1R	
VCCIO5A	VREF5A	IO				DIFFIO_RX_R3p	AT3	AJ4	AD1	DQSn2R	DQSn1R/CQ1R	DQ1R/CQn1R	DQ1R	DQSn2R	DQSn1R/CQ1R	DQ1R/CQn1R	DQSn2R	DQSn1R/CQ1R	DQ1R/CQn1R	
VCCIO5A	VREF5A	IO				DIFFIO_TX_R4n	AJ6	AC8	AA4	DQ2R	DQ1R	DQ1R	DQ1R	DQ2R	DQ1R	DQ1R	DQ2R	DQ1R	DQ1R	
VCCIO5A	VREF5A	IO				DIFFIO_TX_R4p	AJ7	AC9	Y5	DQ2R	DQ1R	DQ1R	DQ1R	DQ2R	DQ1R	DQ1R	DQ2R	DQ1R	DQ1R	
VCCIO5A	VREF5A	IO				DIFFIO_RX_R4n	AP4	AL1	AC1	DQ2R	DQ1R	DQ1R	DQ1R	DQ2R	DQ1R	DQ1R	DQ2R	DQ1R	DQ1R	
VCCIO5A	VREF5A	IO				DIFFIO_RX_R4p	AN4	AL2	AC2	DQ2R	DQ1R	DQ1R	DQ1R	DQ2R	DQ1R	DQ1R	DQ2R	DQ1R	DQ1R	
VCCIO5A	VREF5A	IO				DIFFIO_TX_R5n	AH8	AE5	Y3	DQ2R	DQ2R	DQ2R	DQ2R	DQ2R	DQ2R	DQ2R	DQ2R	DQ2R	DQ2R	
VCCIO5A	VREF5A	IO				DIFFIO_TX_R5p	AP2	AJ2	Y2	DQ3R	DQ2R	DQ2R	DQ2R	DQ3R	DQ2R	DQ2R	DQ3R	DQ2R	DQ2R	
VCCIO5A	VREF5A	IO				DIFFIO_RX_R5n	AT1	AG3	AB1	DQSn3R	DQ2R	DQSn1R/DQ1R	DQSn3R	DQSn3R	DQ2R	DQSn1R/DQ1R	DQSn3R	DQ2R	DQSn1R/DQ1R	
VCCIO5A	VREF5A	IO				DIFFIO_RX_R5p	AR1	AG4	AB2	DQSn3R	DQ2R/CQn2R	DQSn1R/CQ1R	DQSn3R	DQSn3R	DQ2R/CQn2R	DQSn1R/CQ1R	DQSn3R	DQ2R/CQn2R	DQSn1R/CQ1R	
VCCIO5A	VREF5A	IO				DIFFIO_TX_R6n	AH8	AB10	W8	DQ2R	DQ2R	DQ2R	DQ2R	DQ2R	DQ2R	DQ2R	DQ2R	DQ2R	DQ2R	
VCCIO5A	VREF5A	IO				DIFFIO_TX_R6p	AG9	AC11	W9	DQ3R	DQ2R	DQ2R	DQ2R	DQ3R	DQ2R	DQ2R	DQ3R	DQ2R	DQ2R	
VCCIO5A	VREF5A	IO				DIFFIO_RX_R6n	AP1	AK1	AA1	DQSn4R	DQSn2R/DQ2R	DQ1R	DQSn4R	DQSn4R	DQSn2R/DQ2R	DQ1R	DQSn4R	DQSn2R/DQ2R	DQ1R	
VCCIO5A	VREF5A	IO				DIFFIO_RX_R6p	AP2	AJ2	Y2	DQSn4R	DQSn2R/CQ2R	DQ1R	DQSn4R	DQSn4R	DQSn2R/CQ2R	DQ1R	DQSn4R	DQSn2R/CQ2R	DQ1R	
VCCIO5A	VREF5A	IO				DIFFIO_TX_R7n	AL3	AD6	W5	DQ4R	DQ2R	DQ2R	DQ2R	DQ4R	DQ2R	DQ2R	DQ4R	DQ2R	DQ2R	
VCCIO5A	VREF5A	IO				DIFFIO_TX_R7p	AL4	AD7	W6	DQ4R	DQ2R	DQ2R	DQ2R	DQ4R	DQ2R	DQ2R	DQ4R	DQ2R	DQ2R	
VCCIO5A	VREF5A	IO				DIFFIO_RX_R7n	AM3	AJ1	Y1	DQ4R	DQ2R	DQ2R	DQ2R	DQ4R	DQ2R	DQ2R	DQ4R	DQ2R	DQ2R	
VCCIO5A	VREF5A	IO				DIFFIO_RX_R7p	AM4	AH2	W2	DQ4R	DQ2R	DQ2R	DQ2R	DQ4R	DQ2R	DQ2R	DQ4R	DQ2R	DQ2R	
VCCIO5A	VREF5A	IO				DIFFIO_TX_R8n	AH11	AC7	V6	DQ5R	DQ3R	DQ3R	DQ3R	DQ5R	DQ3R	DQ3R	DQ5R	DQ3R	DQ3R	
VCCIO5A	VREF5A	IO				DIFFIO_TX_R8p	AH12	AB8	Y7	DQ5R	DQ3R	DQ3R	DQ3R	DQ5R	DQ3R	DQ3R	DQ5R	DQ3R	DQ3R	
VCCIO5A	VREF5A	IO				DIFFIO_RX_R8n	AN2	AF3	W3	DQSn6R	DQ3R	DQ3R	DQ3R	DQSn6R	DQ3R	DQ3R	DQSn6R	DQ3R	DQ3R	
VCCIO5A	VREF5A	IO				DIFFIO_RX_R8p	AN3	AF4	W4	DQSn6R	DQ3R/CQn3R	DQ3R	DQ3R	DQSn6R	DQ3R/CQn3R	DQ3R	DQSn6R	DQ3R/CQn3R	DQ3R	
VCCIO5A	VREF5A	IO				DIFFIO_TX_R9n	AG10	AB9		DQ5R	DQ5R	DQ5R	DQ5R	DQ5R	DQ5R	DQ5R	DQ5R	DQ5R	DQ5R	
VCCIO5A	VREF5A	IO				DIFFIO_TX_R9p	AG11	AA10		DQ5R	DQ5R	DQ5R	DQ5R	DQ5R	DQ5R	DQ5R	DQ5R	DQ5R	DQ5R	
VCCIO5A	VREF5A	IO				DIFFIO_RX_R9n	AM1	AG1		DQSn6R	DQSn3R/DQ3R	DQ3R	DQSn6R	DQSn6R	DQSn3R/DQ3R	DQ3R	DQSn6R	DQSn3R/DQ3R	DQ3R	
VCCIO5A	VREF5A	IO				DIFFIO_RX_R9p	AM1	AG1		DQSn6R	DQSn3R/CQ3R	DQ3R	DQSn6R	DQSn6R	DQSn3R/CQ3R	DQ3R	DQSn6R	DQSn3R/CQ3R	DQ3R	
VCCIO5A	VREF5A	IO				DIFFIO_TX_R10n	AJ3	AC5		DQ6R	DQ3R	DQ3R	DQ3R	DQ6R	DQ3R	DQ3R	DQ6R	DQ3R	DQ3R	
VCCIO5A	VREF5A	IO				DIFFIO_TX_R10p	AJ4	AC6		DQ6R	DQ3R	DQ3R	DQ3R	DQ6R	DQ3R	DQ3R	DQ6R	DQ3R	DQ3R	
VCCIO5A	VREF5A	IO				DIFFIO_RX_R10n	AL1	AF1		DQ6R	DQ3R	DQ3R	DQ3R	DQ6R	DQ3R	DQ3R	DQ6R	DQ3R		



Bank Number	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Emulated LVDS Output Channel	F1517	F1152	H780	DQS for X4 for F1517	DQS for X8/X9 for F1517	DQS for X16/X18 for F1517 (Note 1)	DQS for X32/X36 for F1517 (Note 1)	DQS for X4 for F1512	DQS for X8/X9 for F1512 (Note 1)	DQS for X16/X18 for F1512 (Note 1)	DQS for X4 for H780	DQS for X8/X9 for H780 (Note 1)	DQS for X16/X18 for H780 (Note 1)
VCCIO6B	VREF5B	IO			DIFFIO_TX_R18p	DIFFOUT_R35p	AC12			DQ11R	DQ8R	DQ6R							
VCCIO6B	VREF5B	IO			DIFFIO_RX_R18m	DIFFOUT_R38m	AG5			DQ11R	DQ8R	DQ6R							
VCCIO6B	VREF5B	IO			DIFFIO_RX_R18p	DIFFOUT_R39p	AG6			DQ11R	DQ9R	DQ8R							
VCCIO6C	VREF5C	IO			DIFFIO_TX_R19m	DIFFOUT_R37m	A54	AB5		DQ12R	DQ12R	DQ12R		DQ12R	DQ12R	DQ12R			
VCCIO6C	VREF5C	IO			DIFFIO_TX_R19p	DIFFOUT_R37p	A55	AB6		DQ12R	DQ12R	DQ12R		DQ12R	DQ12R	DQ12R			
VCCIO6C	VREF5C	IO			DIFFIO_RX_R19m	DIFFOUT_R38m	AD4	AB3		DQ12R	DQ12R	DQ12R		DQS12R	DQ12R	DQ12R			
VCCIO6C	VREF5C	IO			DIFFIO_RX_R19p	DIFFOUT_R39p	AD5	AC4		DQS12R	DQ12R/CQ12R	DQ12R		DQS12R	DQ12R/CQ12R	DQ12R			
VCCIO6C	VREF5C	IO			DIFFIO_TX_R20m	DIFFOUT_R39m	AD7	AA6		DQ12R	DQ12R	DQ12R		DQ12R	DQ12R	DQ12R			
VCCIO6C	VREF5C	IO			DIFFIO_TX_R20p	DIFFOUT_R39p	AD8	AA7		DQ12R	DQ12R	DQ12R		DQ12R	DQ12R	DQ12R			
VCCIO6C	VREF5C	IO			DIFFIO_RX_R20m	DIFFOUT_R40m	AF3	AD1		DQS13R	DQS13R/DQ12R	DQ12R		DQS13R	DQS13R/DQ12R	DQ12R			
VCCIO6C	VREF5C	IO			DIFFIO_RX_R20p	DIFFOUT_R40p	AF4	AC2		DQS13R	DQS13R/CQ12R	DQ12R		DQS13R	DQS13R/CQ12R	DQ12R			
VCCIO6C	VREF5C	IO			DIFFIO_TX_R21m	DIFFOUT_R41m	AE6	Y9		DQ13R	DQ12R	DQ12R		DQ13R	DQ12R	DQ12R			
VCCIO6C	VREF5C	IO			DIFFIO_TX_R21p	DIFFOUT_R41p	AE6	Y10		DQ13R	DQ12R	DQ12R		DQ13R	DQ12R	DQ12R			
VCCIO6C	VREF5C	IO			DIFFIO_RX_R21m	DIFFOUT_R42m	AE2	AA3		DQ13R	DQ12R	DQ12R		DQ13R	DQ12R	DQ12R			
VCCIO6C	VREF5C	IO			DIFFIO_RX_R21p	DIFFOUT_R42p	AE3	AB4		DQ13R	DQ12R	DQ12R		DQ13R	DQ12R	DQ12R			
VCCIO6C	VREF5C	IO			DIFFIO_TX_R22m	DIFFOUT_R43m	AC9	Y7		DQ14R	DQ13R	DQ12R		DQ14R	DQ13R	DQ12R			
VCCIO6C	VREF5C	IO			DIFFIO_TX_R22p	DIFFOUT_R43p	AC10	Y8		DQ14R	DQ13R	DQ12R		DQ14R	DQ13R	DQ12R			
VCCIO6C	VREF5C	IO			DIFFIO_RX_R22m	DIFFOUT_R44m	AF1	AC1		DQS14R	DQS14R	DQS14R/CQ12R		DQS14R	DQS14R/CQ12R	DQ12R			
VCCIO6C	VREF5C	IO			DIFFIO_RX_R22p	DIFFOUT_R44p	AE1	AB2		DQS14R	DQ13R/CQ13R	DQS14R/CQ12R		DQS14R	DQ13R/CQ13R	DQS14R/CQ12R			
VCCIO6C	VREF5C	IO			DIFFIO_TX_R23m	DIFFOUT_R45m	AB11	Y11	U6	DQ14R	DQ14R	DQ12R		DQ14R	DQ14R	DQ12R			
VCCIO6C	VREF5C	IO			DIFFIO_TX_R23p	DIFFOUT_R45p	AB12	W12	U7	DQ14R	DQ13R	DQ12R		DQ14R	DQ13R	DQ12R			
VCCIO6C	VREF5C	IO			DIFFIO_RX_R23m	DIFFOUT_R46m	AD1	Y3	V3	DQS15R	DQS15R/DQ13R	DQ12R		DQS15R	DQS15R/DQ13R	DQ12R			DQS15R
VCCIO6C	VREF5C	IO			DIFFIO_RX_R23p	DIFFOUT_R46p	AD4	Y4	U4	DQS15R	DQ13R/CQ13R	DQ12R		DQS15R	DQ13R/CQ13R	DQ12R			DQS15R
VCCIO6C	VREF5C	IO			DIFFIO_TX_R24m	DIFFOUT_R47m	AC6	Y5	U8	DQ15R	DQ13R	DQ12R		DQ15R	DQ13R	DQ12R			
VCCIO6C	VREF5C	IO			DIFFIO_TX_R24p	DIFFOUT_R47p	AC7	Y6	U9	DQ15R	DQ13R	DQ12R		DQ15R	DQ13R	DQ12R			
VCCIO6C	VREF5C	IO			DIFFIO_RX_R24m	DIFFOUT_R48m	AC3	AB1	W1	DQ15R	DQ13R	DQ12R		DQ15R	DQ13R	DQ12R			
VCCIO6C	VREF5C	IO			DIFFIO_RX_R24p	DIFFOUT_R48p	AC4	AA1	V1	DQ15R	DQ13R	DQ12R		DQ15R	DQ13R	DQ12R			
VCCIO6C	VREF5C	IO			DIFFIO_TX_R25m	DIFFOUT_R49m	AA11	W7	T4	DQ16R	DQ14R	DQ13R		DQ16R	DQ14R	DQ13R			DQ15R
VCCIO6C	VREF5C	IO			DIFFIO_TX_R25p	DIFFOUT_R49p	AA12	W8	U5	DQ16R	DQ14R	DQ13R		DQ16R	DQ14R	DQ13R			DQ15R
VCCIO6C	VREF5C	IO			DIFFIO_RX_R25m	DIFFOUT_R50m	AC1	W3	U3	DQS16R	DQS16R	DQS16R		DQS16R	DQS16R	DQS16R			DQ15R
VCCIO6C	VREF5C	IO			DIFFIO_RX_R25p	DIFFOUT_R50p	AB1	Y4	U4	DQS16R	DQ14R/CQ14R	DQ13R		DQS16R	DQ14R/CQ14R	DQ13R			DQ15R
VCCIO6C	VREF5C	IO			DIFFIO_TX_R26m	DIFFOUT_R51m	AB9	W10	T8	DQ16R	DQ14R	DQ13R		DQ16R	DQ14R	DQ13R			DQ15R
VCCIO6C	VREF5C	IO			DIFFIO_TX_R26p	DIFFOUT_R51p	AA10	W11	T9	DQ16R	DQ14R	DQ13R		DQ16R	DQ14R	DQ13R			DQ15R
VCCIO6C	VREF5C	IO			DIFFIO_RX_R26m	DIFFOUT_R52m	AB2	Y1	T2	DQS17R	DQS14R/DQ14R	DQ12R		DQS17R	DQS14R/DQ14R	DQ12R			DQS15R
VCCIO6C	VREF5C	IO			DIFFIO_RX_R26p	DIFFOUT_R52p	AB3	Y2	T3	DQS17R	DQS14R/CQ14R	DQ12R		DQS17R	DQS14R/CQ14R	DQ12R			DQS15R
VCCIO6C	VREF5C	IO			DIFFIO_TX_R27m	DIFFOUT_R53m	AA7	W5	T6	DQ17R	DQ14R	DQ13R		DQ17R	DQ14R	DQ13R			DQ15R
VCCIO6C	VREF5C	IO			DIFFIO_TX_R27p	DIFFOUT_R53p	AB7	W6	R6	DQ17R	DQ14R	DQ13R		DQ17R	DQ14R	DQ13R			DQ15R
VCCIO6C	VREF5C	IO			DIFFIO_RX_R27m	DIFFOUT_R54m	AB4	V3	R4	DQ17R	DQ14R	DQ13R		DQ17R	DQ14R	DQ13R			DQ15R
VCCIO6C	VREF5C	IO			DIFFIO_RX_R27p	DIFFOUT_R54p	AB5	V4	T5	DQ17R	DQ14R	DQ13R		DQ17R	DQ14R	DQ13R			DQ15R
VCCIO6C	VREF5C	IO		PLL_R3_CLKOUT0n	DIFFIO_TX_R28m	DIFFOUT_R55m	AA5	W9	R9										
VCCIO6C	VREF5C	IO		PLL_R3_FB_CLKOUT0p	DIFFIO_TX_R28p	DIFFOUT_R55p	AA6	W10	R10										
VCCIO6C	VREF5C	IO		CLK8n	DIFFIO_RX_R28m	DIFFOUT_R56m	AA3	U3	U1										
VCCIO6C	VREF5C	IO		CLK8p	DIFFIO_RX_R28p	DIFFOUT_R56p	AA4	U4	U2										
VCCIO6C	VREF5C	CLK8n	CLK8n				AA1	W1	T1										
VCCIO6C	VREF5C	CLK8p	CLK8p				AA2	W2	R1										
		VCCA_PLL_R3					AA8	V7											
		VCCD_PLL_R3					AA8	V9											
		VCCD_PLL_R2					W9	U9	P7										
		VCCA_PLL_R2					W8	U7	R7										
VCCIO6C	VREF6C	CLK10p	CLK10p				W2	U2	P2										
VCCIO6C	VREF6C	CLK10n	CLK10n				W1	U1	P1										
VCCIO6C	VREF6C	IO			DIFFIO_RX_R29p	DIFFOUT_R57p	Y4	T2	M1										
VCCIO6C	VREF6C	IO			DIFFIO_RX_R29m	DIFFOUT_R57m	Y3	T1	N1										
VCCIO6C	VREF6C	IO			DIFFIO_TX_R29p	DIFFOUT_R58p	W6	U11	M1										
VCCIO6C	VREF6C	IO			DIFFIO_TX_R29m	DIFFOUT_R58m	W5	U10	P8										
VCCIO6C	VREF6C	IO		PLL_R2_CLKOUT0n	DIFFIO_RX_R30p	DIFFOUT_R59p	W4	P2	N4	DQ18R	DQ21R			DQ18R	DQ21R	DQ18R			DQ20R
VCCIO6C	VREF6C	IO			DIFFIO_RX_R30m	DIFFOUT_R59m	W3	R1	P4	DQ18R	DQ21R			DQ18R	DQ21R	DQ18R			DQ20R
VCCIO6C	VREF6C	IO			DIFFIO_TX_R30p	DIFFOUT_R60p	V6	T7	N7	DQ18R	DQ21R			DQ18R	DQ21R	DQ18R			DQ20R
VCCIO6C	VREF6C	IO			DIFFIO_TX_R30m	DIFFOUT_R60m	V5	U6	N6	DQ18R	DQ21R			DQ18R	DQ21R	DQ18R			DQ20R
VCCIO6C	VREF6C	IO			DIFFIO_RX_R31p	DIFFOUT_R61p	R2	R4	P3	DQS18R	DQ21R/CQ21R			DQS18R	DQ21R/CQ21R	DQ21R			DQ20R
VCCIO6C	VREF6C	IO			DIFFIO_RX_R31m	DIFFOUT_R61m	V1	R3	N2	DQS18R	DQS21R/DQ21R			DQS18R	DQS21R/DQ21R	DQ21R			DQ20R
VCCIO6C	VREF6C	IO			DIFFIO_TX_R31p	DIFFOUT_R62p	V8	T9	N5	DQ19R	DQ21R			DQ19R	DQ21R	DQ19R			DQ20R
VCCIO6C	VREF6C	IO			DIFFIO_TX_R31m	DIFFOUT_R62m	W7	T8	M4	DQ19R	DQ21R			DQ19R	DQ21R	DQ19R			DQ20R
VCCIO6C	VREF6C	IO			DIFFIO_RX_R32p	DIFFOUT_R63p	V4	N2	L2	DQS19R	DQ21R/CQ21R			DQS19R	DQ21R/CQ21R	DQ21R			DQ20R
VCCIO6C	VREF6C	IO			DIFFIO_RX_R32m	DIFFOUT_R63m	V3	P1	L1	DQS19R	DQ21R			DQS19R	DQ21R	DQ21R			DQ20R
VCCIO6C	VREF6C	IO			DIFFIO_TX_R32p	DIFFOUT_R64p	U7	T5	N9	DQ19R	DQ21R			DQ19R	DQ21R	DQ19R			DQ20R
VCCIO6C	VREF6C	IO			DIFFIO_TX_R32m	DIFFOUT_R64m	U6	T4	N8	DQ19R	DQ21R			DQ19R	DQ21R	DQ19R			DQ20R
VCCIO6C	VREF6C	IO			DIFFIO_RX_R33p	DIFFOUT_R65p	T1	P4	L3	DQ20R	DQ22R			DQ20R	DQ22R	DQ20R			DQ20R
VCCIO6C	VREF6C	IO			DIFFIO_RX_R33m	DIFFOUT_R65m	U1	P3	M3	DQ20R	DQ22R			DQ20R	DQ22R	DQ20R			DQ20R
VCCIO6C	VREF6C	IO			DIFFIO_TX_R33p	DIFFOUT_R66p	Y10	R7	L5	DQ20R	DQ22R			DQ20R	DQ22R	DQ20R			DQ20R
VCCIO6C	VREF6C	IO			DIFFIO_TX_R33m	DIFFOUT_R66m	Y9	R6	L4	DQ20R	DQ22R			DQ20R	DQ22R	DQ20R			DQ20R
VCCIO6C	VREF6C	IO			DIFFIO_RX_R34p	DIFFOUT_R67p	U4	M1	K2	DQS20R	DQS22R/CQ22R			DQS20R	DQS22R/CQ22R	DQ22R			DQS20R
VCCIO6C	VREF6C	IO			DIFFIO_RX_R34m	DIFFOUT_R67m	U3	N1	K1	DQS20R	DQS22R/DQ22R			DQS20R	DQS22R/DQ22R	DQ22R			DQS20R
VCCIO6C	VREF6C	IO			DIFFIO_TX_R34p	DIFFOUT_R68p	W10	P6	L6	DQ21R	DQ22R			DQ21R	DQ22R	DQ21R			DQ20R
VCCIO6C	VREF6C	IO			DIFFIO_TX_R34m	DIFFOUT_R68m	V9	P5	M6	DQ21R	DQ22R			DQ21R	DQ22R	DQ21R			DQ20R
VCCIO6C	VREF6C	IO			DIFFIO_RX_R35p	DIFFOUT_R69p	P1	N4		DQS21R	DQ22R/CQ22R	DQS23R/CQ23R		DQS21R	DQ22R/CQ22R	DQS23R/CQ23R			DQ20R
VCCIO6C	VREF6C	IO			DIFFIO_RX_R35m	DIFFOUT_R69m	R1	N3		DQS21R	DQ22R	DQS23R/DQ23R		DQS21R	DQ22R	DQS23R/DQ23R			DQ20R
VCCIO6C	VREF6C	IO			DIFFIO_TX_R35p	DIFFOUT_R70p	W12	R12		DQ21R	DQ22R	DQ23R		DQ21R	DQ22R	DQ23R			DQ20R
VCCIO6C	VREF6C	IO			DIFFIO_TX_R35m	DIFFOUT_R70m	V12	T11		DQ21R	DQ22R	DQ23R		DQ21R	DQ22R	DQ23R			DQ20R
VCCIO6C	VREF6C	IO			DIFFIO_RX_R36p	DIFFOUT_R71p	R2	L2		DQ22R	DQ23R			DQ22R	DQ23R	DQ22R			DQ20R
VCCIO6C	VREF6C	IO			DIFFIO_RX_R36m	DIFFOUT_R71m	T2	L1		DQ22R	DQ23R			DQ22R	DQ23R	DQ22R			DQ20R
VCCIO6C	VREF6C	IO			DIFFIO_TX_R36p	DIFFOUT_R72p	V11	R10		DQ22R	DQ23R			DQ22R	DQ23R	DQ22R			DQ20R
VCCIO6C	VREF6C	IO			DIFFIO_TX_R36m	DIFFOUT_R72m	W11	R9		DQ22R	DQ23R			DQ22R	DQ23R	DQ2			



Bank Number	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Emulated LVDS Output Channel	F1517	F1152	H780	DQS for X4 for F1517	DQS for X8/X9 for F1517	DQS for X16/X18 for F1517 (Note 1)	DQS for X32/X36 for F1517 (Note 1)	DQS for X4 for F1152	DQS for X8/X9 for F1152 (Note 1)	DQS for X16/X18 for F1152 (Note 1)	DQS for X4 for H780	DQS for X8/X9 for H780 (Note 1)	DQS for X16/X18 for H780 (Note 1)
VCCIO6B	VREF6B	IO			DIFFIO_RX_R41p	DIFFOUT_R81p	P4			DQS25R	DQ26R/CQn26R	DQ27R/CQ27R							
VCCIO6B	VREF6B	IO			DIFFIO_RX_R41n	DIFFOUT_R81n	P3			DQS25R	DQ26R	DQ27R/DQ27R							
VCCIO6B	VREF6B	IO			DIFFIO_TX_R41p	DIFFOUT_R82p	U3			DQ25R	DQ26R	DQ27R							
VCCIO6B	VREF6B	IO			DIFFIO_TX_R41n	DIFFOUT_R82n	U2			DQ25R	DQ26R	DQ27R							
VCCIO6B	VREF6B	IO			DIFFIO_RX_R42p	DIFFOUT_R83p	M2			DQ25R	DQ27R	DQ27R							
VCCIO6B	VREF6B	IO			DIFFIO_RX_R42n	DIFFOUT_R83n	M1			DQ25R	DQ27R	DQ27R							
VCCIO6B	VREF6B	IO			DIFFIO_TX_R42p	DIFFOUT_R84p	T12			DQ26R	DQ27R	DQ27R							
VCCIO6B	VREF6B	IO			DIFFIO_TX_R42n	DIFFOUT_R84n	U12			DQ26R	DQ27R	DQ27R							
VCCIO6B	VREF6B	IO			DIFFIO_RX_R43p	DIFFOUT_R85p	N4			DQS26R	DQS27R/CQ27R	DQ27R/CQn27R							
VCCIO6B	VREF6B	IO			DIFFIO_RX_R43n	DIFFOUT_R85n	M3			DQS26R	DQ27R/DQ27R	DQ27R							
VCCIO6B	VREF6B	IO			DIFFIO_TX_R43p	DIFFOUT_R86p	R11			DQ27R	DQ27R	DQ27R							
VCCIO6B	VREF6B	IO			DIFFIO_TX_R43n	DIFFOUT_R86n	R10			DQ27R	DQ27R	DQ27R							
VCCIO6B	VREF6B	IO			DIFFIO_RX_R44p	DIFFOUT_R87p	P6			DQS27R	DQ27R/CQn27R	DQ27R							
VCCIO6B	VREF6B	IO			DIFFIO_RX_R44n	DIFFOUT_R87n	N5			DQS27R	DQ27R	DQ27R							
VCCIO6B	VREF6B	IO			DIFFIO_TX_R44p	DIFFOUT_R88p	R8			DQ27R	DQ27R	DQ27R							
VCCIO6B	VREF6B	IO			DIFFIO_TX_R44n	DIFFOUT_R88n	P7			DQ27R	DQ27R	DQ27R							
VCCIO6A	VREF6A	IO			DIFFIO_RX_R45p	DIFFOUT_R89p	K1	H2											
VCCIO6A	VREF6A	IO			DIFFIO_RX_R45n	DIFFOUT_R89n	L1	J1											
VCCIO6A	VREF6A	IO			DIFFIO_TX_R45p	DIFFOUT_R90p	R13	P11		DQ28R				DQ28R					
VCCIO6A	VREF6A	IO			DIFFIO_TX_R45n	DIFFOUT_R90n	R12	P10		DQ28R				DQ28R					
VCCIO6A	VREF6A	IO			DIFFIO_RX_R46p	DIFFOUT_R91p	L4	K4		DQS28R				DQS28R					
VCCIO6A	VREF6A	IO			DIFFIO_RX_R46n	DIFFOUT_R91n	L3	K3		DQS28R				DQS28R					
VCCIO6A	VREF6A	IO			DIFFIO_TX_R46p	DIFFOUT_R92p	M5	M7		DQ28R				DQ28R					
VCCIO6A	VREF6A	IO			DIFFIO_TX_R46n	DIFFOUT_R92n	M4	M6		DQ28R				DQ28R					
VCCIO6A	VREF6A	IO			DIFFIO_RX_R47p	DIFFOUT_R93p	J2	G2		DQ29R	DQ32R	DQ32R		DQ29R	DQ32R				
VCCIO6A	VREF6A	IO			DIFFIO_RX_R47n	DIFFOUT_R93n	J1	H1		DQ29R	DQ32R	DQ32R		DQ29R	DQ32R				
VCCIO6A	VREF6A	IO			DIFFIO_TX_R47p	DIFFOUT_R94p	M7	L5		DQ29R	DQ32R	DQ32R		DQ29R	DQ32R				
VCCIO6A	VREF6A	IO			DIFFIO_TX_R47n	DIFFOUT_R94n	N6	L4		DQ29R	DQ32R	DQ32R		DQ29R	DQ32R				
VCCIO6A	VREF6A	IO			DIFFIO_RX_R48p	DIFFOUT_R95p	G1	J4		DQS29R	DQ32R/CQ32R	DQ32R/CQ32R		DQS29R	DQ32R/CQ32R				
VCCIO6A	VREF6A	IO			DIFFIO_RX_R48n	DIFFOUT_R95n	H1	J3		DQS29R	DQ32R/CQ32R	DQ32R/CQ32R		DQS29R	DQ32R/CQ32R				
VCCIO6A	VREF6A	IO			DIFFIO_TX_R48p	DIFFOUT_R96p	N8	L7		DQ30R	DQ32R	DQ32R		DQ30R	DQ32R				
VCCIO6A	VREF6A	IO			DIFFIO_TX_R48n	DIFFOUT_R96n	N7	L6		DQ30R	DQ32R	DQ32R		DQ30R	DQ32R				
VCCIO6A	VREF6A	IO			DIFFIO_RX_R49p	DIFFOUT_R97p	J3	F1	J2	DQS30R	DQ32R/CQn32R	DQ32R		DQS30R	DQ32R/CQn32R				
VCCIO6A	VREF6A	IO			DIFFIO_RX_R49n	DIFFOUT_R97n	K2	G1	H1	DQS30R	DQ32R	DQ32R		DQS30R	DQ32R				
VCCIO6A	VREF6A	IO			DIFFIO_TX_R49p	DIFFOUT_R98p	P16	N9	K7	DQ30R	DQ32R	DQ32R		DQ30R	DQ32R				
VCCIO6A	VREF6A	IO			DIFFIO_TX_R49n	DIFFOUT_R98n	P9	N8	K6	DQ30R	DQ32R	DQ32R		DQ30R	DQ32R				
VCCIO6A	VREF6A	IO			DIFFIO_RX_R50p	DIFFOUT_R99p	G2	H4	G2	DQ31R	DQ33R	DQ34R		DQ31R	DQ33R	DQ34R	DQ31R	DQ33R	DQ34R
VCCIO6A	VREF6A	IO			DIFFIO_RX_R50n	DIFFOUT_R99n	F2	H3	H1	DQ31R	DQ33R	DQ34R		DQ31R	DQ33R	DQ34R	DQ31R	DQ33R	DQ34R
VCCIO6A	VREF6A	IO			DIFFIO_TX_R50p	DIFFOUT_R100p	N11	K6	K5	DQ31R	DQ33R	DQ34R		DQ31R	DQ33R	DQ34R	DQ31R	DQ33R	DQ34R
VCCIO6A	VREF6A	IO			DIFFIO_TX_R50n	DIFFOUT_R100n	P12	K5	K4	DQ31R	DQ33R	DQ34R		DQ31R	DQ33R	DQ34R	DQ31R	DQ33R	DQ34R
VCCIO6A	VREF6A	IO			DIFFIO_RX_R51p	DIFFOUT_R101p	H4	E2	F1	DQ31R	DQ33R/CQ33R	DQ34R		DQ31R	DQ33R/CQ33R	DQ34R	DQ31R	DQ33R	DQ34R
VCCIO6A	VREF6A	IO			DIFFIO_RX_R51n	DIFFOUT_R101n	H3	E1	G1	DQ31R	DQ33R/CQ33R	DQ34R		DQ31R	DQ33R/CQ33R	DQ34R	DQ31R	DQ33R	DQ34R
VCCIO6A	VREF6A	IO			DIFFIO_TX_R51p	DIFFOUT_R102p	N10	N11	J4	DQ32R	DQ33R	DQ34R		DQ32R	DQ33R	DQ34R	DQ32R	DQ33R	DQ34R
VCCIO6A	VREF6A	IO			DIFFIO_TX_R51n	DIFFOUT_R102n	N9	N10	J3	DQ32R	DQ33R	DQ34R		DQ32R	DQ33R	DQ34R	DQ32R	DQ33R	DQ34R
VCCIO6A	VREF6A	IO			DIFFIO_RX_R52p	DIFFOUT_R103p	J5	F4	E2	DQS32R	DQ33R/CQn33R	DQ33R/CQ34R		DQS32R	DQ33R/CQn33R	DQ33R/CQ34R	DQS32R	DQ33R/CQn33R	DQ33R/CQ34R
VCCIO6A	VREF6A	IO			DIFFIO_RX_R52n	DIFFOUT_R103n	J4	F3	F1	DQS32R	DQ33R/CQn33R	DQ33R/CQ34R		DQS32R	DQ33R/CQn33R	DQ33R/CQ34R	DQS32R	DQ33R/CQn33R	DQ33R/CQ34R
VCCIO6A	VREF6A	IO			DIFFIO_TX_R52p	DIFFOUT_R104p	M9	J7	L9	DQ32R	DQ33R	DQ34R		DQ32R	DQ33R	DQ34R	DQ32R	DQ33R	DQ34R
VCCIO6A	VREF6A	IO			DIFFIO_TX_R52n	DIFFOUT_R104n	M8	L8	L8	DQ32R	DQ33R	DQ34R		DQ32R	DQ33R	DQ34R	DQ32R	DQ33R	DQ34R
VCCIO6A	VREF6A	IO			DIFFIO_RX_R53p	DIFFOUT_R105p	G4	G5	H4	DQ33R	DQ34R	DQ34R		DQ33R	DQ34R	DQ34R	DQ33R	DQ34R	DQ34R
VCCIO6A	VREF6A	IO			DIFFIO_RX_R53n	DIFFOUT_R105n	G3	G4	H3	DQ33R	DQ34R	DQ34R		DQ33R	DQ34R	DQ34R	DQ33R	DQ34R	DQ34R
VCCIO6A	VREF6A	IO			DIFFIO_TX_R53p	DIFFOUT_R106p	K5	K8	K9	DQ33R	DQ34R	DQ34R		DQ33R	DQ34R	DQ34R	DQ33R	DQ34R	DQ34R
VCCIO6A	VREF6A	IO			DIFFIO_TX_R53n	DIFFOUT_R106n	K4	K7	K8	DQ33R	DQ34R	DQ34R		DQ33R	DQ34R	DQ34R	DQ33R	DQ34R	DQ34R
VCCIO6A	VREF6A	IO			DIFFIO_RX_R54p	DIFFOUT_R107p	E1	C1	D2	DQS33R	DQ34R/CQ34R	DQ34R/CQn34R		DQS33R	DQ34R/CQ34R	DQ34R/CQn34R	DQS33R	DQ34R/CQ34R	DQ34R/CQn34R
VCCIO6A	VREF6A	IO			DIFFIO_RX_R54n	DIFFOUT_R107n	F1	D1	D1	DQS33R	DQ34R/CQ34R	DQ34R/CQn34R		DQS33R	DQ34R/CQ34R	DQ34R/CQn34R	DQS33R	DQ34R/CQ34R	DQ34R/CQn34R
VCCIO6A	VREF6A	IO			DIFFIO_TX_R54p	DIFFOUT_R108p	K7	M10	J6	DQ34R	DQ34R	DQ34R		DQ34R	DQ34R	DQ34R	DQ34R	DQ34R	DQ34R
VCCIO6A	VREF6A	IO			DIFFIO_TX_R54n	DIFFOUT_R108n	K6	M9	H5	DQ34R	DQ34R	DQ34R		DQ34R	DQ34R	DQ34R	DQ34R	DQ34R	DQ34R
VCCIO6A	VREF6A	IO			DIFFIO_RX_R55p	DIFFOUT_R109p	D2	D3	F4	DQS34R	DQ34R/CQn34R	DQ34R		DQS34R	DQ34R/CQn34R	DQ34R	DQS34R	DQ34R/CQn34R	DQ34R
VCCIO6A	VREF6A	IO			DIFFIO_RX_R55n	DIFFOUT_R109n	D1	D2	F3	DQS34R	DQ34R/CQn34R	DQ34R		DQS34R	DQ34R/CQn34R	DQ34R	DQS34R	DQ34R/CQn34R	DQ34R
VCCIO6A	VREF6A	IO			DIFFIO_TX_R55p	DIFFOUT_R110p	L7	L9	G4	DQ34R	DQ34R	DQ34R		DQ34R	DQ34R	DQ34R	DQ34R	DQ34R	DQ34R
VCCIO6A	VREF6A	IO			DIFFIO_TX_R55n	DIFFOUT_R110n	L6	L8	G3	DQ34R	DQ34R	DQ34R		DQ34R	DQ34R	DQ34R	DQ34R	DQ34R	DQ34R
VCCIO6A	VREF6A	IO			DIFFIO_RX_R56p	DIFFOUT_R111p	F4	E4	B1	DQ34R	DQ34R	DQ34R		DQ34R	DQ34R	DQ34R	DQ34R	DQ34R	DQ34R
VCCIO6A	VREF6A	IO			DIFFIO_RX_R56n	DIFFOUT_R111n	E3	E3	C1										
VCCIO6A	VREF6A	IO		RDNA6			J7	H6	H6										
VCCIO6A	VREF6A	IO		PLL_R1_FB_CLKOUT0p															
VCCIO6A	VREF6A	IO		PLL_R1_CLKOUT0n															
VCCIO6A	VREF6A	IO		PLL_R1_CLKp															
VCCIO6A	VREF6A	IO		PLL_R1_CLKn															
				VCCA_PLL_R1															
				MSEL2		MSEL2		D3	K9	G7									
				MSEL1		MSEL1		F5	J9	J9									
				MSEL0		MSEL0		M11	K10	H8									
				TEMPDIODEn				G5	D4	D4									
				TEMPODEp				H6	E5	D3									
				NC															



Bank Number	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Emulated LVDS Output Channel	F1517	F1152	H780	DQS for X4 for F1517	DQS for X8/X9 for F1517	DQS for X16/X18 for F1517 (Note 1)	DQS for X32/X36 for F1517 (Note 1)	DQS for X4 for F1152	DQS for X8/X9 for F1152 (Note 1)	DQS for X16/X18 for F1152 (Note 1)	DQS for X4 for H780	DQS for X8/X9 for H780 (Note 1)	DQS for X16/X18 for H780 (Note 1)
VCCIO7A	VREF7A	IO				DIFFOUT_T13p	A3	E8	F9	DQ5T	DQ3T	DQ2T	DQ1T	DQ5T	DQ3T	DQ1T	DQ5T	DQ3T	DQ1T
VCCIO7A	VREF7A	IO			DIFFIO_RX_T7h	DIFFOUT_T14n	B3	C9	C8	DQ5n5T	DQ3T	DQ2T	DQ5n1T/DQ1T	DQ5n5T	DQ3T	DQ1T	DQ5n5T	DQ3T	DQ1T
VCCIO7A	VREF7A	IO			DIFFIO_RX_T7p	DIFFOUT_T14p	C3	D9	D8	DQ5ST	DQ3T/CQn3T	DQ2T	DQ5T1/CQ1T	DQ5ST	DQ3T/CQn3T	DQ1T	DQ5ST	DQ3T	DQ1T/CQn3T
VCCIO7A	VREF7A	IO				DIFFOUT_T15n	A2	E10	D9	DQ5T	DQ3T	DQ2T	DQ1T	DQ5T	DQ3T	DQ1T	DQ5T	DQ3T	DQ1T
VCCIO7A	VREF7A	IO				DIFFOUT_T15p	A4	D8	C9	DQ5T	DQ3T	DQ2T	DQ1T	DQ5T	DQ3T	DQ1T	DQ5T	DQ3T	DQ1T
VCCIO7A	VREF7A	IO			DIFFIO_RX_T8n	DIFFOUT_T16n	C8	A7	E10	DQ5n6T	DQ5n3T/DQ3T	DQ2T	DQ1T	DQ5n6T	DQ5n3T/DQ3T	DQ1T	DQ5n6T	DQ5n3T/DQ3T	DQ1T
VCCIO7A	VREF7A	IO			DIFFIO_RX_T8p	DIFFOUT_T16p	D8	B7	F10	DQ5n6T	DQ5n3T/CQ3T	DQ2T/CQn2T	DQ1T	DQ5n6T	DQ5n3T/CQ3T	DQ1T	DQ5n6T	DQ5n3T/CQ3T	DQ1T
VCCIO7A	VREF7A	IO				DIFFOUT_T17h	D9	A6	H10	DQ6T	DQ3T	DQ2T	DQ1T	DQ6T	DQ3T	DQ1T	DQ6T	DQ3T	DQ1T
VCCIO7A	VREF7A	IO				DIFFOUT_T17p	E9	C7	G10	DQ6T	DQ3T	DQ2T	DQ1T	DQ6T	DQ3T	DQ1T	DQ6T	DQ3T	DQ1T
VCCIO7A	VREF7A	IO			DIFFIO_RX_T8n	DIFFOUT_T18n	C7	A8	D10	DQ6T	DQ3T	DQ2T	DQ1T	DQ6T	DQ3T	DQ1T	DQ6T	DQ3T	DQ1T
VCCIO7A	VREF7A	IO			DIFFIO_RX_T8p	DIFFOUT_T18p	D7	B8	E11	DQ6T	DQ3T	DQ2T	DQ1T	DQ6T	DQ3T	DQ1T	DQ6T	DQ3T	DQ1T
VCCIO7A	VREF7A	IO				DIFFOUT_T19n	L13	M13	H11	DQ7T	DQ4T	DQ2T	DQ1T	DQ7T	DQ4T	DQ1T	DQ7T	DQ4T	DQ1T
VCCIO7A	VREF7A	IO				DIFFOUT_T19p	K13	L13	J10	DQ7T	DQ4T	DQ2T	DQ1T	DQ7T	DQ4T	DQ1T	DQ7T	DQ4T	DQ1T
VCCIO7A	VREF7A	IO			DIFFIO_RX_T10n	DIFFOUT_T20n	M14	K11	J11	DQ5n7T	DQ4T	DQ5n2T/DQ2T	DQ1T	DQ5n7T	DQ4T	DQ1T	DQ5n7T	DQ4T	DQ1T
VCCIO7A	VREF7A	IO				DIFFOUT_T20p	M15	K12	J12	DQ5T	DQ4T/CQn4T	DQ5T2/CQ2T	DQ1T	DQ5T	DQ4T	DQ1T	DQ5T	DQ4T	DQ1T
VCCIO7A	VREF7A	IO				DIFFOUT_T21n	N13			DQ7T	DQ4T	DQ2T	DQ1T	DQ7T	DQ4T	DQ1T	DQ7T	DQ4T	DQ1T
VCCIO7A	VREF7A	IO				DIFFOUT_T21p	M13			DQ7T	DQ4T	DQ2T	DQ1T	DQ7T	DQ4T	DQ1T	DQ7T	DQ4T	DQ1T
VCCIO7A	VREF7A	IO			DIFFIO_RX_T11n	DIFFOUT_T22n	B6			DQ5n8T	DQ5n4T/DQ4T	DQ2T	DQ1T	DQ5n8T	DQ5n4T/DQ4T	DQ1T	DQ5n8T	DQ5n4T/DQ4T	DQ1T
VCCIO7A	VREF7A	IO			DIFFIO_RX_T11p	DIFFOUT_T22p	C6			DQ5n8T	DQ5n4T/CQ4T	DQ2T	DQ1T	DQ5n8T	DQ5n4T/CQ4T	DQ1T	DQ5n8T	DQ5n4T/CQ4T	DQ1T
VCCIO7A	VREF7A	IO				DIFFOUT_T23n	A7			DQ8T	DQ4T	DQ2T	DQ1T	DQ8T	DQ4T	DQ1T	DQ8T	DQ4T	DQ1T
VCCIO7A	VREF7A	IO				DIFFOUT_T23p	B7			DQ8T	DQ4T	DQ2T	DQ1T	DQ8T	DQ4T	DQ1T	DQ8T	DQ4T	DQ1T
VCCIO7A	VREF7A	IO			DIFFIO_RX_T12n	DIFFOUT_T24n	A5			DQ8T	DQ4T	DQ2T	DQ1T	DQ8T	DQ4T	DQ1T	DQ8T	DQ4T	DQ1T
VCCIO7A	VREF7A	IO			DIFFIO_RX_T12p	DIFFOUT_T24p	A5			DQ8T	DQ4T	DQ2T	DQ1T	DQ8T	DQ4T	DQ1T	DQ8T	DQ4T	DQ1T
VCCIO7B	VREF7B	IO				DIFFOUT_T25n	H12	G12		DQ9T	DQ9T	DQ9T	DQ9T	DQ9T	DQ9T	DQ9T	DQ9T	DQ9T	DQ9T
VCCIO7B	VREF7B	IO				DIFFOUT_T25p	G12	F11		DQ9T	DQ9T	DQ9T	DQ9T	DQ9T	DQ9T	DQ9T	DQ9T	DQ9T	DQ9T
VCCIO7B	VREF7B	IO			DIFFIO_RX_T13n	DIFFOUT_T26n	E13	F12		DQ5n9T	DQ9T	DQ9T	DQ9T	DQ5n9T	DQ9T	DQ9T	DQ5n9T	DQ9T	DQ9T
VCCIO7B	VREF7B	IO			DIFFIO_RX_T13p	DIFFOUT_T26p	F13	F13		DQ5n9T	DQ9T/CQn9T	DQ9T	DQ9T	DQ5n9T	DQ9T/CQn9T	DQ9T	DQ5n9T	DQ9T/CQn9T	DQ9T
VCCIO7B	VREF7B	IO				DIFFOUT_T27n	F12	G13		DQ9T	DQ9T	DQ9T	DQ9T	DQ9T	DQ9T	DQ9T	DQ9T	DQ9T	DQ9T
VCCIO7B	VREF7B	IO				DIFFOUT_T27p	F11	E11		DQ9T	DQ9T	DQ9T	DQ9T	DQ9T	DQ9T	DQ9T	DQ9T	DQ9T	DQ9T
VCCIO7B	VREF7B	IO			DIFFIO_RX_T14n	DIFFOUT_T28n	D12	C11		DQ5n10T	DQ5n9T/DQ9T	DQ9T	DQ9T	DQ5n10T	DQ5n9T/DQ9T	DQ9T	DQ5n10T	DQ5n9T/DQ9T	DQ9T
VCCIO7B	VREF7B	IO			DIFFIO_RX_T14p	DIFFOUT_T28p	E12	D11		DQ5n10T	DQ5n9T/CQ9T	DQ9T/CQn9T	DQ9T	DQ5n10T	DQ5n9T/CQ9T	DQ9T/CQn9T	DQ5n10T	DQ5n9T/CQ9T	DQ9T/CQn9T
VCCIO7B	VREF7B	IO				DIFFOUT_T29n	D10	D13		DQ9T	DQ9T	DQ9T	DQ9T	DQ9T	DQ9T	DQ9T	DQ9T	DQ9T	DQ9T
VCCIO7B	VREF7B	IO				DIFFOUT_T29p	E10	D10		DQ9T	DQ9T	DQ9T	DQ9T	DQ9T	DQ9T	DQ9T	DQ9T	DQ9T	DQ9T
VCCIO7B	VREF7B	IO			DIFFIO_RX_T15n	DIFFOUT_T30n	C11	C12		DQ10T	DQ9T	DQ9T	DQ9T	DQ10T	DQ9T	DQ9T	DQ10T	DQ9T	DQ9T
VCCIO7B	VREF7B	IO			DIFFIO_RX_T15p	DIFFOUT_T30p	D11	D12		DQ10T	DQ9T	DQ9T	DQ9T	DQ10T	DQ9T	DQ9T	DQ10T	DQ9T	DQ9T
VCCIO7B	VREF7B	IO				DIFFOUT_T31n	H13	K14		DQ11T	DQ10T	DQ9T	DQ9T	DQ11T	DQ10T	DQ9T	DQ11T	DQ10T	DQ9T
VCCIO7B	VREF7B	IO				DIFFOUT_T31p	H13	K13		DQ11T	DQ9T	DQ9T	DQ9T	DQ11T	DQ10T	DQ9T	DQ11T	DQ10T	DQ9T
VCCIO7B	VREF7B	IO			DIFFIO_RX_T16n	DIFFOUT_T32n	J14	H14		DQ5n11T	DQ10T	DQ5n9T/DQ9T	DQ9T	DQ5n11T	DQ10T	DQ5n9T/DQ9T	DQ5n11T	DQ10T	DQ5n9T/DQ9T
VCCIO7B	VREF7B	IO			DIFFIO_RX_T16p	DIFFOUT_T32p	K14	J14		DQ5n11T	DQ10T/CQn10T	DQ5n9T/CQ9T	DQ9T	DQ5n11T	DQ10T/CQn10T	DQ5n9T/CQ9T	DQ5n11T	DQ10T/CQn10T	DQ5n9T/CQ9T
VCCIO7B	VREF7B	IO				DIFFOUT_T33n	J15	K15		DQ11T	DQ10T	DQ9T	DQ9T	DQ11T	DQ10T	DQ9T	DQ11T	DQ10T	DQ9T
VCCIO7B	VREF7B	IO				DIFFOUT_T33p	H15	L14		DQ11T	DQ10T	DQ9T	DQ9T	DQ11T	DQ10T	DQ9T	DQ11T	DQ10T	DQ9T
VCCIO7B	VREF7B	IO			DIFFIO_RX_T17n	DIFFOUT_T34n	B9	A10		DQ5n12T	DQ5n10T/DQ10T	DQ9T	DQ9T	DQ5n12T	DQ5n10T/DQ10T	DQ9T	DQ5n12T	DQ5n10T/DQ10T	DQ9T
VCCIO7B	VREF7B	IO			DIFFIO_RX_T17p	DIFFOUT_T34p	C10	B10		DQ5n12T	DQ5n10T/CQ10T	DQ9T	DQ9T/CQn9T	DQ5n12T	DQ5n10T/CQ10T	DQ9T	DQ5n12T	DQ5n10T/CQ10T	DQ9T
VCCIO7B	VREF7B	IO				DIFFOUT_T35n	A9	A12		DQ12T	DQ10T	DQ9T	DQ9T	DQ12T	DQ10T	DQ9T	DQ12T	DQ10T	DQ9T
VCCIO7B	VREF7B	IO				DIFFOUT_T35p	A8	A9		DQ12T	DQ10T	DQ9T	DQ9T	DQ12T	DQ10T	DQ9T	DQ12T	DQ10T	DQ9T
VCCIO7B	VREF7B	IO			DIFFIO_RX_T18n	DIFFOUT_T36n	A10	A11		DQ12T	DQ10T	DQ9T	DQ9T	DQ12T	DQ10T	DQ9T	DQ12T	DQ10T	DQ9T
VCCIO7B	VREF7B	IO			DIFFIO_RX_T18p	DIFFOUT_T36p	B10	B11		DQ12T	DQ10T	DQ9T	DQ9T	DQ12T	DQ10T	DQ9T	DQ12T	DQ10T	DQ9T
VCCIO7B	VREF7B	IO				DIFFOUT_T37n	L16			DQ13T	DQ11T	DQ10T	DQ10T	DQ13T	DQ11T	DQ10T	DQ13T	DQ11T	DQ10T
VCCIO7B	VREF7B	IO				DIFFOUT_T37p	L15			DQ13T	DQ10T	DQ10T	DQ9T	DQ13T	DQ10T	DQ9T	DQ13T	DQ10T	DQ9T
VCCIO7B	VREF7B	IO			DIFFIO_RX_T19n	DIFFOUT_T38n	M16			DQ5n13T	DQ11T	DQ10T	DQ5n9T/DQ9T	DQ5n13T	DQ11T	DQ10T	DQ5n13T	DQ11T	DQ10T
VCCIO7B	VREF7B	IO			DIFFIO_RX_T19p	DIFFOUT_T38p	M17			DQ5n13T	DQ11T/CQn11T	DQ10T	DQ9T	DQ5n13T	DQ11T/CQn11T	DQ10T	DQ5n13T	DQ11T/CQn11T	DQ10T
VCCIO7B	VREF7B	IO				DIFFOUT_T39n	J16			DQ13T	DQ11T	DQ10T	DQ9T	DQ13T	DQ11T	DQ10T	DQ13T	DQ11T	DQ10T
VCCIO7B	VREF7B	IO			DIFFIO_RX_T20n	DIFFOUT_T40n	E18			DQ5n14T	DQ5n11T/DQ11T	DQ10T	DQ9T	DQ5n14T	DQ5n11T/DQ11T	DQ10T	DQ5n14T	DQ5n11T/DQ11T	DQ10T
VCCIO7B	VREF7B	IO			DIFFIO_RX_T20p	DIFFOUT_T40p	F15			DQ5n14T	DQ5n11T/CQ11T	DQ10T/CQn10T	DQ9T	DQ5n14T	DQ5n11T/CQ11T	DQ10T/CQn10T	DQ5n14T	DQ5n11T/CQ11T	DQ10T/CQn10T
VCCIO7B	VREF7B	IO				DIFFOUT_T41n	F14			DQ14T	DQ11T	DQ10T	DQ9T	DQ14T	DQ11T	DQ10T	DQ14T	DQ11T	DQ10T
VCCIO7B	VREF7B	IO				DIFFOUT_T41p	G14			DQ14T	DQ11T	DQ10T	DQ9T	DQ14T	DQ11T	DQ10T	DQ14T	DQ11T	DQ10T
VCCIO7B	VREF7B	IO			DIFFIO_RX_T21n	DIFFOUT_T42n	F16			DQ14T	DQ11T	DQ10T	DQ9T	DQ14T	DQ11T	DQ10T	DQ14T	DQ11T	DQ10T
VCCIO7B	VREF7B	IO			DIFFIO_RX_T21p	DIFFOUT_T42p	G15			DQ14T	DQ11T	DQ10T	DQ9T	DQ14T	DQ11T	DQ10T	DQ14T	DQ11T	DQ10T
VCCIO7B	VREF7B	IO				DIFFOUT_T43n	D14			DQ15T	DQ12T	DQ10T	DQ9T	DQ15T	DQ12T	DQ10T	DQ15T	DQ12T	DQ10T
VCCIO7B	VREF7B	IO				DIFFOUT_T43p	C14			DQ15T	DQ12T	DQ10T	DQ9T	DQ15T	DQ12T	DQ10T	DQ15T	DQ12T	DQ10T
VCCIO7B	VREF7B	IO			DIFFIO_RX_T22n	DIFFOUT_T44n	C13			DQ5n15T	DQ12T	DQ5n10T/DQ10T	DQ9T	DQ5n15T	DQ12T	DQ5n10T/DQ10T	DQ5n15T	DQ12T	DQ5n10T/DQ10T
VCCIO7B	VREF7B	IO			DIFFIO_RX_T22p	DIFFOUT_T44p	D13			DQ5n15T	DQ12T/CQn12T	DQ5n10T/CQ10T	DQ9T	DQ5n15T	DQ12T/CQn12T	DQ5n10T/CQ10T	DQ5n15T	DQ12T/CQn12T	DQ5n10T/CQ10T
VCCIO7B	VREF7B	IO				DIFFOUT_T45n	C15			DQ15T	DQ12T	DQ10T	DQ9T	DQ15T	DQ12T	DQ10T	DQ15T	DQ12T	DQ10T
VCCIO7B	VREF7B	IO				DIFFOUT_T45p	D15			DQ15T	DQ12T	DQ10T	DQ9T	DQ15T	DQ12T	DQ10T	DQ15T	DQ12T	DQ10T
VCCIO7B	VREF7B	IO			DIFFIO_RX_T23n	DIFFOUT_T46n	A11			DQ5n16T	DQ5n12T/DQ12T	DQ10T	DQ9T	DQ5n16T	DQ5n12T/DQ12T	DQ10T	DQ5n16T	DQ5n12T/DQ12T	DQ10T
VCCIO7B	VREF7B	IO			DIFFIO_RX_T23p	DIFFOUT_T46p	A12			DQ5n16T	DQ5n12T/CQ12T	DQ10T	DQ9T	DQ5n16T	DQ5n12T/CQ12T	DQ10T	DQ5n16T	DQ5n12T/CQ12T	DQ10T
VCCIO7B	VREF7B	IO				DIFFOUT_T47n	B12			DQ16T	DQ12T	DQ10T	DQ9T	DQ16T	DQ12T	DQ10T	DQ16T	DQ12T	DQ10T
VCCIO7B	VREF7B	IO				DIFFOUT_T47p	B13			DQ16T	DQ12T	DQ10T	DQ9T	DQ16T	DQ12T	DQ10T	DQ16T	DQ12T	DQ10T
VCCIO7B	VREF7B	IO			DIFFIO_RX_T24n	DIFFOUT_T48n	A13			DQ16T	DQ12T	DQ10T	DQ9T	DQ16T	DQ12T	DQ10T	DQ16T	DQ12T	DQ10T
VCCIO7B	VREF7B	IO			DIFFIO_RX_T24p	DIFFOUT_T48p	A14			DQ16T	DQ12T	DQ10T	DQ9T	DQ16T	DQ12T	DQ10T	DQ16T	DQ12T	DQ10T
VCCIO7C	VREF7C	IO				DIFFOUT_T49n	G18	D14	B10	DQ17T	DQ17T			DQ17T	DQ17T	DQ17T	DQ17T	DQ17T	DQ17T
VCCIO7C	VREF7C	IO				DIFFOUT_T49p	F18	E13	C10	DQ17T	DQ17T			DQ17T	DQ17T	DQ17T	DQ17T	DQ17T	DQ17T
VCCIO7C	VREF7C	IO			DIFFIO_RX_T25n	DIFFOUT_T50n	E16	E14	A10	DQ5n17T	DQ17T			DQ5n17T</					



Bank Number	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Emulated LVDS Output Channel	F1517	F1152	H780	DQS for X4 for F1517	DQS for X8/X9 for F1517	DQS for X16/X18 for F1517 (Note 1)	DQS for X32/X36 for F1517 (Note 1)	DQS for X4 for F1152	DQS for X8/X9 for F1152 (Note 1)	DQS for X16/X18 for F1152 (Note 1)	DQS for X4 for H780 (Note 1)	DQS for X8/X9 for H780 (Note 1)	DQS for X16/X18 for H780 (Note 1)	
VCCIO7C	VREF7C	IO	CLK13n			DIFFOUT_T63n	A19	A16	A14											
VCCIO7C	VREF7C	IO	CLK13p			DIFFOUT_T63p	B19	B16	B14											
VCCIO7C	VREF7C	IO	CLK12n		DIFFIO_RX_T32n	DIFFOUT_T64n	C19	A17	C14											
VCCIO7C	VREF7C	IO	CLK12p		DIFFIO_RX_T32p	DIFFOUT_T64p	D19	B17	D14											
			VCC_CLKIN7C				J19	H17	F14											
			VCCA_PLL_T2				K19	G17												
			VCCD_PLL_T2				L19	J17												
			VCCD_PLL_T1				K21	J18	G15											
			VCCA_PLL_T1				J21	G18	F15											
			VCC_CLKIN8C				K20	K18	F16											
VCCIO8C	VREF8C	IO	CLK14p		DIFFIO_RX_T33p	DIFFOUT_T65p	D20	B19	D15											
VCCIO8C	VREF8C	IO	CLK14n		DIFFIO_RX_T33n	DIFFOUT_T65n	C20	A19	C15											
VCCIO8C	VREF8C	IO	CLK15p			DIFFOUT_T66p	B21	B20	B16											
VCCIO8C	VREF8C	IO	CLK15n			DIFFOUT_T66n	A21	A20	A15											
VCCIO8C	VREF8C	IO	PLL_T1_FBn/CLKOUT1		DIFFIO_RX_T34p	DIFFOUT_T67p	H21	D18	B17											
VCCIO8C	VREF8C	IO	PLL_T1_FBn/CLKOUT2		DIFFIO_RX_T34n	DIFFOUT_T67n	K21	C18	A16											
VCCIO8C	VREF8C	IO	PLL_T1_CLKOUT0n			DIFFOUT_T68n	M21	K19	J16											
VCCIO8C	VREF8C	IO	PLL_T1_CLKOUT0p			DIFFOUT_T68p	M20	J19	J15											
VCCIO8C	VREF8C	IO			DIFFIO_RX_T35p	DIFFOUT_T69p	J22	D19	E16											
VCCIO8C	VREF8C	IO			DIFFIO_RX_T35n	DIFFOUT_T69n	H22	C19	D16											
VCCIO8C	VREF8C	IO	PLL_T1_CLKOUT3			DIFFOUT_T70p	L21	L19	G16											
VCCIO8C	VREF8C	IO	PLL_T1_CLKOUT4			DIFFOUT_T70n	K22	L20	H16											
VCCIO8C	VREF8C	IO			DIFFIO_RX_T36p	DIFFOUT_T71p	F21	F19												
VCCIO8C	VREF8C	IO			DIFFIO_RX_T36n	DIFFOUT_T71n	F20	E19												
VCCIO8C	VREF8C	IO			DIFFOUT_T72p	DIFFOUT_T72p	E22	C20						DQ20T						
VCCIO8C	VREF8C	IO			DIFFOUT_T72n	DIFFOUT_T72n	E21	D20						DQ20T						
VCCIO8C	VREF8C	IO			DIFFIO_RX_T37p	DIFFOUT_T73p	D21	D21						DQS20T						
VCCIO8C	VREF8C	IO			DIFFIO_RX_T37n	DIFFOUT_T73n	C21	C21						DQS20T						
VCCIO8C	VREF8C	IO			DIFFOUT_T74p	DIFFOUT_T74p	F22	D22						DQS20T						
VCCIO8C	VREF8C	IO			DIFFOUT_T74n	DIFFOUT_T74n	F23	E22						DQ20T						
VCCIO8C	VREF8C	IO			DIFFIO_RX_T38p	DIFFOUT_T75p	D22	G20	B19	DQ21T	DQ22T			DQ21T	DQ22T					
VCCIO8C	VREF8C	IO			DIFFIO_RX_T38n	DIFFOUT_T75n	C22	F20	A19	DQ21T	DQ22T			DQ21T	DQ22T					
VCCIO8C	VREF8C	IO			DIFFOUT_T76p	DIFFOUT_T76p	C23	E20	A17	DQ21T	DQ22T			DQ21T	DQ22T					
VCCIO8C	VREF8C	IO			DIFFOUT_T76n	DIFFOUT_T76n	D23	H20	A18	DQ21T	DQ22T			DQ21T	DQ22T					
VCCIO8C	VREF8C	IO			DIFFIO_RX_T39p	DIFFOUT_T77p	E24	G21	C19	DQS21T	DQS22T			DQS21T	DQS22T					
VCCIO8C	VREF8C	IO			DIFFIO_RX_T39n	DIFFOUT_T77n	D24	F21	C18	DQS21T	DQS22T			DQS21T	DQS22T					
VCCIO8C	VREF8C	IO			DIFFOUT_T78p	DIFFOUT_T78p	B22	A22	F17	DQ22T	DQ22T			DQ22T	DQ22T					
VCCIO8C	VREF8C	IO			DIFFOUT_T78n	DIFFOUT_T78n	A22	A21	C17	DQ22T	DQ22T			DQ22T	DQ22T					
VCCIO8C	VREF8C	IO	RUP8C		DIFFIO_RX_T40p	DIFFOUT_T79p	B24	B23	E17	DQS22T	DQ22T/C0n22T			DQS22T	DQ22T/C0n22T					
VCCIO8C	VREF8C	IO	RDN8C		DIFFIO_RX_T40n	DIFFOUT_T79n	A23	A23	D17	DQS22T	DQ22T			DQS22T	DQ22T					
VCCIO8C	VREF8C	IO			DIFFOUT_T80p	DIFFOUT_T80p	A24	B22	D18	DQ22T	DQ22T			DQ22T	DQ22T					
VCCIO8C	VREF8C	IO			DIFFOUT_T80n	DIFFOUT_T80n	A25	C23	F18	DQ22T	DQ22T			DQ22T	DQ22T					
VCCIO8B	VREF8B	IO			DIFFIO_RX_T41p	DIFFOUT_T81p	B25			DQ23T	DQ27T	DQ29T		DQ30T						
VCCIO8B	VREF8B	IO			DIFFIO_RX_T41n	DIFFOUT_T81n	A26			DQ23T	DQ27T	DQ29T		DQ30T						
VCCIO8B	VREF8B	IO			DIFFOUT_T82p	DIFFOUT_T82p	C25			DQ23T	DQ27T	DQ29T		DQ30T						
VCCIO8B	VREF8B	IO			DIFFOUT_T82n	DIFFOUT_T82n	D25			DQ23T	DQ27T	DQ29T		DQ30T						
VCCIO8B	VREF8B	IO			DIFFIO_RX_T42p	DIFFOUT_T83p	B27			DQS23T	DQS27T/CQ27T	DQ29T		DQ30T						
VCCIO8B	VREF8B	IO			DIFFIO_RX_T42n	DIFFOUT_T83n	A27			DQS23T	DQS27T/DQ27T	DQ29T		DQ30T						
VCCIO8B	VREF8B	IO			DIFFOUT_T84p	DIFFOUT_T84p	J23			DQ24T	DQ27T	DQ29T		DQ30T						
VCCIO8B	VREF8B	IO			DIFFOUT_T84n	DIFFOUT_T84n	K23			DQ24T	DQ27T	DQ29T		DQ30T						
VCCIO8B	VREF8B	IO			DIFFIO_RX_T43p	DIFFOUT_T85p	M23			DQS24T	DQ27T/C0n27T	DQS29T/CQ29T		DQ30T						
VCCIO8B	VREF8B	IO			DIFFIO_RX_T43n	DIFFOUT_T85n	L24			DQS24T	DQ27T	DQS29T/DQ29T		DQ30T						
VCCIO8B	VREF8B	IO			DIFFOUT_T86p	DIFFOUT_T86p	L22			DQ24T	DQ27T	DQ29T		DQ30T						
VCCIO8B	VREF8B	IO			DIFFOUT_T86n	DIFFOUT_T86n	M22			DQ24T	DQ27T	DQ29T		DQ30T						
VCCIO8B	VREF8B	IO			DIFFIO_RX_T44p	DIFFOUT_T87p	F24			DQ25T	DQ28T	DQ29T		DQ30T						
VCCIO8B	VREF8B	IO			DIFFIO_RX_T44n	DIFFOUT_T87n	E25			DQ25T	DQ28T	DQ29T		DQ30T						
VCCIO8B	VREF8B	IO			DIFFOUT_T88p	DIFFOUT_T88p	F26			DQ25T	DQ28T	DQ29T		DQ30T						
VCCIO8B	VREF8B	IO			DIFFOUT_T88n	DIFFOUT_T88n	G26			DQ25T	DQ28T	DQ29T		DQ30T						
VCCIO8B	VREF8B	IO			DIFFIO_RX_T45p	DIFFOUT_T89p	G25			DQS25T	DQS28T/CQ28T	DQ29T/CQn29T		DQ30T						
VCCIO8B	VREF8B	IO			DIFFIO_RX_T45n	DIFFOUT_T89n	F25			DQS25T	DQS28T/DQ28T	DQ29T		DQ30T						
VCCIO8B	VREF8B	IO			DIFFOUT_T90p	DIFFOUT_T90p	D26			DQ26T	DQ28T	DQ29T		DQ30T						
VCCIO8B	VREF8B	IO			DIFFOUT_T90n	DIFFOUT_T90n	C26			DQ26T	DQ28T	DQ29T		DQ30T						
VCCIO8B	VREF8B	IO			DIFFIO_RX_T46p	DIFFOUT_T91p	E28			DQS26T	DQ28T/C0n28T	DQ29T		DQS30T/CQ30T						
VCCIO8B	VREF8B	IO			DIFFIO_RX_T46n	DIFFOUT_T91n	D28			DQS26T	DQ28T	DQ29T		DQS30T/DQ30T						
VCCIO8B	VREF8B	IO			DIFFOUT_T92p	DIFFOUT_T92p	D27			DQ26T	DQ28T	DQ29T		DQ30T						
VCCIO8B	VREF8B	IO			DIFFOUT_T92n	DIFFOUT_T92n	E27			DQ26T	DQ28T	DQ29T		DQ30T						
VCCIO8B	VREF8B	IO			DIFFIO_RX_T47p	DIFFOUT_T93p	A28	B25		DQ27T	DQ28T	DQ30T		DQ27T	DQ29T	DQ30T				
VCCIO8B	VREF8B	IO			DIFFIO_RX_T47n	DIFFOUT_T93n	A28	A25		DQ27T	DQ29T	DQ30T		DQ27T	DQ29T	DQ30T				
VCCIO8B	VREF8B	IO			DIFFOUT_T94p	DIFFOUT_T94p	C28	A24		DQ27T	DQ29T	DQ30T		DQ27T	DQ29T	DQ30T				
VCCIO8B	VREF8B	IO			DIFFOUT_T94n	DIFFOUT_T94n	B28	A26		DQ27T	DQ29T	DQ30T		DQ27T	DQ29T	DQ30T				
VCCIO8B	VREF8B	IO			DIFFIO_RX_T48p	DIFFOUT_T95p	D29	C26		DQS27T	DQS29T/CQ29T	DQ30T		DQ30T/CQn30T	DQS27T	DQS29T/CQ29T	DQ30T			
VCCIO8B	VREF8B	IO			DIFFIO_RX_T48n	DIFFOUT_T95n	C29	B26		DQS27T	DQS29T/DQ29T	DQ30T		DQ30T	DQS27T	DQS29T/DQ29T	DQ30T			
VCCIO8B	VREF8B	IO			DIFFOUT_T96p	DIFFOUT_T96p	J24	K20		DQ28T	DQ29T	DQ30T		DQ28T	DQ29T	DQ30T				
VCCIO8B	VREF8B	IO			DIFFOUT_T96n	DIFFOUT_T96n	K25	J20		DQ28T	DQ29T	DQ30T		DQ28T	DQ29T	DQ30T				
VCCIO8B	VREF8B	IO			DIFFIO_RX_T49p	DIFFOUT_T97p	J25	J22		DQS28T	DQ29T/C0n29T	DQS30T/CQ30T		DQ30T	DQS28T	DQ29T/CQn29T	DQS30T/CQ30T			
VCCIO8B	VREF8B	IO			DIFFIO_RX_T49n	DIFFOUT_T97n	H25	J21		DQS28T										



Bank Number	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Emulated LVDS Output Channel	F1517	F1152	H780	DQS for X4 for F1517	DQS for X8/X9 for F1517	DQS for X16/X18 for F1517 (Note 1)	DQS for X32/X36 for F1517 (Note 1)	DQS for X4 for F1152	DQS for X8/X9 for F1152 (Note 1)	DQS for X16/X18 for F1152 (Note 1)	DQS for X4 for H780 (Note 1)	DQS for X8/X9 for H780 (Note 1)	DQS for X16/X18 for H780 (Note 1)	
		VCCIO6C					Y1	T3	N3											
		VCCIO6C					V7	T6												
		VCCIO6C					T3	L3												
		VCCIO6B					N3													
		VCCIO6B					R7													
		VCCIO6A					M10	H7	E3											
		VCCIO6A					M6	N7	K3											
		VCCIO6A					K3	L10	H7											
		VCCIO6A					F3	G3												
		VCCIO6A					B1	B1												
		VCCIO7A					J10	F10	C7											
		VCCIO7A					M12	J10	F7											
		VCCIO7A					G6	D5	F11											
		VCCIO7A					F9	C8	G4											
		VCCIO7A					C4													
		VCCIO7B					G16	C10												
		VCCIO7B					K15	J13												
		VCCIO7B					G13													
		VCCIO7B					C9													
		VCCIO7B					C12													
		VCCIO7C					D16	C13	C11											
		VCCIO7C					J18	G14	G14											
		VCCIO7C					F19	F17												
		VCCIO8C					G22	A18	C16											
		VCCIO8C					C24	H19	G17											
		VCCIO8C					A20	C22												
		VCCIO8B					F27	C25												
		VCCIO8B					K24	G22												
		VCCIO8B					C24													
		VCCIO8B					C27													
		VCCIO8B					C30													
		VCCIO8A					C36	C32	C25											
		VCCIO8A					K30	J23	F23											
		VCCIO8A					J28	G25	E19											
		VCCIO8A					G30	D29	C22											
		VCCIO8A					C33													
		VCCL					Y19	U17	R15											
		VCCL					P25	AB14	M16											
		VCCL					AF15	AB22	V14											
		VCCL					AE16	AA13	V18											
		VCCL					AE18	AA15	U11											
		VCCL					AE20	AA17	U13											
		VCCL					AE22	AA19	U15											
		VCCL					AE24	AA21	U17											
		VCCL					AD15	Y14	T12											
		VCCL					AD17	Y16	T14											
		VCCL					AD19	Y18	T16											
		VCCL					AD21	Y20	R13											
		VCCL					AD23	W15	R17											
		VCCL					AD25	W17	P12											
		VCCL					AC16	W19	P14											
		VCCL					AC18	W21	P16											
		VCCL					AC20	W14	P18											
		VCCL					AC22	V16	N13											
		VCCL					AC24	V18	N15											
		VCCL					AB15	V20	N17											
		VCCL					AB17	U15	M12											
		VCCL					AB19	U19	M14											
		VCCL					AB21	U21	L11											
		VCCL					AB23	T14	L17											
		VCCL					AB25	T16												
		VCCL					AA16	T18												
		VCCL					AA18	T20												
		VCCL					AA20	R15												
		VCCL					AA22	R17												
		VCCL					AA24	R19												
		VCCL					Y15	R21												
		VCCL					Y17	P14												
		VCCL					Y21	P16												
		VCCL					Y23	P18												
		VCCL					Y25	P20												
		VCCL					W16	P22												
		VCCL					R18	N13												
		VCCL					W20	N21												
		VCCL					W22													
		VCCL					W24													
		VCCL					V15													
		VCCL					V17													
		VCCL					V19													
		VCCL					V21													
		VCCL					V23													
		VCCL					V25													
		VCCL					U16													
		VCCL					U18													
		VCCL					U20													
		VCCL					U22													
		VCCL					U24													
		VCCL					T15													
		VCCL					T17													
		VCCL					T19													
		VCCL					T21													
		VCCL					T23													
		VCCL					T25													
		VCCL					R16													
		VCCL					R18													
		VCCL					R20													
		VCCL					R22													
		VCCL					R24													
		VCC					P21	W13	M18											



Bank Number	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Emulated LVDS Output Channel	F1517	F1152	H780	DQS for X4 for F1517	DQS for X8/X9 for F1517	DQS for X16/X18 for F1517 (Note 1)	DQS for X32/X36 for F1517 (Note 1)	DQS for X4 for F1152	DQS for X8/X9 for F1152 (Note 1)	DQS for X16/X18 for F1152 (Note 1)	DQS for X4 for H780 (Note 1)	DQS for X8/X9 for H780 (Note 1)	DQS for X16/X18 for H780 (Note 1)	
	VCC						AF17	AB16	V12											
	VCC						AF19	AB18	V16											
	VCC						AF21	AB20	T18											
	VCC						AF23	V22	R11											
	VCC						AF25	V22	N11											
	VCC						AE26	U13	L13											
	VCC						AC14	T22	L15											
	VCC						AC26	R13												
	VCC						AA14	N15												
	VCC						AA26	N17												
	VCC						W14	N19												
	VCC						W26													
	VCC						U14													
	VCC						U26													
	VCC						R14													
	VCC						P15													
	VCC						P17													
	VCC						P19													
	VCC						P23													
	GND						Y20	V17	R14											
	GND						W19	U18	P15											
	GND						L32	B33	K11											
	GND						AV2	AN2	E15											
	GND						AV5	AN5	AG2											
	GND						AV8	AN8	AG5											
	GND						AV11	AN11	AG8											
	GND						AV14	AN14	AG11											
	GND						AV17	AN17	AG14											
	GND						AV20	AN20	AG17											
	GND						AV23	AN23	AG20											
	GND						AV26	AN26	AG23											
	GND						AV29	AN29	AG26											
	GND						AV32	AN32	AF27											
	GND						AV35	AM33	AD2											
	GND						AV38	AK2	AD5											
	GND						AR2	AK5	AD8											
	GND						AR5	AK8	AD11											
	GND						AR8	AK11	AD14											
	GND						AR11	AK14	AD17											
	GND						AR14	AK17	AD20											
	GND						AR17	AK20	AD23											
	GND						AR20	AK23	AC24											
	GND						AR23	AK26	AC27											
	GND						AR26	AK29	AA2											
	GND						AR29	AJ30	AA5											
	GND						AR32	AJ33	AA8											
	GND						AR35	AG2	AA11											
	GND						AR38	AG5	AA14											
	GND						AM2	AG8	AA17											
	GND						AM5	AG11	AA20											
	GND						AM8	AG14	Y12											
	GND						AM11	AG17	Y16											
	GND						AM14	AG20	Y21											
	GND						AM17	AG23	Y24											
	GND						AM20	AG26	Y27											
	GND						AM23	AF27	W12											
	GND						AM26	AF30	W14											
	GND						AM29	AF33	W16											
	GND						AM32	AD2	W18											
	GND						AM35	AD5	Y2											
	GND						AM38	AD8	Y5											
	GND						AJ2	AD11	V8											
	GND						AJ5	AD14	V11											
	GND						AJ8	AD17	V13											
	GND						AJ11	AD20	V15											
	GND						AJ14	AD23	V17											
	GND						AJ17	AC14	V19											
	GND						AJ20	AC16	U10											
	GND						AJ23	AC18	U12											
	GND						AJ26	AC20	U14											
	GND						AJ29	AC24	U16											
	GND						AJ32	AC27	U18											
	GND						AJ35	AC30	U21											
	GND						AJ38	AC33	U24											
	GND						AG17	AB13	U27											
	GND						AG19	AB15	T11											
	GND						AG21	AB17	T13											
	GND						AG23	AB19	T15											
	GND						AG25	AB21	T17											
	GND						AF2	AB23	T19											
	GND						AF5	AA2	R2											
	GND						AF8	AA5	R5											
	GND						AF11	AA8	R8											
	GND						AF14	AA11	R12											
	GND						AF16	AA14	R16											
	GND						AF18	AA16	R18											
	GND						AF20	AA18	P11											
	GND						AF22	AA20	P13											
	GND						AF24	AA22	P17											
	GND						AF26	Y13	P21											
	GND						AF29	Y15	P24											
	GND						AF32	Y17	P27											
	GND						AF35	Y19	N10											
	GND						AF38	Y21	N12											
	GND						AE15	Y24	N14											
	GND						AE17	Y27	N16											
	GND						AE19	Y30	N18											
	GND						AE21	Y33	N2											
	GND						AE23	W14	N5											

Bank Number	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Emulated LVDS Output Channel	F1517	F1152	H780	DQS for X4 for F1517	DQS for X8/X9 for F1517	DQS for X16/X18 for F1517 (Note 1)	DQS for X32/X36 for F1517 (Note 1)	DQS for X4 for F1152	DQS for X8/X9 for F1152 (Note 1)	DQS for X16/X18 for F1152 (Note 1)	DQS for X4 for H780 (Note 1)	DQS for X8/X9 for H780 (Note 1)	DQS for X16/X18 for H780 (Note 1)
		GND					AE25	W16	M8										
		GND					AD14	W18	M11										
		GND					AD16	W20	M13										
		GND					AD18	W22	M15										
		GND					AD20	V2	M17										
		GND					AD22	V5	M19										
		GND					AD24	V8	L10										
		GND					AD26	V11	L12										
		GND					AC2	V12	L14										
		GND					AC5	V13	L16										
		GND					AC8	V15	L18										
		GND					AC11	V19	L21										
		GND					AC13	V21	L24										
		GND					AC15	V23	L27										
		GND					AC17	U12	K13										
		GND					AC19	U14	K15										
		GND					AC21	U16	K17										
		GND					AC23	U20	K19										
		GND					AC25	U22	J2										
		GND					AC29	U23	J5										
		GND					AC32	U24	J8										
		GND					AC35	U27	J13										
		GND					AC38	U30	J17										
		GND					AB14	U33	H9										
		GND					AB16	T13	H12										
		GND					AB18	T15	H15										
		GND					AB20	T17	H18										
		GND					AB22	T19	H21										
		GND					AB24	T21	H24										
		GND					AB26	R2	H27										
		GND					AA13	R5	F2										
		GND					AA15	R8	F5										
		GND					AA17	R11	E6										
		GND					AA19	R14	E9										
		GND					AA21	R16	E12										
		GND					AA23	R18	E18										
		GND					AA25	R20	E21										
		GND					AA27	R22	E24										
		GND					Y2	P13	E27										
		GND					Y5	P15	C2										
		GND					Y8	P17	B3										
		GND					Y11	P19	B6										
		GND					Y14	P21	B9										
		GND					Y16	P24	B12										
		GND					Y18	P27	B15										
		GND					Y22	P30	B18										
		GND					Y24	P33	B21										
		GND					Y26	N12	B24										
		GND					Y28	N14	B27										
		GND					Y32	N16											
		GND					Y35	N18											
		GND					Y38	N20											
		GND					W13	N22											
		GND					W15	M2											
		GND					W17	M5											
		GND					W21	M8											
		GND					W23	M11											
		GND					W25	M15											
		GND					W27	M17											
		GND					V14	M19											
		GND					V16	M21											
		GND					V18	L12											
		GND					V20	L15											
		GND					V22	L18											
		GND					V24	L21											
		GND					V26	L24											
		GND					U2	L27											
		GND					U5	L30											
		GND					U8	L33											
		GND					U11	J2											
		GND					U15	J5											
		GND					U17	J8											
		GND					U19	H9											
		GND					U21	H12											
		GND					U23	H15											
		GND					U25	H18											
		GND					U27	H21											
		GND					U29	H24											
		GND					U32	H27											
		GND					U35	H30											
		GND					U38	H33											
		GND					T14	F2											
		GND					T16	F5											
		GND					T18	F8											
		GND					T20	E9											
		GND					T22	E12											
		GND					T24	E15											
		GND					T26	E18											
		GND					R15	E21											
		GND					R17	E24											
		GND					R19	E27											
		GND					R21	E30											
		GND					R23	E33											
		GND					R25	C2											
		GND					P2	B3											
		GND					P5	B6											
		GND					P8	B9											
		GND					P11	B12											
		GND					P14	B15											



Bank Number	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Emulated LVDS Output Channel	F1517	F1152	H780	DQS for X4 for F1517	DQS for X8/X9 for F1517	DQS for X16/X18 for F1517 (Note 1)	DQS for X32/X36 for F1517 (Note 1)	DQS for X4 for F1152	DQS for X8/X9 for F1152 (Note 1)	DQS for X16/X18 for F1152 (Note 1)	DQS for X4 for H780 (Note 1)	DQS for X8/X9 for H780 (Note 1)	DQS for X16/X18 for H780 (Note 1)		
		GND					P16	B18													
		GND					P18	B21													
		GND					P20	B24													
		GND					P22	B27													
		GND					P24	B30													
		GND					P26														
		GND					P29														
		GND					P32														
		GND					P35														
		GND					P38														
		GND					N15														
		GND					N17														
		GND					N19														
		GND					N21														
		GND					N23														
		GND					L2														
		GND					L5														
		GND					L8														
		GND					L11														
		GND					L14														
		GND					L17														
		GND					L20														
		GND					L23														
		GND					L26														
		GND					L29														
		GND					L35														
		GND					L38														
		GND					H2														
		GND					H5														
		GND					H8														
		GND					H11														
		GND					H14														
		GND					H17														
		GND					H20														
		GND					H23														
		GND					H26														
		GND					H29														
		GND					H32														
		GND					H35														
		GND					H38														
		GND					E2														
		GND					E5														
		GND					E8														
		GND					E11														
		GND					E14														
		GND					E17														
		GND					E20														
		GND					E23														
		GND					E26														
		GND					E29														
		GND					E32														
		GND					E35														
		GND					E38														
		GND					B2														
		GND					B5														
		GND					B8														
		GND					B11														
		GND					B14														
		GND					B17														
		GND					B20														
		GND					B23														
		GND					B26														
		GND					B29														
		GND					B32														
		GND					B35														
		GND					B38														
		VCCPD1A					T27	N23	L19												
		VCCPD1B					T27														
		VCCPD1C					V27	R23	N19												
		VCCPD2C					Y27	W23	R19												
		VCCPD2B					AB27														
		VCCPD2A					AF27	AG23	U19												
		VCCPD3A					AG28	AC23	W17												
		VCCPD3B					AG24	AC21													
		VCCPD3C					AG22	AC19	W15												
		VCCPD4C					AG20	AC17	W13												
		VCCPD4B					AG18	AC15													
		VCCPD4A					AG16	AC13	W11												
		VCCPD5A					AF13	AB12	V10												
		VCCPD5B					AD13														
		VCCPD5C					AB13	Y12	T10												
		VCCPD5C					Y13	T12	P10												
		VCCPD5B					V13														
		VCCPD5A					P13	P12	M10												
		VCCPD7A					N14	M12	K12												
		VCCPD7B					N16	M14													
		VCCPD7C					N18	M16	K14												
		VCCPD8C					N20	M18	K16												
		VCCPD8B					N22	M20													
		VCCPD8A					N24	M22	K18												
		VREF1A	VREF1A				K31	J26	K22												
		VREF1B	VREF1B				R32														
		VREF1C	VREF1C				V32	P26	N22												
		VREF2C	VREF2C				Y34	V27	U22												
		VREF2B	VREF2B				AD32														
		VREF2A	VREF2A				AJ30	AA26	Y22												
		VREF3A	VREF3A				AP30	AG25	AB18												
		VREF3B	VREF3B				AM24	AG22													
		VREF3C	VREF3C				AN20	AH20	AA16												

Bank Number	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Emulated LVDS Output Channel	F1517	F1152	H780	DQS for X4 for F1517	DQS for X8/X9 for F1517	DQS for X16/X18 for F1517 (Note 1)	DQS for X32/X36 for F1517 (Note 1)	DQS for X4 for F1152	DQS for X8/X9 for F1152 (Note 1)	DQS for X16/X18 for F1152 (Note 1)	DQS for X4 for H780	DQS for X8/X9 for H780 (Note 1)	DQS for X16/X18 for H780 (Note 1)	
	VREF4C	VREF4C	VREF4C				AN17	AH16	AA12											
	VREF4B	VREF4B	VREF4B				AM16	AG13												
	VREF4A	VREF4A	VREF4A				AM12	AG10	AB10											
	VREF5A	VREF5A	VREF5A				AK9	AF7	W7											
	VREF5B	VREF5B	VREF5B				AE8													
	VREF5C	VREF5C	VREF5C				AB8	AA9	T7											
	VREF6C	VREF6C	VREF6C				Y6	U8	M7											
	VREF6B	VREF6B	VREF6B				T8													
	VREF6A	VREF6A	VREF6A				L10	P9	J7											
	VREF7A	VREF7A	VREF7A				F10	H10	G11											
	VREF7B	VREF7B	VREF7B				H16	H13												
	VREF7C	VREF7C	VREF7C				G20	G15	H13											
	VREF8C	VREF8C	VREF8C				G23	G19	H17											
	VREF8B	VREF8B	VREF8B				H24	H22												
	VREF8A	VREF8A	VREF8A				H28	H25	G19											
	VCCPT						J32	J27	G23											
	VCCPT						Y33	J29	R24											
	VCCPT						AL32	AG27	AC23											
	VCCPT						AL20	AJ17	AD15											
	VCCPT						AL8	AG7	AB6											
	VCCPT						Y7	W6	P5											
	VCCPT						J8	H8	G6											
	VCCPT						J20	F19	E14											
	VCCPGM						AJ31	AD24	AA21											
	VCCPGM						AJ10	AD10	Y8											
	VCCBAT						K8	G6	F6											
	NC						AP35	AK30	AE25											
	NC						AD27	AC10	V9											
	NC						T13	N25	U20											
	NC						N12	L11	M9											
	NC						N28	L25	L20											
	NC						L30	K26	K10											
	NC								J21											

Note:  
(1) When not used as clocks, the CQn and DQSn pins can be used as DQ pins.



**Pin Information for the Stratix® III EP3SE260 Device**  
**Version 1.1**  
**Notes (1), (2)**

Pin Name	Pin Type (1st and 2nd Function)	Pin Description
<b><i>Supply and Reference Pins</i></b>		
VCCL	Power	VCCL supplies power to the core voltage power supply pins.
VCC	Power	VCC supplies power to the periphery circuitry.
RUP[1..8]A	I/O, Input	Reference pins for I/O banks. The RUP pins share the same VCCIO with the I/O bank where they are located. The external precision resistor RUP must be connected to the designated RUP pin within the bank. If not required, this pin is a regular I/O pin.
RDN[1..8]A	I/O, Input	Reference pins for I/O banks. The RDN pins share the same GND with the I/O bank where they are located. The external precision resistor RDN must be connected to the designated RDN pin within the bank. If not required, this pin is a regular I/O pin.
VCCIO[1..8][A,B,C]	Power	These are I/O supply voltage pins for banks 1 through 8. Each bank can support a different voltage level. VCCIO supplies power to the output buffers for all LVDS, LVCMOS(1.2 V, 1.5 V, 1.8 V, 2.5 V, 3.0 V, 3.3 V), HSTL(12, 15, 18), SSTL(15, 18, 2), 3.0-V PCI/PCI-X I/O, and LVTTTL(3.0 V, 3.3 V) I/O standards. VCCIO also supplies power to the input buffers used for LVCMOS(1.2 V, 1.5 V, 1.8 V, 2.5 V, 3.0 V, 3.3 V), 3.0-V PCI/PCI-X and LVTTTL(3.0 V, 3.3 V) I/O standards.
VREF[1..8][A,B,C]	Power	Input reference voltage for each I/O bank. If a bank uses a voltage-referenced I/O standard, then these pins are used as the voltage-referenced pins for the bank.
VCCA_PLL[L[1:4],R[1:4],T[1:2],B[1:2]]	Power	Analog power for PLLs[L[1:4],R[1:4],T[1:2],B[1:2]]. You must connect these pins to 2.5 V, even if the PLL is not used. You are advised to keep this pin isolated from other VCC for better jitter performance.
VCCD_PLL[L[1:4],R[1:4],T[1:2],B[1:2]]	Power	Digital power for PLLs[L[1:4],R[1:4],T[1:2],B[1:2]]. You must connect these pins to 1.1 V, even if the PLL is not used.
VCCPT	Power	Power supply for the programmable power technology. Connect to 2.5 V.
VCCPGM	Power	Power supply for configuration pins. Can be connected to 1.8 V, 2.5 V, 3.0 V, or 3.3 V depending on the particular design.
VCCPD[1..8][A,B,C]	Power	Dedicated power pins. This supply is used to power the I/O pre-drivers. This can be connected to 3.3 V, 3.0 V, or 2.5 V. VCCPD for 3.3-V I/O standard is 3.3 V, VCCPD for 3.0-V I/O standard is 3.0 V, and VCCPD for 2.5-V/1.8-V/1.2-V I/O standards is 2.5 V.
VCCBAT	Power	Battery back-up power supply for design security volatile key register. Connect to 2.5 V.
VCC_CLKIN[3,4,7,8]	Power	Differential clock input power supply for top and bottom I/O banks. Connect to 2.5 V.
GND	Ground	Device ground pins.
DNU	Do Not Use	Do not connect to power or ground or any other signal; must be left floating.
NC	No Connect	Do not drive signals into these pins.
<b><i>Dedicated Configuration/JTAG Pins</i></b>		
nIO_PULLUP	Input	Dedicated input that chooses whether the internal pull-ups on the user I/O pins and dual-purpose I/O pins (nCSO, ASDO, DATA[7..0], CLKUSR, INIT_DONE, DEV_OE, DEV_CLRn) are on or off before and during configuration. A logic high (1.5 V, 1.8 V, 2.5 V, 3.0 V, or 3.3 V) turns off the weak pull-up, while a logic low turns them on.
TEMPDIODEp	Input	Pin used in conjunction with the temperature-sensing diode (bias-high input) inside the Stratix III device.
TEMPDIODEn	Input	Pin used in conjunction with the temperature-sensing diode (bias-low input) inside the Stratix III device.
MSEL[3..0]	Input	Configuration input pins that set the Stratix III device configuration scheme.



**Pin Information for the Stratix® III EP3SE260 Device**  
**Version 1.1**  
**Notes (1), (2)**

Pin Name	Pin Type (1st and 2nd Function)	Pin Description
nCE	Input	Dedicated active-low chip enable. When nCE is low, the device is enabled. When nCE is high, the device is disabled.
nCONFIG	Input	Dedicated configuration control input. Pulling this pin low during user mode will cause the FPGA to lose its configuration data, enter a reset state, and tri-state all I/O pins. Returning this pin to a logic high level will initiate reconfiguration.
CONF_DONE	Bidirectional (open-drain)	This is a dedicated configuration Done pin. As a status output, the CONF_DONE pin drives low before and during configuration. Once all configuration data is received without error and the initialization cycle starts, CONF_DONE is released. As a status input, CONF_DONE goes high after all data is received. Then the device initializes and enters user mode. It is not available as a user I/O pin.
nCEO	Output	Output that drives low when device configuration is complete.
nSTATUS	Bidirectional (open-drain)	This is a dedicated configuration status pin. The FPGA drives nSTATUS low immediately after power-up and releases it after POR time. As a status output, the nSTATUS is pulled low if an error occurs during configuration. As a status input, the device enters an error state when nSTATUS is driven low by an external source during configuration or initialization. It is not available as a user I/O pin.
PORSEL	Input	Dedicated input that selects between a POR time of 12 ms or 100 ms. A logic high (1.5 V, 1.8 V, 2.5 V, 3.0 V, 3.3 V) selects a POR time of 12 ms and a logic low selects POR time of 100 ms.
TCK	Input	Dedicated JTAG input pin. Connect TCK to GND if the JTAG circuitry is not used.
TMS	Input	Dedicated JTAG input pin. Connect TMS to VCCPD if the JTAG circuitry is not used.
TDI	Input	Dedicated JTAG input pin. Connect TDI to VCCPD if the JTAG circuitry is not used.
TDO	Output	Dedicated JTAG output pin.
TRST	Input	Dedicated active-low JTAG input pin. TRST is used to asynchronously reset the JTAG boundary-scan circuit.
<b><i>Clock and PLL Pins</i></b>		
CLK[1,3,8,10]p	Clock, Input	Dedicated high-speed clock input pins 1, 3, 8, and 10 that can also be used for data inputs. OCT Rd is not supported on these pins.
CLK[1,3,8,10]n	Clock, Input	Dedicated negative clock input pins for differential clock input that can also be used for data inputs. OCT Rd is not supported on these pins.
CLK[0,2,9,11]p	I/O, Clock	These pins can be used as I/O pins or clock input pins. OCT Rd is supported on these pins.
CLK[0,2,9,11]n	I/O, Clock	These pins can be used as I/O pins or negative clock input pins for differential clock inputs. OCT Rd is supported on these pins.
CLK[4..7,12..15]p	I/O, Clock	These pins can be used as I/O pins or clock input pins. OCT Rd is not supported on these pins.
CLK[4..7,12..15]n	I/O, Clock	These pins can be used as I/O pins or negative clock input pins for differential clock inputs. OCT Rd is not supported on these pins.
PLL_[L1,L4,R1,R4]_CLKp	Clock, Input	Dedicated clock input pins to PLL L1, L4, R1, and R4 respectively.
PLL_[L1,L4,R1,R4]_CLKn	Clock, Input	Dedicated negative clock input pins for differential clock input to PLL L1, L4, R1, and R4 respectively.
PLL_[L2,L3,R2,R3]_CLKOUT0n	I/O, Clock	Each left and right PLL supports 2 clock I/O pins, configured either as 2 single-ended I/O or one differential I/O pair. When using both pins as single-ended I/Os, PLL_#_CLKOUT0n can be the clock output while the PLL_#_FB_CLKOUT0p is the external feedback input pin.
PLL_[L2,L3,R2,R3]_FB_CLKOUT0p	I/O, Clock	
PLL_[T1,T2,B1,B2]_FBp/CLKOUT1	I/O, Clock	Dual-purpose I/O pins that can be used as two single-ended outputs or one differential external feedback input pin.
PLL_[T1,T2,B1,B2]_FBn/CLKOUT2	I/O, Clock	
PLL_[T1,T2,B1,B2]_CLKOUT[3,4]	I/O, Clock	These pins can be used as I/O pins or two single-ended clock output pins.
PLL_[T1,T2,B1,B2]_CLKOUT0[p,n]	I/O, Clock	I/O pins that be used as two single-ended clock output pins or one differential clock output pair.



Pin Name	Pin Type (1st and 2nd Function)	Pin Description
<b>Optional/Dual-Purpose Configuration Pins</b>		
nCSO	I/O, Output	Dedicated output control signal from the Stratix III FPGA to the serial configuration device in AS mode that enables the configuration device.
ASDO	I/O, Output	Control signal from the Stratix III FPGA to the serial configuration device in AS mode used to read out configuration data.
DCLK	Input (PS, FPP) Output (AS)	Dedicated configuration clock pin. In PS and FPP configuration modes, DCLK is used to clock configuration data from an external source into the Stratix III device. In AS mode, DCLK is an output from the Stratix III device that provides timing for the configuration interface.
CRC_ERROR	I/O, Output	Active-high signal that indicates that the error detection circuit has detected errors in the configuration SRAM bits. This pin is optional and is used when the CRC error detection circuit is enabled.
DEV_CLRn	I/O, Input	Optional pin that allows you to override all clears on all device registers. When this pin is driven low, all registers are cleared; when this pin is driven high (VCCPGM), all registers behave as programmed.
DEV_OE	I/O, Input	Optional pin that allows you to override all tri-states on the device. When this pin is driven low, all I/O pins are tri-stated; when this pin is driven high (VCCPGM), all I/O pins behave as defined in the design.
DATA0	I/O, Input	Dual-purpose configuration data input pin. The DATA0 pin can be used for bit-wide configuration or as an I/O pin after configuration is complete.
DATA[7..1]	I/O, Input	Dual-purpose configuration data input pins. The DATA[7..0] pins can be used for byte-wide configuration or as regular I/O pins. These pins can also be used as user I/O pins after configuration.
INIT_DONE	I/O, Output (open-drain)	This is a dual-purpose pin and can be used as an I/O pin when not enabled as INIT_DONE. When enabled, a transition from low to high at the pin indicates when the device has entered user mode. If the INIT_DONE output is enabled, the INIT_DONE pin cannot be used as a user I/O pin after configuration.
CLKUSR	I/O, Input	Optional user-supplied clock input. Synchronizes the initialization of one or more devices. If this pin is not enabled for use as a user-supplied configuration clock, it can be used as a user I/O pin.
<b>Differential I/O Pins</b>		
DIFFIO_RX[##]p/n	I/O, RX channel	These are true LVDS receiver channels on side and column I/O banks. Pins with a "p" suffix carry the positive signal for the differential channel. Pins with an "n" suffix carry the negative signal for the differential channel. If not used for differential signaling, these pins are available as user I/O pins.
DIFFIO_TX[##]p/n	I/O, TX channel	These are true LVDS transmitter channels on side I/O banks. Pins with a "p" suffix carry the positive signal for the differential channel. Pins with an "n" suffix carry the negative signal for the differential channel. If not used for differential signaling, these pins are available as user I/O pins.
DIFFOUT_[##]p/n	I/O, TX channel	These are emulated LVDS output channels. On column I/O banks, there are true LVDS input buffers, but no true LVDS output buffers. However, all column user I/Os, including I/Os with true LVDS input buffers, can be configured as emulated LVDS output buffers. Pins with a "p" suffix carry the positive signal for the differential channel. Pins with an "n" suffix carry the negative signal for the differential channel. If not used for differential signaling, these pins are available as user I/O pins.
<b>External Memory Interface Pins</b>		
DQS[1..44][T,B], DQS[1..40][L,R]	I/O, DQS	Optional data strobe signal for use in external memory interfacing. These pins drive to dedicated DQS phase-shift circuitry. The shifted DQS signal can also drive to internal logic.
DQSn[1..44][T,B], DQSn[1..40][L,R]	I/O, DQSn	Optional complementary data strobe signal for use in QDR II SRAM. These pins drive to dedicated DQS phase-shift circuitry.



Pin Name	Pin Type (1st and 2nd Function)	Pin Description
DQ[1..44][T,B], DQ[1..40][L,R]	I/O, DQ	Optional data signal for use in external memory interfacing. The order of the DQ bits within a designated DQ bus is not important; however, use caution when making pin assignments if you plan on migrating to a different memory interface that has a different DQ bus width. Analyze the available DQ pins across all pertinent DQS columns in the pin list.
CQ[1..44][T,B], CQ[1..40][L,R]	DQS	Optional data strobe signal for use in QDRII SRAM. These are the pins for echo clocks.
CQn[1..44][T,B], CQ[1..40][L,R]	DQS	Optional complementary data strobe signal for use in QDRII SRAM. These are the pins for echo clocks.

**Notes:**

- (1) The pin definitions are prepared based on the device with the largest density, EP3SL340. Refer to the pin list for the availability of pins in each density.
- (2) Some of the pull-up or pull-down resistors mentioned in the table above may not be required, depending on the exact device configuration scheme.  
Should you be required to use a different configuration scheme, the ability to NC or short them may be valuable during the debug phase.  
For more information, refer to the *Configuring Stratix III Devices* chapter in volume 1 of the *Stratix III Device Handbook*.



PLL_L1		8A	8B	8C	PLL_T1	PLL_T2	7C	7B	7A	PLL_R1
		VREF8A	VREF8B	VREF8C			VREF7C	VREF7B	VREF7A	
VREF1A	1A							6A	VREF6A	
VREF1B	1B							6B	VREF6B	
VREF1C	1C							6C	VREF6C	
PLL_L2								PLL_R2		
PLL_L3								PLL_R3		
VREF2C	2C							5C	VREF5C	
VREF2B	2B							5B	VREF5B	
VREF2A	2A							5A	VREF5A	
PLL_L4		3A	3B	3C	PLL_B1	PLL_B2	4C	4B	4A	PLL_R4
		VREF3A	VREF3B	VREF3C			VREF4C	VREF4B	VREF4A	

**Note:**

1. This is only a pictorial representation to provide an idea of placement on the device. Refer to the pin list and the Quartus® II software for exact locations.



**Pin Information for the Stratix® III EP3SE260 Device**  
**Version 1.1**

<b>Version Number</b>	<b>Date</b>	<b>Changes Made</b>
1.0	12/14/2007	Initial release
1.1	4/4/2008	Updated naming convention of DQ/DQS group for H780 package to match pin planner in Quartus II software and ORCAD symbol files.