



Bank Number	VREF Group (Note 4)	Pin Name/Function	Optional Function(s)/ DQ group for DQS x4 Mode	Configuration Function	F1508	F1020	x5 Mode (Note 2)					x4 Mode (Note 3)					
							DQ group for DQS mode	DQ group for DQS mode	DQ group for DQS mode	DQ group for non-DQS mode (non-migratable)	DQ group for non-DQS mode (non-migratable)	DQ group for non-DQS mode (migratable) F1508	DQ group for non-DQS mode (migratable) F1020	DQ group for non-DQS mode (non-migratable)	DQ group for non-DQS mode (migratable) F1508	DQ group for non-DQS mode (migratable) F1020	
		VCCD_PLL7			L29	H25											
		VCCA_PLL7			M29	H26											
		GND_A_PLL7			K29	F26											
		GND_B_PLL7			K30	G26											
B2	VREFB2N0	FPLL7CLKp	INPUT		C39	D30											
B2	VREFB2N0	FPLL7CLKn	INPUT		C38	D29											
B2	VREFB2N0	VREFB2N0	VREFB2N0		D38	F28											
B2	VREFB2N0	IO	DIFFIO_TX79p		J32												
B2	VREFB2N0	IO	DIFFIO_TX79n		J31								DQ36L0				
B2	VREFB2N0	IO	DIFFIO_RX78p		C37												
B2	VREFB2N0	IO	DIFFIO_RX78n		C36								DQ3L0				
B2	VREFB2N0	IO	DIFFIO_TX78p		L31								DQ36L1				
B2	VREFB2N0	IO	DIFFIO_TX78n		L30								DQ36L				
B2	VREFB2N1	IO	DIFFIO_RX77p		D37								DQ3L1				
B2	VREFB2N1	IO	DIFFIO_RX77n		D36								DQ33L				
B2	VREFB2N1	IO	DIFFIO_TX77p		K32					DQ32L0			DQ36L2				
B2	VREFB2N1	IO	DIFFIO_TX77n		K31					DQ32L1	K31		DQ36L3				
B2	VREFB2N1	IO	DIFFIO_RX76p		B38					DQ3L0			DQ3L2				
B2	VREFB2N1	IO	DIFFIO_RX76n		B37					DQ3L1			DQ3L3				
B2	VREFB2N1	IO	DIFFIO_TX76p		H32					DQS32L			DQ37L0				
B2	VREFB2N1	IO	DIFFIO_TX76n		H31					DQ32L2			DQ37L1				
B2	VREFB2N1	IO	DIFFIO_RX75p		J34					DQS3L			DQ4L0				
B2	VREFB2N1	IO	DIFFIO_RX75n		J33					DQ3L2			DQ4L1				
B2	VREFB2N1	IO	DIFFIO_TX75p		F35					DQ32L3			DQS37L				
B2	VREFB2N1	IO	DIFFIO_TX75n		F34					DM32L	F34		DQ37L2				
B2	VREFB2N1	IO	DIFFIO_RX74p		G35					DQ3L3			DQS4L				
B2	VREFB2N1	IO	DIFFIO_RX74n		G34					DM3L			DQ4L2				
B2	VREFB2N1	IO	DIFFIO_TX74p		L33					DQ33L0			DQ37L3				
B2	VREFB2N1	IO	DIFFIO_TX74n		L32					DQ33L1			DQ38L0				
B2	VREFB2N1	VREFB2N1	VREFB2N1		G33	J28											
B2	VREFB2N1	IO	DIFFIO_RX73p		H35					DQ4L0			DQ4L3				
B2	VREFB2N1	IO	DIFFIO_RX73n		H34					DQ4L1	H34		DQ5L0				
B2	VREFB2N1	IO	DIFFIO_TX73p		M31					DQS33L			DQ38L1				
B2	VREFB2N1	IO	DIFFIO_TX73n		M30					DQ33L2	M30		DQS38L				
B2	VREFB2N1	IO	DIFFIO_RX72p		E37					DQS4L			DQ5L1				
B2	VREFB2N1	IO	DIFFIO_RX72n		E36					DQ4L2			DQS5L				
B2	VREFB2N1	IO	DIFFIO_TX72p		E35					DQ33L3			DQ38L2				
B2	VREFB2N1	IO	DIFFIO_TX72n		E34					DM33L	E34		DQ38L3				
B2	VREFB2N1	IO	DIFFIO_RX71p		F37					DQ4L3			DQ5L2				
B2	VREFB2N1	IO	DIFFIO_RX71n		F36					DM4L			DQ5L3				



Bank Number	VREF Group (Note 4)	Pin Name/Function	Optional Function(s)/ DQ group for DQS x4 Mode	Configuration Function	F1508	F1020	x8/x9 Mode	x16/x18 Mode	x32/x36 Mode	x5 Mode (Note 2)				x4 Mode (Note 3)			
										DQ group for DQS mode	DQ group for DQS mode	DQ group for DQS mode	DQ group for non-DQS mode (non-migratable)	DQ group for non-DQS mode (non-migratable)	DQ group for non-DQS mode (migratable) F1508	DQ group for non-DQS mode (migratable) F1020	DQ group for non-DQS mode (non-migratable)
B2	VREFB2N1	IO	DIFFIO_TX71p		M33						DQ34L0				DQ39L0		
B2	VREFB2N1	IO	DIFFIO_TX71n		M32						DQ34L1				DQ39L1		
B2	VREFB2N1	IO	DIFFIO_RX70p		K35						DQ5L0				DQ6L0		
B2	VREFB2N1	IO	DIFFIO_RX70n		K34						DQ5L1				DQ6L1		
B2	VREFB2N1	IO	DIFFIO_TX70p		N31						DQ34L				DQS39L		
B2	VREFB2N1	IO	DIFFIO_TX70n		N30						DQ34L2				DQ39L2		
B2	VREFB2N1	IO	DIFFIO_RX69p		E39						DQS5L				DQS6L		
B2	VREFB2N1	IO	DIFFIO_RX69n		E38						DQ5L2				DQ6L2		
B2	VREFB2N1	IO	DIFFIO_TX69p		N29						DQ34L3				DQ39L3		
B2	VREFB2N1	IO	DIFFIO_TX69n		N28						DM34L				DQ40L0		
B2	VREFB2N2	IO	DIFFIO_RX68p		F39						DQ5L3				DQ6L3		
B2	VREFB2N2	IO	DIFFIO_RX68n		F38						DM5L				DQ7L0		
B2	VREFB2N2	IO	DIFFIO_TX68p		P27						DQ35L0				DQ40L1		
B2	VREFB2N2	IO	DIFFIO_TX68n		P26						DQ35L1				DQS40L		
B2	VREFB2N2	IO	DIFFIO_RX67p		L35						DQ6L0				DQ7L1		
B2	VREFB2N2	IO	DIFFIO_RX67n		L34						DQ6L1				DQS7L		
B2	VREFB2N2	IO	DIFFIO_TX67p		P29						DQS35L				DQ40L2		
B2	VREFB2N2	IO	DIFFIO_TX67n		P28						DQ35L2				DQ40L3		
B2	VREFB2N2	IO	DIFFIO_RX66p		G39						DQS6L				DQ7L2		
B2	VREFB2N2	IO	DIFFIO_RX66n		G38						DQ6L2				DQ7L3		
B2	VREFB2N2	IO	DIFFIO_TX66p		R28						DQ35L3				DQ41L0		
B2	VREFB2N2	IO	DIFFIO_TX66n		R27						DM35L				DQ41L1		
B2	VREFB2N2	IO	DIFFIO_RX65p		J37						DQ6L3				DQ8L0		
B2	VREFB2N2	IO	DIFFIO_RX65n		J36						DM6L				DQ8L1		
B2	VREFB2N2	IO	DIFFIO_TX65p		N33						DQ36L0				DQS41L		
B2	VREFB2N2	IO	DIFFIO_TX65n		N32						DQ36L1				DQ41L2		
B2	VREFB2N2	VREFB2N2	VREFB2N2		J35	L27											
B2	VREFB2N2	IO	DIFFIO_RX64p		H37	G28					DQ7L0	DQ7L0			DQS8L		
B2	VREFB2N2	IO	DIFFIO_RX64n		H36	G27					DQ7L1	DQ7L1			DQ8L2		
B2	VREFB2N2	IO	DIFFIO_TX64p		M35	H28					DQS36L				DQ41L3		
B2	VREFB2N2	IO	DIFFIO_TX64n		M34	H27					DQ36L2				DQ42L0	DQ42L0	
B2	VREFB2N2	IO	DIFFIO_RX63p		G37	E30					DQ57L	DQS7L	DQS0L	DQS0L	DQ8L3		DQS0L
B2	VREFB2N2	IO	DIFFIO_RX63n		G36	E29					DQ7L2	DQ7L2	DQ0L2	DQ0L2	DQ9L0	DQ9L0	DQ0L2
B2	VREFB2N2	IO	DIFFIO_TX63p		P31	K27					DQ36L3		DQ13L3	DQ13L3	DQ42L1	DQ42L1	DQ17L2
B2	VREFB2N2	IO	DIFFIO_TX63n		P30	K26					DM36L		DM13L	DM13L	DQS42L	DQS42L	DQ17L3
B2	VREFB2N2	IO	DIFFIO_RX62p		L37	D32					DQ7L3	DQ7L3	DQ0L0	DQ0L0	DQ9L1	DQ9L1	DQ0L0
B2	VREFB2N2	IO	DIFFIO_RX62n		L36	D31					DM7L	DM7L	DQ0L1	DQ0L1	DQS9L	DQS9L	DQ0L1
B2	VREFB2N2	IO	DIFFIO_TX62p		P33	J27					DQ37L0	DQ37L0			DQ42L2	DQ42L2	
B2	VREFB2N2	IO	DIFFIO_TX62n		P32	J26					DQ37L1	DQ37L1			DQ42L3	DQ42L3	DQ17L0
B2	VREFB2N2	IO	DIFFIO_RX61p		K37	F30					DQ8L0	DQ8L0	DQ0L3	DQ0L3	DQ9L2	DQ9L2	DQ0L3



Pin Information for the Stratix® II EP2S180 Device
Version 2.2
(Note 1)

Bank Number	VREF Group (Note 4)	Pin Name/Function	Optional Function(s)/ DQ group for DQS x4 Mode	Configuration Function	F1508	F1020	x8/x9 Mode	x16/x18 Mode	x32/x36 Mode	x5 Mode (Note 2)				x4 Mode (Note 3)			
										DQ group for DQS mode	DQ group for DQS mode	DQ group for DQS mode	DQ group for non-DQS mode (non-migratable)	DQ group for non-DQS mode (non-migratable)	DQ group for non-DQS mode (migratable) F1508	DQ group for non-DQS mode (migratable) F1020	DQ group for non-DQS mode (non-migratable)
B2	VREFB2N2	IO	DIFFIO_RX61n		K36	F29				DQ8L1	DQ8L1	DM0L	DM0L	DQ9L3	DQ9L3	DQ1L0	DQ1L0
B2	VREFB2N2	IO	DIFFIO_TX61p		R32	K25				DQS37L	DQS37L			DQ43L0	DQ43L0		
B2	VREFB2N2	IO	DIFFIO_TX61n		R31	K24				DQ37L2	DQ37L2			DQ43L1	DQ43L1		
B2	VREFB2N2	IO	DIFFIO_RX60p		M37	G30				DQS8L	DQS8L	DQS13L	DQS13L	DQ10L0	DQ10L0	DQ1L1	DQ1L1
B2	VREFB2N2	IO	DIFFIO_RX60n		M36	G29				DQ8L2	DQ8L2	DQ13L2	DQ13L2	DQ10L1	DQ10L1	DQS1L	DQS1L
B2	VREFB2N2	IO	DIFFIO_TX60p		N35	L26				DQ37L3	DQ37L3	DQS14L	DQS14L	DQS43L	DQS43L	DQS18L	DQS18L
B2	VREFB2N2	IO	DIFFIO_TX60n		N34	L25				DM37L	DM37L	DQ14L2	DQ14L2	DQ43L2	DQ43L2	DQ18L2	DQ18L2
B2	VREFB2N3	IO	DIFFIO_RX59p		H39	H30				DQ8L3	DQ8L3	DQ1L0	DQ1L0	DQS10L	DQS10L	DQ1L2	DQ1L2
B2	VREFB2N3	IO	DIFFIO_RX59n		H38	H29				DM8L	DM8L	DQ1L1	DQ1L1	DQ10L2	DQ10L2	DQ1L3	DQ1L3
B2	VREFB2N3	IO	DIFFIO_TX59p		R30	L24				DQ38L0	DQ38L0	DQ13L0	DQ13L0	DQ43L3	DQ43L3	DQ17L1	DQ17L1
B2	VREFB2N3	IO	DIFFIO_TX59n		R29	L23				DQ38L1	DQ38L1	DQ13L1	DQ13L1	DQ44L0	DQ44L0	DQS17L	DQS17L
B2	VREFB2N3	IO	DIFFIO_RX58p		J39	J30				DQ9L0	DQ9L0			DQ10L3	DQ10L3		
B2	VREFB2N3	IO	DIFFIO_RX58n		J38	J29				DQ9L1	DQ9L1			DQ11L0	DQ11L0		
B2	VREFB2N3	IO	DIFFIO_TX58p		P35	M25				DQS38L	DQS38L	DQ14L3	DQ14L3	DQ44L1	DQ44L1	DQ18L3	DQ18L3
B2	VREFB2N3	IO	DIFFIO_TX58n		P34	M24				DQ38L2	DQ38L2	DM14L	DM14L	DQS44L	DQS44L	DQ19L0	DQ19L0
B2	VREFB2N3	IO	DIFFIO_RX57p		N37	E32				DQS9L	DQS9L	DQS1L	DQS1L	DQ11L1	DQ11L1	DQ2L0	DQ2L0
B2	VREFB2N3	IO	DIFFIO_RX57n		N36	E31				DQ9L2	DQ9L2	DQ1L2	DQ1L2	DQS11L	DQS11L	DQ2L1	DQ2L1
B2	VREFB2N3	IO	DIFFIO_TX57p		T30	M23				DQ38L3	DQ38L3	DQ14L0	DQ14L0	DQ44L2	DQ44L2	DQ18L0	DQ18L0
B2	VREFB2N3	IO	DIFFIO_TX57n		T29	M22				DM38L	DM38L	DQ14L1	DQ14L1	DQ44L3	DQ44L3	DQ18L1	DQ18L1
B2	VREFB2N3	IO	DIFFIO_RX56p		K39	F32				DQ9L3	DQ9L3	DQ1L3	DQ1L3	DQ11L2	DQ11L2	DQS2L	DQS2L
B2	VREFB2N3	IO	DIFFIO_RX56n		K38	F31				DM9L	DM9L	DM1L	DM1L	DQ11L3	DQ11L3	DQ2L2	DQ2L2
B2	VREFB2N3	IO	DIFFIO_TX56p		T32	M27				DQ39L0	DQ39L0	DQS15L	DQS15L	DQ45L0	DQ45L0	DQ19L2	DQ19L2
B2	VREFB2N3	IO	DIFFIO_TX56n		T31	M26				DQ39L1	DQ39L1	DQ15L2	DQ15L2	DQ45L1	DQ45L1	DQ19L3	DQ19L3
B2	VREFB2N3	VREFB2N3	VREFB2N3		R35	L28											
B2	VREFB2N3	IO	DIFFIO_RX55p		L39	G32				DQ10L0	DQ10L0	DQ2L0	DQ2L0	DQ12L0	DQ12L0	DQ2L3	DQ2L3
B2	VREFB2N3	IO	DIFFIO_RX55n		L38	G31				DQ10L1	DQ10L1	DQ2L1	DQ2L1	DQ12L1	DQ12L1	DQ3L0	DQ3L0
B2	VREFB2N3	IO	DIFFIO_TX55p		R34	N25				DQS39L	DQS39L	DQ15L3	DQ15L3	DQS45L	DQS45L		
B2	VREFB2N3	IO	DIFFIO_TX55n		R33	N24				DQ39L2	DQ39L2	DM15L	DM15L	DQ45L2	DQ45L2		
B2	VREFB2N3	IO	DIFFIO_RX54p		M39	H32				DQS10L	DQS10L	DQS2L	DQS2L	DQS12L	DQS12L	DQ3L1	DQ3L1
B2	VREFB2N3	IO	DIFFIO_RX54n		M38	H31				DQ10L2	DQ10L2	DQ2L2	DQ2L2	DQ12L2	DQ12L2	DQS3L	DQS3L
B2	VREFB2N3	IO	DIFFIO_TX54p		T34	N23				DQ39L3	DQ39L3	DQ15L0	DQ15L0	DQ45L3	DQ45L3	DQ19L1	DQ19L1
B2	VREFB2N3	IO	DIFFIO_TX54n		T33	N22				DM39L	DM39L	DQ15L1	DQ15L1	DQ46L0	DQ46L0	DQS19L	DQS19L
B2	VREFB2N3	IO	DIFFIO_RX53p		N39	J32				DQ10L3	DQ10L3	DQ2L3	DQ2L3	DQ12L3	DQ12L3	DQ3L2	DQ3L2
B2	VREFB2N3	IO	DIFFIO_RX53n		N38	J31				DM10L	DM10L	DM2L	DM2L	DQ13L0	DQ13L0	DQ3L3	DQ3L3
B2	VREFB2N3	IO	DIFFIO_TX53p		T28	P23				DQ40L0	DQ40L0			DQ46L1	DQ46L1		
B2	VREFB2N3	IO	DIFFIO_TX53n		T27	P22				DQ40L1	DQ40L1			DQS46L	DQS46L		
B2	VREFB2N3	IO	DIFFIO_RX52p		T36	K30				DQ11L0	DQ11L0	DQ3L0	DQ3L0	DQ13L1	DQ13L1	DQ4L0	DQ4L0
B2	VREFB2N3	IO	DIFFIO_RX52n		T35	K29				DQ11L1	DQ11L1	DQ3L1	DQ3L1	DQS13L	DQS13L	DQ4L1	DQ4L1
B2	VREFB2N3	IO	DIFFIO_TX52p		U32	N27				DQS40L	DQS40L			DQ46L2	DQ46L2		
B2	VREFB2N3	IO	DIFFIO_TX52n		U31	N26				DQ40L2	DQ40L2			DQ46L3	DQ46L3		



Pin Information for the Stratix® II EP2S180 Device
Version 2.2
(Note 1)

Bank Number	VREF Group (Note 4)	Pin Name/Function	Optional Function(s)/ DQ group for DQS x4 Mode	Configuration Function	F1508	F1020	x8/x9 Mode	x16/x18 Mode	x32/x36 Mode	x5 Mode (Note 2)						x4 Mode (Note 3)			
										DQ group for DQS mode	DQ group for DQS mode	DQ group for DQS mode	DQ group for non-DQS mode (non-migratable)	DQ group for non-DQS mode (non-migratable)	DQ group for non-DQS mode (migratable) F1508	DQ group for non-DQS mode (migratable) F1020	DQ group for non-DQS mode (non-migratable)	DQ group for non-DQS mode (non-migratable)	DQ group for non-DQS mode (migratable) F1508
B2	VREFB2N3	IO	DIFFIO_RX51p		R37	K32				DQS11L	DQS11L	DQS3L	DQS3L	DQ13L2	DQ13L2	DQS4L	DQS4L		
B2	VREFB2N3	IO	DIFFIO_RX51n		R36	K31				DQ11L2	DQ11L2	DQ3L2	DQ3L2	DQ13L3	DQ13L3	DQ4L2	DQ4L2		
B2	VREFB2N3	IO	DIFFIO_TX51p		U30	P29				DQ40L3	DQ40L3			DQ47L0	DQ47L0				
B2	VREFB2N3	IO	DIFFIO_TX51n		U29	P28				DM40L	DM40L			DQ47L1	DQ47L1				
B2	VREFB2N4	IO	DIFFIO_RX50p		P37	L30				DQ11L3	DQ11L3	DQ3L3	DQ3L3	DQ14L0	DQ14L0	DQ4L3	DQ4L3		
B2	VREFB2N4	IO	DIFFIO_RX50n		P36	L29				DM11L	DM11L	DM3L	DM3L	DQ14L1	DQ14L1	DQ5L0	DQ5L0		
B2	VREFB2N4	IO	DIFFIO_TX50p		U34	P27				DQ41L0	DQ41L0	DQ16L0	DQ16L0	DQS47L	DQS47L				
B2	VREFB2N4	IO	DIFFIO_TX50n		U33	P26				DQ41L1	DQ41L1	DQ16L1	DQ16L1	DQ47L2	DQ47L2				
B2	VREFB2N4	IO	DIFFIO_RX49p		P39	N29				DQ12L0	DQ12L0	DQ4L0	DQ4L0	DQS14L	DQS14L	DQ5L1	DQ5L1		
B2	VREFB2N4	IO	DIFFIO_RX49n		P38	N28				DQ12L1	DQ12L1	DQ4L1	DQ4L1	DQ14L2	DQ14L2	DQS5L	DQS5L		
B2	VREFB2N4	IO	DIFFIO_TX49p		U28	P25				DQS41L	DQS41L	DQS16L	DQS16L	DQ47L3	DQ47L3				
B2	VREFB2N4	IO	DIFFIO_TX49n		U27	P24				DQ41L2	DQ41L2	DQ16L2	DQ16L2	DQ48L0	DQ48L0				
B2	VREFB2N4	IO	DIFFIO_RX48p		U37	M30				DQS12L	DQS12L	DQS4L	DQS4L	DQ14L3	DQ14L3	DQ5L2	DQ5L2		
B2	VREFB2N4	IO	DIFFIO_RX48n		U36	M29				DQ12L2	DQ12L2	DQ4L2	DQ4L2	DQ15L0	DQ15L0	DQ5L3	DQ5L3		
B2	VREFB2N4	IO	DIFFIO_TX48p		V28	R27				DQ41L3	DQ41L3	DQ16L3	DQ16L3	DQ48L1	DQ48L1				
B2	VREFB2N4	IO	DIFFIO_TX48n		V27	R26				DM41L	DM41L	DM16L	DM16L	DQS48L	DQS48L				
B2	VREFB2N4	IO	DIFFIO_RX47p		V36	L32				DQ12L3	DQ12L3	DQ4L3	DQ4L3	DQ15L1	DQ15L1	DQ6L0	DQ6L0		
B2	VREFB2N4	IO	DIFFIO_RX47n		V35	L31				DM12L	DM12L	DM4L	DM4L	DQS15L	DQS15L	DQ6L1	DQ6L1		
B2	VREFB2N4	IO	DIFFIO_TX47p		V32	R23				DQ42L0	DQ42L0	DQ17L0	DQ17L0	DQ48L2	DQ48L2	DQ20L0	DQ20L0		
B2	VREFB2N4	IO	DIFFIO_TX47n		V31	R22				DQ42L1	DQ42L1	DQ17L1	DQ17L1	DQ48L3	DQ48L3	DQ20L1	DQ20L1		
B2	VREFB2N4	VREFB2N4	VREFB2N4		W34	P30													
B2	VREFB2N4	IO	DIFFIO_RX46p		T38	N31				DQ13L0	DQ13L0	DQ5L0	DQ5L0	DQ15L2	DQ15L2	DQS6L	DQS6L		
B2	VREFB2N4	IO	DIFFIO_RX46n		T37	N30				DQ13L1	DQ13L1	DQ5L1	DQ5L1	DQ15L3	DQ15L3	DQ6L2	DQ6L2		
B2	VREFB2N4	IO	DIFFIO_TX46p		V34	R25				DQS42L	DQS42L	DQS17L	DQS17L	DQ49L0	DQ49L0	DQS20L	DQS20L		
B2	VREFB2N4	IO	DIFFIO_TX46n		V33	R24				DQ42L2	DQ42L2	DQ17L2	DQ17L2	DQ49L1	DQ49L1	DQ20L2	DQ20L2		
B2	VREFB2N4	IO	DIFFIO_RX45p		R39	M32				DQS13L	DQS13L	DQS5L	DQS5L	DQ16L0	DQ16L0	DQ6L3	DQ6L3		
B2	VREFB2N4	IO	DIFFIO_RX45n		R38	M31				DQ13L2	DQ13L2	DQ5L2	DQ5L2	DQ16L1	DQ16L1	DQ7L0	DQ7L0		
B2	VREFB2N4	IO	DIFFIO_TX45p		W33	R29				DQ42L3	DQ42L3	DQ17L3	DQ17L3	DQS49L	DQS49L	DQ20L3	DQ20L3		
B2	VREFB2N4	IO	DIFFIO_TX45n		W32	R28				DM42L	DM42L	DM17L	DM17L	DQ49L2	DQ49L2	DQ21L0	DQ21L0		
B2	VREFB2N4	IO	DIFFIO_RX44p		V38	P32				DQ13L3	DQ13L3	DQ5L3	DQ5L3	DQS16L	DQS16L	DQ7L1	DQ7L1		
B2	VREFB2N4	IO	DIFFIO_RX44n		V37	P31				DM13L	DM13L	DM5L	DM5L	DQ16L2	DQ16L2	DQS7L	DQS7L		
B2	VREFB2N4	IO	DIFFIO_TX44p		W28	T28				DQ14L0	DQ14L0	DQ18L0	DQ18L0	DQ49L3	DQ49L3	DQ21L1	DQ21L1		
B2	VREFB2N4	IO	DIFFIO_TX44n		W27	T27				DQ14L1	DQ14L1	DQ18L1	DQ18L1	DQ49L3	DQ49L3	DQ21L1	DQ21L1		
B2	VREFB2N4	IO	DIFFIO_RX43p		U39	R31				DQS14L	DQS14L	DQS18L	DQS18L	DQ16L3	DQ16L3	DQ7L2	DQ7L2		
B2	VREFB2N4	IO	DIFFIO_RX43n		U38	R30				DQ14L2	DQ14L2	DQ18L2	DQ18L2			DQ7L3	DQ7L3		
B2	VREFB2N4	IO	DIFFIO_TX43p		Y27	T23				DQ14L3	DQ14L3	DQ18L3	DQ18L3			DQ21L2	DQ21L2		
B2	VREFB2N4	IO	DIFFIO_TX43n		Y26	T22				DM14L	DM14L	DM18L	DM18L			DQ21L3	DQ21L3		
B2	VREFB2N4	IO	CLK0n/DIFFIO_RX_C0n		W38	T31													
B2	VREFB2N4	IO	CLK0p/DIFFIO_RX_C0p		W39	T32													
B2	VREFB2N4	CLK1n	INPUT		W36	T29													



Bank Number	VREF Group (Note 4)	Pin Name/Function	Optional Function(s)/ DQ group for DQS x4 Mode	Configuration Function	F1508	F1020	x8/x9 Mode	x16/x18 Mode	x32/x36 Mode	x5 Mode (Note 2)					x4 Mode (Note 3)									
										DQ group for DQS mode	DQ group for DQS mode	DQ group for DQS mode	DQ group for non-DQS mode (non-migratable)	DQ group for non-DQS mode (non-migratable)	DQ group for non-DQS mode (migratable) F1508	DQ group for non-DQS mode (migratable) F1020	DQ group for non-DQS mode (non-migratable)	DQ group for non-DQS mode (non-migratable)	DQ group for non-DQS mode (migratable) F1508	DQ group for non-DQS mode (migratable) F1020				
B2	VREFB2N4	CLK1p	INPUT		W37	T30																		
		VCCD_PLL1			V29	U24																		
		VCCA_PLL1			V30	T24																		
		GND_A_PLL1			W30	T25																		
		GND_A_PLL1			W31	T26																		
		GND_A_PLL2			Y29	U25																		
		GND_A_PLL2			Y30	U26																		
		VCCA_PLL2			W29	V26																		
		VCCD_PLL2			Y28	V25																		
B1	VREFB1N0	IO	CLK2p/DIFFIO_RX_C1p		Y39	U32																		
B1	VREFB1N0	IO	CLK2n/DIFFIO_RX_C1n		Y38	U31																		
B1	VREFB1N0	CLK3p	INPUT		Y37	U30																		
B1	VREFB1N0	CLK3n	INPUT		Y36	U29																		
B1	VREFB1N0	IO	DIFFIO_RX42p		AA39	V31					DQ15L0	DQ15L0	DQ6L0	DQ6L0	DQ17L0	DQ17L0	DQ8L0	DQ8L0						
B1	VREFB1N0	IO	DIFFIO_RX42n		AA38	V30					DQ15L1	DQ15L1	DQ6L1	DQ6L1	DQ17L1	DQ17L1	DQ8L1	DQ8L1						
B1	VREFB1N0	IO	DIFFIO_TX42p		AA31	U23					DQ43L0	DQ43L0	DQ19L0	DQ19L0	DQ50L0	DQ50L0								
B1	VREFB1N0	IO	DIFFIO_TX42n		AA30	U22					DQ43L1	DQ43L1	DQ19L1	DQ19L1	DQ50L1	DQ50L1								
B1	VREFB1N0	IO	DIFFIO_RX41p		AA37	W32					DQS15L	DQS15L	DQS6L	DQS6L	DQS17L	DQS17L	DQS8L	DQS8L						
B1	VREFB1N0	IO	DIFFIO_RX41n		AA36	W31					DQ15L2	DQ15L2	DQ6L2	DQ6L2	DQ17L2	DQ17L2	DQ8L2	DQ8L2						
B1	VREFB1N0	IO	DIFFIO_TX41p		AA29	U28					DQS43L	DQS43L	DQS19L	DQS19L	DQS50L	DQS50L								
B1	VREFB1N0	IO	DIFFIO_TX41n		AA28	U27					DQ43L2	DQ43L2	DQ19L2	DQ19L2	DQ50L2	DQ50L2								
B1	VREFB1N0	IO	DIFFIO_RX40p		AB38	AA32					DQ15L3	DQ15L3	DQ6L3	DQ6L3	DQ17L3	DQ17L3	DQ8L3	DQ8L3						
B1	VREFB1N0	IO	DIFFIO_RX40n		AB37	AA31					DM15L	DM15L	DM6L	DM6L	DQ18L0	DQ18L0	DQ9L0	DQ9L0						
B1	VREFB1N0	IO	DIFFIO_TX40p		Y33	V29					DQ43L3	DQ43L3	DQ19L3	DQ19L3	DQ50L3	DQ50L3								
B1	VREFB1N0	IO	DIFFIO_TX40n		Y32	V28					DM43L	DM43L	DM19L	DM19L	DQ51L0	DQ51L0								
B1	VREFB1N0	VREFB1N0	VREFB1N0		AA34	W30																		
B1	VREFB1N0	IO	DIFFIO_RX39p		AC39	Y31					DQ16L0	DQ16L0	DQ7L0	DQ7L0	DQ18L1	DQ18L1	DQ9L1	DQ9L1						
B1	VREFB1N0	IO	DIFFIO_RX39n		AC38	Y30					DQ16L1	DQ16L1	DQ7L1	DQ7L1	DQS18L	DQS18L	DQS9L	DQS9L						
B1	VREFB1N0	IO	DIFFIO_TX39p		AA33	V24					DQ44L0	DQ44L0	DQ20L0	DQ20L0	DQ51L1	DQ51L1								
B1	VREFB1N0	IO	DIFFIO_TX39n		AA32	V23					DQ44L1	DQ44L1	DQ20L1	DQ20L1	DQS51L	DQS51L								
B1	VREFB1N0	IO	DIFFIO_RX38p		AB36	AB32					DQS16L	DQS16L	DQS7L	DQS7L	DQ18L2	DQ18L2	DQ9L2	DQ9L2						
B1	VREFB1N0	IO	DIFFIO_RX38n		AB35	AB31					DQ16L2	DQ16L2	DQ7L2	DQ7L2	DQ18L3	DQ18L3	DQ9L3	DQ9L3						
B1	VREFB1N0	IO	DIFFIO_TX38p		Y35	W29					DQS44L	DQS44L	DQS20L	DQS20L	DQ51L2	DQ51L2								
B1	VREFB1N0	IO	DIFFIO_TX38n		Y34	W28					DQ44L2	DQ44L2	DQ20L2	DQ20L2	DQ51L3	DQ51L3								
B1	VREFB1N0	IO	DIFFIO_RX37p		AE39	AA30					DQ16L3	DQ16L3	DQ7L3	DQ7L3	DQ19L0	DQ19L0	DQ10L0	DQ10L0						
B1	VREFB1N0	IO	DIFFIO_RX37n		AE38	AA29					DM16L	DM16L	DM7L	DM7L	DQ19L1	DQ19L1	DQ10L1	DQ10L1						
B1	VREFB1N0	IO	DIFFIO_TX37p		AB30	W27					DQ44L3	DQ44L3	DQ20L3	DQ20L3	DQ52L0	DQ52L0								
B1	VREFB1N0	IO	DIFFIO_TX37n		AB29	W26					DM44L	DM44L	DM20L	DM20L	DQ52L1	DQ52L1								
B1	VREFB1N0	IO	DIFFIO_RX36p		AD38	Y29					DQ17L0	DQ17L0	DQ8L0	DQ8L0	DQS19L	DQS19L	DQS10L	DQS10L						
B1	VREFB1N0	IO	DIFFIO_RX36n		AD37	Y28					DQ17L1	DQ17L1	DQ8L1	DQ8L1	DQ19L2	DQ19L2	DQ10L2	DQ10L2						



Pin Information for the Stratix® II EP2S180 Device
Version 2.2
(Note 1)

Bank Number	VREF Group (Note 4)	Pin Name/Function	Optional Function(s)/ DQ group for DQS x4 Mode	Configuration Function	F1508	F1020	x8/x9 Mode	x16/x18 Mode	x32/x36 Mode	x5 Mode (Note 2)					x4 Mode (Note 3)				
										DQ group for DQS mode	DQ group for DQS mode	DQ group for DQS mode	DQ group for non-DQS mode (non-migratable)	DQ group for non-DQS mode (non-migratable)	DQ group for non-DQS mode (migratable) F1508	DQ group for non-DQS mode (migratable) F1020	DQ group for non-DQS mode (non-migratable)	DQ group for non-DQS mode (non-migratable)	DQ group for non-DQS mode (migratable) F1508
B1	VREFB1N0	IO	DIFFIO_TX36p		AA27	W25				DQ45L0	DQ45L0	DQ21L0	DQ21L0	DQS52L	DQS52L	DQ22L0	DQ22L0		
B1	VREFB1N0	IO	DIFFIO_TX36n		AA26	W24				DQ45L1	DQ45L1	DQ21L1	DQ21L1	DQ52L2	DQ52L2	DQ22L1	DQ22L1		
B1	VREFB1N1	IO	DIFFIO_RX35p		AC37	AB30				DQS17L	DQS17L	DQS8L	DQS8L	DQ19L3	DQ19L3	DQ10L3	DQ10L3		
B1	VREFB1N1	IO	DIFFIO_RX35n		AC36	AB29				DQ17L2	DQ17L2	DQ8L2	DQ8L2	DQ20L0	DQ20L0	DQ11L0	DQ11L0		
B1	VREFB1N1	IO	DIFFIO_TX35p		AB32	Y27				DQS45L	DQS45L	DQS21L	DQS21L	DQ52L3	DQ52L3	DQS22L	DQS22L		
B1	VREFB1N1	IO	DIFFIO_TX35n		AB31	Y26				DQ45L2	DQ45L2	DQ21L2	DQ21L2	DQ53L0	DQ53L0	DQ22L2	DQ22L2		
B1	VREFB1N1	IO	DIFFIO_RX34p		AE37	AC32				DQ17L3	DQ17L3	DQ8L3	DQ8L3	DQ20L1	DQ20L1	DQ11L1	DQ11L1		
B1	VREFB1N1	IO	DIFFIO_RX34n		AE36	AC31				DM17L	DM17L	DM8L	DM8L	DQS20L	DQS20L	DQS11L	DQS11L		
B1	VREFB1N1	IO	DIFFIO_TX34p		AB34	AA27				DQ45L3	DQ45L3	DQ21L3	DQ21L3	DQ53L1	DQ53L1	DQ22L3	DQ22L3		
B1	VREFB1N1	IO	DIFFIO_TX34n		AB33	AA26				DM45L	DM45L	DM21L	DM21L	DQS53L	DQS53L	DQ23L0	DQ23L0		
B1	VREFB1N1	IO	DIFFIO_RX33p		AD36	AB28				DQ18L0	DQ18L0	DQ9L0	DQ9L0	DQ20L2	DQ20L2	DQ11L2	DQ11L2		
B1	VREFB1N1	IO	DIFFIO_RX33n		AD35	AB27				DQ18L1	DQ18L1	DQ9L1	DQ9L1	DQ20L3	DQ20L3	DQ11L3	DQ11L3		
B1	VREFB1N1	IO	DIFFIO_TX33p		AB28	Y25				DQ46L0	DQ46L0	DQ22L0	DQ22L0	DQ53L2	DQ53L2	DQ23L1	DQ23L1		
B1	VREFB1N1	IO	DIFFIO_TX33n		AB27	Y24				DQ46L1	DQ46L1	DQ22L1	DQ22L1	DQ53L3	DQ53L3	DQS23L	DQS23L		
B1	VREFB1N1	IO	DIFFIO_RX32p		AF39	AD32				DQS18L	DQS18L	DQS9L	DQS9L	DQ21L0	DQ21L0	DQ12L0	DQ12L0		
B1	VREFB1N1	IO	DIFFIO_RX32n		AF38	AD31				DQ18L2	DQ18L2	DQ9L2	DQ9L2	DQ21L1	DQ21L1	DQ12L1	DQ12L1		
B1	VREFB1N1	IO	DIFFIO_TX32p		AC30	W23				DQS46L	DQS46L			DQ54L0					
B1	VREFB1N1	IO	DIFFIO_TX32n		AC29	W22				DQ46L2	DQ46L2			DQ54L1	DQ54L1				
B1	VREFB1N1	VREFB1N1	VREFB1N1		AG35	AD28													
B1	VREFB1N1	IO	DIFFIO_RX31p		AG39	AE32				DQ18L3	DQ18L3	DQ9L3	DQ9L3	DQS21L	DQS21L	DQS12L	DQS12L		
B1	VREFB1N1	IO	DIFFIO_RX31n		AG38	AE31				DM18L	DM18L	DM9L	DM9L	DQ21L2	DQ21L2	DQ12L2	DQ12L2		
B1	VREFB1N1	IO	DIFFIO_TX31p		AC28	AD27				DQ46L3	DQ46L3	DQ22L3	DQ22L3	DQS54L	DQS54L	DQ24L0	DQ24L0		
B1	VREFB1N1	IO	DIFFIO_TX31n		AC27	AD26				DM46L	DM46L	DM22L	DM22L	DQ54L2	DQ54L2	DQ24L1	DQ24L1		
B1	VREFB1N1	IO	DIFFIO_RX30p		AH39	AF32				DQ19L0	DQ19L0	DQ10L0	DQ10L0	DQ21L3	DQ21L3	DQ12L3	DQ12L3		
B1	VREFB1N1	IO	DIFFIO_RX30n		AH38	AF31				DQ19L1	DQ19L1	DQ10L1	DQ10L1	DQ22L0	DQ22L0	DQ13L0	DQ13L0		
B1	VREFB1N1	IO	DIFFIO_TX30p		AC32	AC27				DQ47L0	DQ47L0	DQ23L0	DQ23L0	DQ54L3	DQ54L3	DQS24L	DQS24L		
B1	VREFB1N1	IO	DIFFIO_TX30n		AC31	AC26				DQ47L1	DQ47L1	DQ23L1	DQ23L1	DQ55L0	DQ55L0	DQ24L2	DQ24L2		
B1	VREFB1N1	IO	DIFFIO_RX29p		AF37	AG32				DQS19L	DQS19L	DQS10L	DQS10L	DQ22L1	DQ22L1	DQ13L1	DQ13L1		
B1	VREFB1N1	IO	DIFFIO_RX29n		AF36	AG31				DQ19L2	DQ19L2	DQ10L2	DQ10L2	DQS22L	DQS22L	DQS13L	DQS13L		
B1	VREFB1N1	IO	DIFFIO_TX29p		AC34	Y23				DQS47L	DQS47L	DQS22L	DQS22L	DQ55L1	DQ55L1	DQ23L2	DQ23L2		
B1	VREFB1N1	IO	DIFFIO_TX29n		AC33	Y22				DQ47L2	DQ47L2	DQ22L2	DQ22L2	DQS55L	DQS55L	DQ23L3	DQ23L3		
B1	VREFB1N1	IO	DIFFIO_RX28p		AJ39	AC30				DQ19L3	DQ19L3			DQ22L2	DQ22L2				
B1	VREFB1N1	IO	DIFFIO_RX28n		AJ38	AC29				DM19L	DM19L			DQ22L3	DQ22L3				
B1	VREFB1N1	IO	DIFFIO_TX28p		AD32	AA25				DQ47L3	DQ47L3	DQ23L3	DQ23L3	DQ55L2	DQ55L2	DQ25L1	DQ25L1		
B1	VREFB1N1	IO	DIFFIO_TX28n		AD31	AA24				DM47L	DM47L	DM23L	DM23L	DQ55L3	DQ55L3	DQS25L	DQS25L		
B1	VREFB1N1	IO	DIFFIO_RX27p		AK39	AD30				DQ20L0	DQ20L0			DQ23L0	DQ23L0				
B1	VREFB1N1	IO	DIFFIO_RX27n		AK38	AD29				DQ20L1	DQ20L1			DQ23L1	DQ23L1				
B1	VREFB1N1	IO	DIFFIO_TX27p		AD34	AB26				DQ48L0	DQ48L0	DQ24L0	DQ24L0	DQ56L0	DQ56L0	DQ25L2	DQ25L2		
B1	VREFB1N1	IO	DIFFIO_TX27n		AD33	AB25				DQ48L1	DQ48L1	DQ24L1	DQ24L1	DQ56L1	DQ56L1	DQ25L3	DQ25L3		
B1	VREFB1N2	IO	DIFFIO_RX26p		AG37	AH32				DQS20L	DQS20L	DQS11L	DQS11L	DQS23L	DQS23L	DQS14L	DQS14L		



Pin Information for the Stratix® II EP2S180 Device
Version 2.2
(Note 1)

Bank Number	VREF Group (Note 4)	Pin Name/Function	Optional Function(s)/ DQ group for DQS x4 Mode	Configuration Function	F1508	F1020	x8/x9 Mode	x16/x18 Mode	x32/x36 Mode	x5 Mode (Note 2)					x4 Mode (Note 3)			
										DQ group for DQS mode	DQ group for DQS mode	DQ group for DQS mode	DQ group for non-DQS mode (non-migratable)	DQ group for non-DQS mode (non-migratable)	DQ group for non-DQS mode (migratable) F1508	DQ group for non-DQS mode (migratable) F1020	DQ group for non-DQS mode (non-migratable)	DQ group for non-DQS mode (non-migratable)
B1	VREFB1N2	IO	DIFFIO_RX26n		AG36	AH31				DQ20L2	DQ20L2	DQ11L2	DQ11L2	DQ23L2	DQ23L2	DQ23L2	DQ14L2	DQ14L2
B1	VREFB1N2	IO	DIFFIO_TX26p		AD29	AA23				DQS48L	DQS48L	DQS23L	DQS23L	DQS56L	DQS56L	DQ24L3	DQ24L3	DQ24L3
B1	VREFB1N2	IO	DIFFIO_TX26n		AD28	AA22				DQ48L2	DQ48L2	DQ23L2	DQ23L2	DQ56L2	DQ56L2	DQ25L0	DQ25L0	DQ25L0
B1	VREFB1N2	IO	DIFFIO_RX25p		AL39	AE30				DQ20L3	DQ20L3	DQ10L3	DQ10L3	DQ23L3	DQ23L3	DQ13L2	DQ13L2	DQ13L2
B1	VREFB1N2	IO	DIFFIO_RX25n		AL38	AE29				DM20L	DM20L	DM10L	DM10L	DQ24L0	DQ24L0	DQ13L3	DQ13L3	DQ13L3
B1	VREFB1N2	IO	DIFFIO_TX25p		AD27	AB24				DQ48L3	DQ48L3	DQ24L3	DQ24L3	DQ56L3	DQ56L3	DQS26L	DQS26L	DQS26L
B1	VREFB1N2	IO	DIFFIO_TX25n		AD26	AB23				DM48L	DM48L	DM24L	DM24L	DQ57L0	DQ57L0	DQ26L2	DQ26L2	DQ26L2
B1	VREFB1N2	IO	DIFFIO_RX24p		AH37	AJ32				DQ21L0	DQ21L0	DQ25L0	DQ25L0	DQ24L1	DQ24L1	DQ15L1	DQ15L1	DQ15L1
B1	VREFB1N2	IO	DIFFIO_RX24n		AH36	AJ31				DQ21L1	DQ21L1	DQ25L1	DQ25L1	DQ24L1	DQ24L1	DQS15L	DQS15L	DQS15L
B1	VREFB1N2	IO	DIFFIO_TX24p		AE31	AC25				DQ49L0	DQ49L0	DQS24L	DQS24L	DQ57L1	DQ57L1	DQ26L0	DQ26L0	DQ26L0
B1	VREFB1N2	IO	DIFFIO_TX24n		AE30	AC24				DQ49L1	DQ49L1	DQ24L2	DQ24L2	DQS57L	DQS57L	DQ26L1	DQ26L1	DQ26L1
B1	VREFB1N2	IO	DIFFIO_RX23p		AM39	AF30				DQS21L	DQS21L	DQ11L0	DQ11L0	DQ24L2	DQ24L2	DQ14L0	DQ14L0	DQ14L0
B1	VREFB1N2	IO	DIFFIO_RX23n		AM38	AF29				DQ21L2	DQ21L2	DQ11L1	DQ11L1	DQ24L3	DQ24L3	DQ14L1	DQ14L1	DQ14L1
B1	VREFB1N2	IO	DIFFIO_TX23p		AE33	AD25				DQS49L	DQS49L	DQS25L	DQS25L	DQ57L2	DQ57L2	DQ26L3	DQ26L3	DQ26L3
B1	VREFB1N2	IO	DIFFIO_TX23n		AE32	AD24				DQ49L2	DQ49L2	DQ25L2	DQ25L2	DQ57L3	DQ57L3	DQ27L0	DQ27L0	DQ27L0
B1	VREFB1N2	VREFB1N2	VREFB1N2		AN35	AF28												
B1	VREFB1N2	IO	DIFFIO_RX22p		AJ37	AG30				DQ21L3	DQ21L3	DQ11L3	DQ11L3	DQ25L0		DQ14L3	DQ14L3	DQ14L3
B1	VREFB1N2	IO	DIFFIO_RX22n		AJ36	AG29				DM21L	DM21L	DM11L	DM11L	DQ25L1		DQ15L0	DQ15L0	DQ15L0
B1	VREFB1N2	IO	DIFFIO_TX22p		AE35	AE26				DQ49L3	DQ49L3			DQ58L0		DQ27L1	DQ27L1	DQ27L1
B1	VREFB1N2	IO	DIFFIO_TX22n		AE34	AE25				DM49L	DM49L			DQ58L1		DQS27L	DQS27L	DQS27L
B1	VREFB1N2	IO	DIFFIO_RX21p		AL37	AH30				DQ22L0		DQ25L3	DQ25L3	DQS25L		DQ15L2	DQ15L2	DQ15L2
B1	VREFB1N2	IO	DIFFIO_RX21n		AL36	AH29				DQ22L1		DM25L	DM25L	DQ25L2		DQ15L3	DQ15L3	DQ15L3
B1	VREFB1N2	IO	DIFFIO_TX21p		AF33	AE28				DQ50L0				DQ58L2		DQ27L2	DQ27L2	DQ27L2
B1	VREFB1N2	IO	DIFFIO_TX21n		AF32	AE27				DQ50L1				DQ58L2		DQ27L3	DQ27L3	DQ27L3
B1	VREFB1N2	IO	DIFFIO_RX20p		AK37					DQS22L				DQ25L3				
B1	VREFB1N2	IO	DIFFIO_RX20n		AK36					DQ22L2				DQ26L0				
B1	VREFB1N2	IO	DIFFIO_TX20p		AF35					DQS50L				DQ58L3				
B1	VREFB1N2	IO	DIFFIO_TX20n		AF34					DQ50L2				DQ59L0				
B1	VREFB1N2	IO	DIFFIO_RX19p		AH35					DQ22L3				DQ26L1				
B1	VREFB1N2	IO	DIFFIO_RX19n		AH34					DM22L				DQS26L				
B1	VREFB1N2	IO	DIFFIO_TX19p		AE29					DQ50L3				DQ59L1				
B1	VREFB1N2	IO	DIFFIO_TX19n		AE28					DM50L				DQS59L				
B1	VREFB1N2	IO	DIFFIO_RX18p		AG34					DQ23L0				DQ26L2				
B1	VREFB1N2	IO	DIFFIO_RX18n		AG33					DQ23L1				DQ26L3				
B1	VREFB1N2	IO	DIFFIO_TX18p		AF30					DQ51L0				DQ59L2				
B1	VREFB1N2	IO	DIFFIO_TX18n		AF29					DQ51L1				DQ59L3				
B1	VREFB1N3	IO	DIFFIO_RX17p		AN39					DQS23L				DQ27L0				
B1	VREFB1N3	IO	DIFFIO_RX17n		AN38					DQ23L2				DQ27L1				
B1	VREFB1N3	IO	DIFFIO_TX17p		AE27					DQS51L				DQ60L0				
B1	VREFB1N3	IO	DIFFIO_TX17n		AE26					DQ51L2				DQ60L1				



Bank Number	VREF Group (Note 4)	Pin Name/Function	Optional Function(s)/ DQ group for DQS x4 Mode	Configuration Function	F1508	F1020	x5 Mode (Note 2)					x4 Mode (Note 3)						
							x8/x9 Mode	x16/x18 Mode	x32/x36 Mode	DQ group for DQS mode	DQ group for non-DQS mode (non-migratable)	DQ group for non-DQS mode (migratable) F1508	DQ group for non-DQS mode (migratable) F1020	DQ group for DQS mode	DQ group for non-DQS mode (non-migratable)	DQ group for non-DQS mode (migratable) F1508	DQ group for non-DQS mode (migratable) F1020	
B1	VREFB1N3	IO	DIFFIO_RX16p		AP39						DQ23L3				DQS27L			
B1	VREFB1N3	IO	DIFFIO_RX16n		AP38						DM23L				DQ27L2			
B1	VREFB1N3	IO	DIFFIO_TX16p		AF28						DQ51L3				DQS60L			
B1	VREFB1N3	IO	DIFFIO_TX16n		AF27						DM51L				DQ60L2			
B1	VREFB1N3	IO	DIFFIO_RX15p		AJ35						DQ24L0				DQ27L3			
B1	VREFB1N3	IO	DIFFIO_RX15n		AJ34						DQ24L1				DQ28L0			
B1	VREFB1N3	IO	DIFFIO_TX15p		AG32						DQ52L0				DQ60L3			
B1	VREFB1N3	IO	DIFFIO_TX15n		AG31						DQ52L1				DQ61L0			
B1	VREFB1N3	IO	DIFFIO_RX14p		AR39						DQ24L2				DQ28L1			
B1	VREFB1N3	IO	DIFFIO_RX14n		AR38						DQ24L2				DQS28L			
B1	VREFB1N3	IO	DIFFIO_TX14p		AG30						DQ55L2				DQ61L1			
B1	VREFB1N3	IO	DIFFIO_TX14n		AG29						DQ52L2				DQS61L			
B1	VREFB1N3	VREFB1N3	VREFB1N3		AL33	AF27												
B1	VREFB1N3	IO	DIFFIO_RX13p		AM37						DQ24L3				DQ28L2			
B1	VREFB1N3	IO	DIFFIO_RX13n		AM36						DM24L				DQ28L3			
B1	VREFB1N3	IO	DIFFIO_TX13p		AH33						DQ52L3				DQ61L2			
B1	VREFB1N3	IO	DIFFIO_TX13n		AH32						DM52L				DQ61L3			
B1	VREFB1N3	IO	DIFFIO_RX12p		AK35						DQ25L0				DQ29L0			
B1	VREFB1N3	IO	DIFFIO_RX12n		AK34						DQ25L1				DQ29L1			
B1	VREFB1N3	IO	DIFFIO_TX12p		AG28						DQ53L0				DQ62L0			
B1	VREFB1N3	IO	DIFFIO_TX12n		AG27						DQ53L1				DQ62L1			
B1	VREFB1N3	IO	DIFFIO_RX11p		AN37						DQS25L				DQS29L			
B1	VREFB1N3	IO	DIFFIO_RX11n		AN36						DQ25L2				DQ29L2			
B1	VREFB1N3	IO	DIFFIO_TX11p		AH29						DQS53L				DQS62L			
B1	VREFB1N3	IO	DIFFIO_TX11n		AH28						DQ53L2				DQ62L2			
B1	VREFB1N3	IO	DIFFIO_RX10p		AL35						DQ25L3				DQ29L3			
B1	VREFB1N3	IO	DIFFIO_RX10n		AL34						DM25L				DQ30L0			
B1	VREFB1N3	IO	DIFFIO_TX10p		AH31						DQ53L3				DQ62L3			
B1	VREFB1N3	IO	DIFFIO_TX10n		AH30						DM53L				DQ63L0			
B1	VREFB1N3	IO	DIFFIO_RX9p		AV38						DQ26L0				DQ30L1			
B1	VREFB1N3	IO	DIFFIO_RX9n		AV37						DQ26L1				DQS30L			
B1	VREFB1N3	IO	DIFFIO_TX9p		AJ33						DQ54L0				DQ63L1			
B1	VREFB1N3	IO	DIFFIO_TX9n		AJ32						DQ54L1				DQS63L			
B1	VREFB1N4	IO	DIFFIO_RX8p		AP37						DQS26L				DQ30L2			
B1	VREFB1N4	IO	DIFFIO_RX8n		AP36						DQ26L2				DQ30L3			
B1	VREFB1N4	IO	DIFFIO_TX8p		AJ31						DQ55L4				DQ63L2			
B1	VREFB1N4	IO	DIFFIO_TX8n		AJ30						DQ54L2				DQ63L3			
B1	VREFB1N4	IO	DIFFIO_RX7p		AM35						DQ26L3				DQ31L0			
B1	VREFB1N4	IO	DIFFIO_RX7n		AM34						DM26L				DQ31L1			
B1	VREFB1N4	IO	DIFFIO_TX7p		AT35						DQ54L3				DQ64L0			



Pin Information for the Stratix® II EP2S180 Device
Version 2.2
(Note 1)

Bank Number	VREF Group (Note 4)	Pin Name/Function	Optional Function(s)/ DQ group for DQS x4 Mode	Configuration Function	F1508	F1020	x8/x9 Mode	x16/x18 Mode	x32/x36 Mode	x5 Mode (Note 2)				x4 Mode (Note 3)			
										DQ group for DQS mode	DQ group for DQS mode	DQ group for DQS mode	DQ group for non-DQS mode (non-migratable)	DQ group for non-DQS mode (non-migratable)	DQ group for non-DQS mode (migratable) F1508	DQ group for non-DQS mode (migratable) F1020	DQ group for non-DQS mode (non-migratable)
B1	VREFB1N4	IO	DIFFIO_TX7n		AT34						DM54L				DQ64L1		
B1	VREFB1N4	IO	DIFFIO_RX6p		AU37						DQ27L0				DQS31L		
B1	VREFB1N4	IO	DIFFIO_RX6n		AU36						DQ27L1				DQ31L2		
B1	VREFB1N4	IO	DIFFIO_TX6p		AR35						DQ55L0				DQS64L		
B1	VREFB1N4	IO	DIFFIO_TX6n		AR34						DQ55L1				DQ64L2		
B1	VREFB1N4	IO	DIFFIO_RX5p		AR37						DQS27L				DQ31L3		
B1	VREFB1N4	IO	DIFFIO_RX5n		AR36						DQ27L2				DQ32L0		
B1	VREFB1N4	IO	DIFFIO_TX5p		AN34						DQS55L				DQ64L3		
B1	VREFB1N4	IO	DIFFIO_TX5n		AN33						DQ55L2				DQ65L0		
B1	VREFB1N4	VREFB1N4	VREFB1N4		AT38	AG28											
B1	VREFB1N4	IO	DIFFIO_RX4p		AT37						DQ27L3				DQ32L1		
B1	VREFB1N4	IO	DIFFIO_RX4n		AT36						DM27L				DQS32L		
B1	VREFB1N4	IO	DIFFIO_TX4p		AK32						DQ55L3				DQ65L1		
B1	VREFB1N4	IO	DIFFIO_TX4n		AK31						DM55L				DQS65L		
B1	VREFB1N4	IO	DIFFIO_RX3p		AP35										DQ32L2		
B1	VREFB1N4	IO	DIFFIO_RX3n		AP34										DQ32L3		
B1	VREFB1N4	IO	DIFFIO_TX3p		AL32										DQ65L2		
B1	VREFB1N4	IO	DIFFIO_TX3n		AL31										DQ65L3		
B1	VREFB1N4	IO	DIFFIO_TX2p		AM32												
B1	VREFB1N4	IO	DIFFIO_TX2n		AM31												
B1	VREFB1N4	FPLL8CLKn	INPUT		AU38	AJ29											
B1	VREFB1N4	FPLL8CLKp	INPUT		AU39	AJ30											
		GND_A_PLL8			AK29	AG26											
		GND_A_PLL8			AL29	AG27											
		VCCA_PLL8			AJ29	AF26											
		VCCD_PLL8			AK30	AF25											
B8	VREFB8N0	TDI		TDI	AN31	AL31											
B8	VREFB8N0	TMS		TMS	AP33	AE24											
B8	VREFB8N0	TCK		TCK	AP32	AF24											
B8	VREFB8N0	TRST		TRST	AW37	AK30											
B8	VREFB8N0	nCONFIG		nCONFIG	AM30	AL30											
B8	VREFB8N0	VCCSEL		VCCSEL	AV36	AC23											
B8	VREFB8N0	IO			AP29						DQ0B0				DQ0B0		
B8	VREFB8N0	IO			AM29	AB21					DQ0B1	DQ0B0			DQ0B1	DQ0B0	
B8	VREFB8N0	IO		CS	AR32	AC22											
B8	VREFB8N0	IO		CLKUSR	AP30	AD23											
B8	VREFB8N0	IO		nWS	AR31	AE23											
B8	VREFB8N0	IO		nRS	AR30	AF23											
B8	VREFB8N0	VREFB8N0	VREFB8N0		AR33	AK31											
B8	VREFB8N0	IO			AN29						DQS0B				DQS0B		



Pin Information for the Stratix® II EP2S180 Device
Version 2.2
(Note 1)

Bank Number	VREF Group (Note 4)	Pin Name/Function	Optional Function(s)/ DQ group for DQS x4 Mode	Configuration Function	F1508	F1020	x8/x9 Mode	x16/x18 Mode	x32/x36 Mode	x5 Mode (Note 2)					x4 Mode (Note 3)			
										DQ group for DQS mode	DQ group for DQS mode	DQ group for DQS mode	DQ group for non-DQS mode (non-migratable)	DQ group for non-DQS mode (non-migratable)	DQ group for non-DQS mode (migratable) F1508	DQ group for non-DQS mode (migratable) F1020	DQ group for non-DQS mode (non-migratable)	DQ group for non-DQS mode (non-migratable)
B8	VREFB8N0	IO	DQ17B		AU34	AH28	DQ8B			DQ0B2	DQ0B1	DQ17B3	DQ17B3	DQ0B2	DQ0B1	DQ17B3	DQ17B3	
B8	VREFB8N0	IO	DQSn17B		AV35	AK29	DQ8B	DQ3B	DQ1B	DQ0B3	DQS0B	DQSn17B	DQSn17B	DQ0B3	DQS0B	DQSn17B	DQSn17B	
B8	VREFB8N0	IO	DQ17B		AU35	AJ28	DQ8B	DQ3B		DM0B	DQ0B2	DQ17B2	DQ17B2	DQ1B0	DQ0B2	DQ17B2	DQ17B2	
B8	VREFB8N0	IO	DQ17B		AW35	AM29	DQ8B	DQ3B	DQ1B	DQ1B0	DQ0B3	DQ17B1	DQ17B1	DQ1B1	DQ0B3	DQ17B1	DQ17B1	
B8	VREFB8N0	IO	DQ17B		AW34	AL29	DQ8B	DQ3B	DQ1B	DQ1B1	DM0B	DQ17B0	DQ17B0	DQS1B	DQ1B0	DQ17B0	DQ17B0	
B8	VREFB8N0	IO	DQS17B		AV34	AK28	DQVLD8B			DQS1B	DQ1B0	DQS17B	DQS17B	DQ1B2	DQ1B1	DQS17B	DQS17B	
B8	VREFB8N0	IO			AJ28					DQ1B2				DQ1B3				
B8	VREFB8N0	IO			AK28	AD22				DQ1B3	DQ1B1			DQ2B0	DQS1B			
B8	VREFB8N0	IO			AR29					DM1B				DQ2B1				
B8	VREFB8N0	IO			AR28	AC21				DQ2B0	DQS1B			DQS2B	DQ1B2			
B8	VREFB8N0	IO			AL28					DQ2B1				DQ2B2				
B8	VREFB8N0	IO			AM28					DQS2B				DQ2B3				
B8	VREFB8N0	IO			AN28	AB20				DQ2B2	DQ1B2			DQ3B0	DQ1B3			
B8	VREFB8N1	IO			AH27					DQ2B3				DQ3B1				
B8	VREFB8N1	IO	DQ16B		AT33	AK27	DQ8B	DQ3B	DQ1B	DM2B	DQ1B3	DQ16B3	DQ16B3	DQS3B	DQ2B0	DQ16B3	DQ16B3	
B8	VREFB8N1	IO	DQSn16B		AU33	AL28	DQSn8B	DQ3B	DQ1B	DQ3B0	DM1B	DQSn16B	DQSn16B	DQ3B2	DQ2B1	DQSn16B	DQSn16B	
B8	VREFB8N1	IO	DQ16B		AT32	AJ27	DQ8B	DQ3B	DQ1B	DQ3B1	DQ2B0	DQ16B2	DQ16B2	DQ3B3	DQS2B	DQ16B2	DQ16B2	
B8	VREFB8N1	IO	DQ16B		AW33	AM28	DQ8B	DQ3B	DQ1B	DQS3B	DQ2B1	DQ16B1	DQ16B1	DQ4B0	DQ2B2	DQ16B1	DQ16B1	
B8	VREFB8N1	IO	DQ16B		AV33	AM27	DQ8B	DQ3B	DQ1B	DQ3B2	DQS2B	DQ16B0	DQ16B0	DQ4B1	DQ2B3	DQ16B0	DQ16B0	
B8	VREFB8N1	IO	DQS16B		AU32	AL27	DQS8B	DQVLD3B		DQ3B3	DQ2B2	DQS16B	DQS16B	DQS4B	DQ3B0	DQS16B	DQS16B	
B8	VREFB8N1	IO			AJ27					DM3B				DQ4B2				
B8	VREFB8N1	IO			AK27	AD21				DQ4B0	DQ2B3			DQ4B3	DQ3B1			
B8	VREFB8N1	IO			AR27					DQ4B1				DQ5B0				
B8	VREFB8N1	VREFB8N1	VREFB8N1		AP31	AG25												
B8	VREFB8N1	IO			AG26	AE22				DQS4B	DM2B			DQ5B1	DQS3B			
B8	VREFB8N1	IO			AL27					DQ4B2				DQS5B				
B8	VREFB8N1	IO			AN27					DQ4B3				DQ5B2				
B8	VREFB8N1	IO			AP27	AF22				DM4B	DQ3B0			DQ5B3	DQ3B2			
B8	VREFB8N1	IO			AM27					DQ5B0				DQ6B0				
B8	VREFB8N1	IO	DQ15B		AV32	AK26	DQ7B	DQ3B	DQ1B	DQ5B1	DQ3B1	DQ15B3	DQ15B3	DQ6B1	DQ3B3	DQ15B3	DQ15B3	
B8	VREFB8N1	IO	DQSn15B		AV31	AL26	DQ7B	DQSn3B	DQ1B	DQS5B	DQS3B	DQSn15B	DQSn15B	DQS6B	DQ4B0	DQSn15B	DQSn15B	
B8	VREFB8N1	IO	DQ15B		AT31	AJ26	DQ7B	DQ3B	DQ1B	DQS5B2	DQ3B2	DQ15B2	DQ15B2	DQ6B2	DQ4B1	DQ15B2	DQ15B2	
B8	VREFB8N1	IO	DQ15B		AU31	AM25	DQ7B	DQ3B	DQ1B	DQS5B3	DQ3B3	DQ15B1	DQ15B1	DQ6B3	DQS4B	DQ15B1	DQ15B1	
B8	VREFB8N1	IO	DQ15B		AW32	AM26	DQ7B	DQ3B	DQ1B	DM5B	DM3B	DQ15B0	DQ15B0	DQ7B0	DQ4B2	DQ15B0	DQ15B0	
B8	VREFB8N1	IO	DQS15B		AW31	AL25	DQVLD7B	DQS3B		DQ6B0	DQ4B0	DQS15B	DQS15B	DQ7B1	DQ4B3	DQS15B	DQS15B	
B8	VREFB8N1	IO			AH26					DQ6B1				DQS7B				
B8	VREFB8N1	IO			AP26	AB19				DQS6B	DQ4B1			DQ7B2	DQ5B0			
B8	VREFB8N1	IO			AR26					DQ6B2				DQ7B3				
B8	VREFB8N2	IO			AJ26	AC20				DQ6B3	DQS4B			DQ8B0	DQ5B1			
B8	VREFB8N2	IO			AL26					DM6B				DQ8B1				



Pin Information for the Stratix® II EP2S180 Device
Version 2.2
(Note 1)

Bank Number	VREF Group (Note 4)	Pin Name/Function	Optional Function(s)/ DQ group for DQS x4 Mode	Configuration Function	F1508	F1020	x8/x9 Mode	x16/x18 Mode	x32/x36 Mode	x5 Mode (Note 2)				x4 Mode (Note 3)			
										DQ group for DQS mode	DQ group for DQS mode	DQ group for DQS mode	DQ group for non-DQS mode (non-migratable)	DQ group for non-DQS mode (non-migratable)	DQ group for non-DQS mode (migratable) F1508	DQ group for non-DQS mode (migratable) F1020	DQ group for non-DQS mode (non-migratable)
B8	VREFB8N2	IO			AN26						DQ7B0				DQS8B		
B8	VREFB8N2	IO			AK26	AE21					DQ7B1	DQ4B2			DQ8B2	DQS5B	
B8	VREFB8N2	IO			AM26						DQS7B				DQ8B3		
B8	VREFB8N2	IO	DQ14B		AT29	AG24	DQ7B	DQ3B	DQ1B	DQ7B2	DQ4B3	DQ14B3	DQ14B3	DQ9B0	DQ5B2	DQ14B3	DQ14B3
B8	VREFB8N2	IO	DQSn14B		AU30	AH25	DQSn7B	DQ3B	DQ1B	DQ7B3	DM4B	DQSn14B	DQSn14B	DQ9B1	DQ5B3	DQSn14B	DQSn14B
B8	VREFB8N2	IO	DQ14B		AT30	AH26	DQ7B	DQ3B	DQ1B	DM7B	DQ5B0	DQ14B2	DQ14B2	DQS9B	DQ6B0	DQ14B2	DQ14B2
B8	VREFB8N2	IO	DQ14B		AW30	AH24	DQ7B	DQ3B	DQ1B	DQ8B0	DQ5B1	DQ14B1	DQ14B1	DQ9B2	DQ6B1	DQ14B1	DQ14B1
B8	VREFB8N2	IO	DQ14B		AU29	AK25	DQ7B	DQ3B	DQ1B	DQ8B1	DQS5B	DQ14B0	DQ14B0	DQ9B3	DQS6B	DQ14B0	DQ14B0
B8	VREFB8N2	IO	DQS14B		AV30	AJ25	DQS7B			DQ8B8	DQ5B2	DQS14B	DQS14B	DQ10B0	DQ6B2	DQS14B	DQS14B
B8	VREFB8N2	IO			AG25	AD20				DQ8B2	DQ5B3			DQ10B1	DQ6B3		
B8	VREFB8N2	IO			AH25					DQ8B3				DQS10B			
B8	VREFB8N2	IO			AR25					DM8B				DQ10B2			
B8	VREFB8N2	VREFB8N2	VREFB8N2		AP28	AG21											
B8	VREFB8N2	IO			AJ25	AF21				DQ9B0	DM5B			DQ10B3	DQ7B0		
B8	VREFB8N2	IO			AL25					DQ9B1				DQ11B0			
B8	VREFB8N2	IO			AN25					DQS9B				DQ11B1			
B8	VREFB8N2	IO			AK25	AC19				DQ9B2	DQ6B0			DQS11B	DQ7B1		
B8	VREFB8N2	IO			AM25					DQ9B3				DQ11B2			
B8	VREFB8N2	IO	DQ13B		AV29	AM24	DQ6B			DM9B	DQ6B1	DQ13B3	DQ13B3	DQ11B3	DQS7B	DQ13B3	DQ13B3
B8	VREFB8N2	IO	DQSn13B		AU28	AL24	DQ6B	DQ2B	DQSn1B	DQ10B0	DQS6B	DQSn13B	DQSn13B	DQ12B0	DQ7B2	DQSn13B	DQSn13B
B8	VREFB8N2	IO	DQ13B		AT28	AK24	DQ6B	DQ2B	DQ1B	DQ10B1	DQ6B2	DQ13B2	DQ13B2	DQ12B1	DQ7B3	DQ13B2	DQ13B2
B8	VREFB8N2	IO	DQ13B		AW29	AK23	DQ6B	DQ2B	DQ1B	DQS10B	DQ6B3	DQ13B1	DQ13B1	DQS12B	DQ8B0	DQ13B1	DQ13B1
B8	VREFB8N2	IO	DQ13B		AW28	AM23	DQ6B	DQ2B	DQ1B	DQ10B2	DM6B	DQ13B0	DQ13B0	DQ12B2	DQ8B1	DQ13B0	DQ13B0
B8	VREFB8N2	IO	DQS13B		AV28	AL23	DQVLD6B		DQS1B	DQ10B3	DQ7B0	DQS13B	DQS13B	DQ12B3	DQS8B	DQS13B	DQS13B
B8	VREFB8N2	IO			AG24	AE20				DM10B	DQ7B1			DQ13B0	DQ8B2		
B8	VREFB8N2	IO			AH24					DQ11B0				DQ13B1			
B8	VREFB8N2	IO			AR24					DQ11B1				DQS13B			
B8	VREFB8N3	IO			AJ24	AD19				DQS11B	DQS7B			DQ13B2	DQ8B3		
B8	VREFB8N3	IO			AK24					DQ11B2				DQ13B3			
B8	VREFB8N3	IO			AP24					DQ11B3				DQ14B0			
B8	VREFB8N3	IO			AL24	AF20				DM11B	DQ7B2			DQ14B1	DQ9B0		
B8	VREFB8N3	IO			AM24					DQ12B0				DQS14B			
B8	VREFB8N3	IO	DQ12B		AU26	AG23	DQ6B	DQ2B	DQ1B	DQ12B1	DQ7B3	DQ12B3	DQ12B3	DQ14B2	DQ9B1	DQ12B3	DQ12B3
B8	VREFB8N3	IO	DQSn12B		AU27	AH22	DQSn6B	DQ2B	DQ1B	DQS12B	DM7B	DQSn12B	DQSn12B	DQ14B3	DQS9B	DQSn12B	DQSn12B
B8	VREFB8N3	IO	DQ12B		AT27	AG22	DQ6B	DQ2B	DQ1B	DQ12B2	DQ8B0	DQ12B2	DQ12B2	DQ15B0	DQ9B2	DQ12B2	DQ12B2
B8	VREFB8N3	IO	DQ12B		AT26	AK22	DQ6B	DQ2B	DQ1B	DM12B3	DQ8B1	DQ12B1	DQ12B1	DQ15B1	DQ9B3	DQ12B1	DQ12B1
B8	VREFB8N3	IO	DQ12B		AW27	AJ23	DQ6B	DQ2B	DQ1B	DM12B	DQS8B	DQ12B0	DQ12B0	DQS15B	DQ10B0	DQ12B0	DQ12B0
B8	VREFB8N3	IO	DQS12B		AV27	AJ22	DQS6B	DQVLD2B	DQVLD1B	DQ13B0	DQ8B2	DQS12B	DQS12B	DQ15B2	DQ10B1	DQS12B	DQS12B
B8	VREFB8N3	IO			AG23	AB18				DQ13B1	DQ8B3			DQ15B3	DQS10B		
B8	VREFB8N3	IO			AH23					DQS13B				DQ16B0			



Pin Information for the Stratix® II EP2S180 Device
Version 2.2
(Note 1)

Bank Number	VREF Group (Note 4)	Pin Name/Function	Optional Function(s)/ DQ group for DQS x4 Mode	Configuration Function	F1508	F1020	x8/x9 Mode	x16/x18 Mode	x32/x36 Mode	x5 Mode (Note 2)				x4 Mode (Note 3)				
										DQ group for DQS mode	DQ group for DQS mode	DQ group for DQS mode	DQ group for non-DQS mode (non-migratable)	DQ group for non-DQS mode (non-migratable)	DQ group for non-DQS mode (migratable) F1508	DQ group for non-DQS mode (migratable) F1020	DQ group for non-DQS mode (non-migratable)	DQ group for non-DQS mode (non-migratable)
B8	VREFB8N3	IO			AN24							DQ13B2				DQ16B1		
B8	VREFB8N3	VREFB8N3	VREFB8N3		AP25	AJ24												
B8	VREFB8N3	IO			AJ23	AG20						DQ13B3	DM8B			DQS16B	DQ10B2	
B8	VREFB8N3	IO			AG22							DM13B				DQ16B2		
B8	VREFB8N3	IO			AP23	AE19						DQ14B0	DQ9B0			DQ16B3	DQ10B3	
B8	VREFB8N3	IO			AK23							DQ14B1				DQ17B0		
B8	VREFB8N3	IO			AL23							DQS14B				DQ17B1		
B8	VREFB8N3	IO	DQ11B		AT25	AM22	DQ5B	DQ2B	DQ1B	DQ14B2	DQ9B1	DQ11B3	DQ11B3	DQS17B	DQ11B0	DQ11B3	DQ11B3	
B8	VREFB8N3	IO	DQSn11B		AU25	AL22	DQ5B	DQSn2B	DQ1B	DQ14B3	DQS9B	DQSn11B	DQSn11B	DQ17B2	DQ11B1	DQSn11B	DQSn11B	
B8	VREFB8N3	IO	DQ11B		AW26	AJ21	DQ5B	DQ2B	DQ1B	DM14B	DQ9B2	DQ11B2	DQ11B2	DQ17B3	DQS11B	DQ11B2	DQ11B2	
B8	VREFB8N3	IO	DQ11B		AW25	AK21	DQ5B	DQ2B	DQ1B	DQ15B0	DQ9B3	DQ11B1	DQ11B1	DQ18B0	DQ11B2	DQ11B1	DQ11B1	
B8	VREFB8N3	IO	DQ11B		AV26	AM21	DQ5B	DQ2B	DQ1B	DQ15B1	DM9B	DQ11B0	DQ11B0	DQ18B1	DQ11B3	DQ11B0	DQ11B0	
B8	VREFB8N3	IO	DQS11B		AV25	AL21	DQVLD5B	DQS2B		DQS15B	DQ10B0	DQS11B	DQS11B	DQS18B	DQ12B0	DQS11B	DQS11B	
B8	VREFB8N3	IO			AH22	AF19				DQ15B2	DQ10B1			DQ18B2	DQ12B1			
B8	VREFB8N3	IO			AM23					DQ15B3				DQ18B3				
B8	VREFB8N3	IO			AN23					DM15B				DQ19B0				
B8	VREFB8N4	IO			AJ22	AC18				DQ16B0	DQS10B			DQ19B1	DQS12B			
B8	VREFB8N4	IO			AN22					DQ16B1				DQS19B				
B8	VREFB8N4	IO			AM22	AD18				DQS16B	DQ10B2			DQ19B2	DQ12B2			
B8	VREFB8N4	IO			AG21					DQ16B2				DQ19B3				
B8	VREFB8N4	IO			AH21					DQ16B3				DQ20B0				
B8	VREFB8N4	IO	DQ10B		AU24	AH20	DQ5B	DQ2B	DQ1B	DM16B	DQ10B3	DQ10B3	DQ10B3	DQ20B1	DQ12B3	DQ10B3	DQ10B3	
B8	VREFB8N4	IO	DQSn10B		AU23	AJ20	DQSn5B	DQ2B	DQ1B	DQ17B0	DM10B	DQSn10B	DQSn10B	DQS20B	DQ13B0	DQSn10B	DQSn10B	
B8	VREFB8N4	IO	DQ10B		AT24	AJ19	DQ5B	DQ2B	DQ1B	DQ17B1	DQ11B0	DQ10B2	DQ10B2	DQ20B2	DQ13B1	DQ10B2	DQ10B2	
B8	VREFB8N4	IO	DQ10B		AW23	AH19	DQ5B	DQ2B	DQ1B	DQS17B	DQ11B1	DQ10B1	DQ10B1	DQ20B3	DQS13B	DQ10B1	DQ10B1	
B8	VREFB8N4	IO	DQ10B		AV24	AL20	DQ5B	DQ2B	DQ1B	DQ17B2	DQS11B	DQ10B0	DQ10B0	DQ21B0	DQ13B2	DQ10B0	DQ10B0	
B8	VREFB8N4	IO	DQS10B		AV23	AK20	DQS5B			DQ17B3	DQ11B2	DQS10B	DQS10B	DQ21B1	DQ13B3	DQS10B	DQS10B	
B8	VREFB8N4	VREFB8N4	VREFB8N4		AT23	AK19												
B8	VREFB8N4	IO			AL22	AB17				DM17B	DQ11B3			DQS21B				
B8	VREFB8N4	IO			AM21									DQ21B2				
B8	VREFB8N4	IO			AP22									DQ21B3				
B8	VREFB8N4	IO		RUnLU	AM20	AG17												
B8	VREFB8N4	IO		DEV_OE	AN20	AH17												
B8	VREFB8N4	IO		DEV_CLRn	AN21	AG19												
B8	VREFB8N4	IO		nCS	AP21	AG18												
B12	VREFB8N4	IO	PLL12_FBn/OUT2n		AR22	AL19												
B12	VREFB8N4	IO	PLL12_FBp/OUT2p		AT22	AM19												
B8	VREFB8N4	IO			AP20	AC17						DM11B						
B12	VREFB8N4	IO	PLL12_OUT1n		AU22	AH18												
B12	VREFB8N4	IO	PLL12_OUT1p		AV22	AJ18												



Bank Number	VREF Group (Note 4)	Pin Name/Function	Optional Function(s)/ DQ group for DQS x4 Mode	Configuration Function	F1508	F1020	x8/x9 Mode	x16/x18 Mode	x32/x36 Mode	x5 Mode (Note 2)				x4 Mode (Note 3)				
										DQ group for DQS mode	DQ group for DQS mode	DQ group for DQS mode	DQ group for non-DQS mode (non-migratable)	DQ group for non-DQS mode (non-migratable)	DQ group for non-DQS mode (migratable) F1508	DQ group for non-DQS mode (migratable) F1020	DQ group for non-DQS mode (non-migratable)	DQ group for non-DQS mode (non-migratable)
B12	VREFB8N4	IO	PLL12_OUT0n		AV21	AK18												
B12	VREFB8N4	IO	PLL12_OUT0p		AW21	AL18												
B8	VREFB8N4	IO	CLK5n		AT21	AJ17												
B8	VREFB8N4	IO	CLK5p		AU21	AK17												
B8	VREFB8N4	IO	CLK4n		AT20	AL17												
B8	VREFB8N4	IO	CLK4p		AU20	AM17												
B12		VCC_PLL12_OUT			AK22	AF16												
		VCCD_PLL12			AK20	AE18												
		VCCA_PLL12			AL21	AF18												
		GND_A_PLL12			AJ21	AD17												
		GND_A_PLL12			AK21	AE17												
		GND_A_PLL6			AJ19	AD16												
		GND_A_PLL6			AK19	AE16												
		VCCA_PLL6			AL19	AE15												
		VCCD_PLL6			AJ20	AD15												
B10		VCC_PLL6_OUT			AK18	AF15												
B7	VREFB7N0	IO	CLK7p		AU19	AH16												
B7	VREFB7N0	IO	CLK7n		AT19	AG16												
B7	VREFB7N0	IO	CLK6p		AW20	AM16												
B7	VREFB7N0	IO	CLK6n		AV20	AL16												
B10	VREFB7N0	IO	PLL6_OUT1p		AV18	AJ15												
B10	VREFB7N0	IO	PLL6_OUT1n		AU18	AH15												
B10	VREFB7N0	IO	PLL6_OUT0p		AW19	AK16												
B10	VREFB7N0	IO	PLL6_OUT0n		AV19	AJ16												
B10	VREFB7N0	IO	PLL6_FBp/OUT2p		AT18	AL15												
B10	VREFB7N0	IO	PLL6_FBn/OUT2n		AR18	AK15												
B7	VREFB7N0	IO			AM19						DQ18B0					DQ22B0		
B7	VREFB7N0	IO			AN19	AC16					DQ18B1	DQ12B0				DQ22B1	DQ14B0	
B7	VREFB7N0	VREFB7N0	VREFB7N0		AP17	AK14												
B7	VREFB7N0	IO			AM18						DQS18B					DQS22B		
B7	VREFB7N0	IO	DQ9B		AV17	AM14	DQ4B				DQ18B2	DQ12B1	DQ9B3	DQ9B3	DQ22B2	DQ14B1	DQ9B3	DQ9B3
B7	VREFB7N0	IO	DQSn9B		AT17	AL13	DQ4B	DQ1B	DQ0B		DQ18B3	DQS12B	DQSn9B	DQSn9B	DQ22B3	DQS14B	DQSn9B	DQSn9B
B7	VREFB7N0	IO	DQ9B		AP16	AJ13	DQ4B	DQ1B			DM18B	DQ12B2	DQ9B2	DQ9B2	DQ23B0	DQ14B2	DQ9B2	DQ9B2
B7	VREFB7N0	IO	DQ9B		AR16	AJ14	DQ4B	DQ1B	DQ0B		DQ19B0	DQ12B3	DQ9B1	DQ9B1	DQ23B1	DQ14B3	DQ9B1	DQ9B1
B7	VREFB7N0	IO	DQ9B		AU17	AL14	DQ4B	DQ1B	DQ0B		DQ19B1	DM12B	DQ9B0	DQ9B0	DQS23B	DQ15B0	DQ9B0	DQ9B0
B7	VREFB7N0	IO	DQS9B		AT16	AK13	DQVLD4B				DQS19B	DQ13B0	DQS9B	DQS9B	DQ23B2	DQ15B1	DQS9B	DQS9B
B7	VREFB7N0	IO			AL18						DQ19B2				DQ23B3			
B7	VREFB7N0	IO			AH20	AB16					DQ19B3	DQ13B1			DQ24B0	DQS15B		
B7	VREFB7N0	IO			AR20						DM19B				DQ24B1			
B7	VREFB7N0	IO			AN18						DQ20B0				DQS24B			



Bank Number	VREF Group (Note 4)	Pin Name/Function	Optional Function(s)/ DQ group for DQS x4 Mode	Configuration Function	F1508	F1020	x8/x9 Mode	x16/x18 Mode	x32/x36 Mode	x5 Mode (Note 2)						x4 Mode (Note 3)			
										DQ group for DQS mode	DQ group for DQS mode	DQ group for DQS mode	DQ group for non-DQS mode (non-migratable)	DQ group for non-DQS mode (non-migratable)	DQ group for non-DQS mode (migratable) F1508	DQ group for non-DQS mode (migratable) F1020	DQ group for non-DQS mode (non-migratable)	DQ group for non-DQS mode (non-migratable)	DQ group for non-DQS mode (migratable) F1508
B7	VREFB7N0	IO			AP19	AC15				DQ20B1	DQS13B			DQ24B2	DQ15B2				
B7	VREFB7N0	IO	DQ8B		AW17	AG15	DQ4B	DQ1B	DQ0B	DQS20B	DQ13B2	DQ8B3	DQ8B3	DQ24B3	DQ15B3	DQ8B3	DQ8B3		
B7	VREFB7N0	IO	DQSn8B		AV16	AH14	DQSn4B	DQ1B	DQ0B	DQ20B2	DQ13B3	DQSn8B	DQSn8B	DQ25B0	DQ16B0	DQSn8B	DQSn8B		
B7	VREFB7N1	IO	DQ8B		AU15	AF13	DQ4B	DQ1B	DQ0B	DQ20B3	DM13B	DQ8B2	DQ8B2	DQ25B1	DQ16B1	DQ8B2	DQ8B2		
B7	VREFB7N1	IO	DQ8B		AV15	AG13	DQ4B	DQ1B	DQ0B	DM20B	DQ14B0	DQ8B1	DQ8B1	DQS25B	DQS16B	DQ8B1	DQ8B1		
B7	VREFB7N1	IO	DQ8B		AW15	AH13	DQ4B	DQ1B	DQ0B	DQ21B0	DQ14B1	DQ8B0	DQ8B0	DQ25B2	DQ16B2	DQ8B0	DQ8B0		
B7	VREFB7N1	IO	DQS8B		AU16	AG14	DQS4B	DQVLD1B		DQ21B1	DQS14B	DQS8B	DQS8B	DQ25B3	DQ16B3	DQS8B	DQS8B		
B7	VREFB7N1	IO			AG20					DQS21B				DQ26B0					
B7	VREFB7N1	IO			AL17					DQ21B2				DQ26B1					
B7	VREFB7N1	IO			AM17	AE14				DQ21B3	DQ14B2			DQS26B	DQ17B0				
B7	VREFB7N1	IO			AH19					DM21B				DQ26B2					
B7	VREFB7N1	IO			AJ18					DQ22B0				DQ26B3					
B7	VREFB7N1	IO	DQ7B		AW14	AM12	DQ3B	DQ1B	DQ0B	DQ22B1	DQ14B3	DQ7B3	DQ7B3	DQ27B0	DQ17B1	DQ7B3	DQ7B3		
B7	VREFB7N1	IO	DQSn7B		AU14	AL12	DQ3B	DQSn1B	DQ0B	DQS22B	DM14B	DQSn7B	DQSn7B	DQ27B1	DQS17B	DQSn7B	DQSn7B		
B7	VREFB7N1	VREFB7N1	VREFB7N1		AP15	AF14													
B7	VREFB7N1	IO	DQ7B		AR15	AM11	DQ3B	DQ1B	DQ0B	DQ22B2	DQ15B0	DQ7B2	DQ7B2	DQS27B	DQ17B2	DQ7B2	DQ7B2		
B7	VREFB7N1	IO	DQ7B		AT15	AJ12	DQ3B	DQ1B	DQ0B	DQ22B3	DQ15B1	DQ7B1	DQ7B1	DQ27B2	DQ17B3	DQ7B1	DQ7B1		
B7	VREFB7N1	IO	DQ7B		AV14	AK12	DQ3B	DQ1B	DQ0B	DM22B	DQS15B	DQ7B0	DQ7B0	DQ27B3	DQ18B0	DQ7B0	DQ7B0		
B7	VREFB7N1	IO	DQS7B		AT14	AL11	DQVLD3B	DQS1B		DQ23B0	DQ15B2	DQS7B	DQS7B	DQ28B0	DQ18B1	DQS7B	DQS7B		
B7	VREFB7N1	IO			AK17	AD14				DQ23B1	DQ15B3			DQ28B1	DQS18B				
B7	VREFB7N1	IO			AN17					DQS23B				DQS28B					
B7	VREFB7N1	IO			AP18	AB15				DQ23B2	DM15B			DQ28B2	DQ18B2				
B7	VREFB7N1	IO			AG19					DQ23B3				DQ28B3					
B7	VREFB7N1	IO			AL16					DM23B				DQ29B0					
B7	VREFB7N1	IO	DQ6B		AW13	AM10	DQ3B	DQ1B	DQ0B	DQ24B0	DQ16B0	DQ6B3	DQ6B3	DQ29B1	DQ18B3	DQ6B3	DQ6B3		
B7	VREFB7N1	IO	DQSn6B		AV13	AK11	DQSn3B	DQ1B	DQ0B	DQ24B1	DQ16B1	DQSn6B	DQSn6B	DQS29B	DQ19B0	DQSn6B	DQSn6B		
B7	VREFB7N1	IO	DQ6B		AP14	AL10	DQ3B	DQ1B	DQ0B	DQS24B	DQS16B	DQ6B2	DQ6B2	DQ29B2	DQ19B1	DQ6B2	DQ6B2		
B7	VREFB7N1	IO	DQ6B		AR14	AH11	DQ3B	DQ1B	DQ0B	DQ24B2	DQ16B2	DQ6B1	DQ6B1	DQ29B3	DQS19B	DQ6B1	DQ6B1		
B7	VREFB7N1	IO	DQ6B		AT13	AJ11	DQ3B	DQ1B	DQ0B	DQ24B3	DQ16B3	DQ6B0	DQ6B0	DQ30B0	DQ19B2	DQ6B0	DQ6B0		
B7	VREFB7N1	IO	DQS6B		AU13	AK10	DQS3B			DM24B	DM16B	DQS6B	DQS6B	DQ30B1	DQ19B3	DQS6B	DQS6B		
B7	VREFB7N2	IO			AH18	AC14				DQ25B0	DQ17B0			DQS30B	DQ20B0				
B7	VREFB7N2	IO			AM16					DQ25B1				DQ30B2					
B7	VREFB7N2	IO			AN16					DQS25B				DQ30B3					
B7	VREFB7N2	IO			AJ17	AE13				DQ25B2	DQ17B1			DQ31B0	DQ20B1				
B7	VREFB7N2	IO			AK16					DQ25B3				DQ31B1					
B7	VREFB7N2	IO	DQ5B		AU12	AG12	DQ2B			DM25B	DQS17B	DQ5B3	DQ5B3	DQS31B	DQS20B	DQ5B3	DQ5B3		
B7	VREFB7N2	IO	DQSn5B		AT12	AG11	DQ2B	DQ0B	DQSn0B	DQ26B0	DQ17B2	DQSn5B	DQSn5B	DQ31B2	DQ20B2	DQSn5B	DQSn5B		
B7	VREFB7N2	IO	DQ5B		AP13	AF10	DQ2B	DQ0B	DQ0B	DQ26B1	DQ17B3	DQ5B2	DQ5B2	DQ31B3	DQ20B3	DQ5B2	DQ5B2		
B7	VREFB7N2	IO	DQ5B		AR13	AG10	DQ2B	DQ0B	DQ0B	DQS26B	DM17B	DQ5B1	DQ5B1	DQ32B0	DQ21B0	DQ5B1	DQ5B1		
B7	VREFB7N2	IO	DQ5B		AV12	AF12	DQ2B	DQ0B	DQ0B	DQ26B2	DQ18B0	DQ5B0	DQ5B0	DQ32B1	DQ21B1	DQ5B0	DQ5B0		



Bank Number	VREF Group (Note 4)	Pin Name/Function	Optional Function(s)/ DQ group for DQS x4 Mode	Configuration Function	F1508	F1020	x5 Mode (Note 2)					x4 Mode (Note 3)					
							DQ group for DQS mode	DQ group for DQS mode	DQ group for DQS mode	DQ group for non-DQS mode (non-migratable)	DQ group for non-DQS mode (non-migratable)	DQ group for non-DQS mode (migratable) F1508	DQ group for non-DQS mode (migratable) F1020	DQ group for non-DQS mode (non-migratable)	DQ group for non-DQS mode (non-migratable)	DQ group for non-DQS mode (migratable) F1508	DQ group for non-DQS mode (migratable) F1020
B7	VREFB7N2	IO	DQS5B		AR12	AF11	DQVLD2B		DQS0B	DQ26B3	DQ18B1	DQS5B	DQS5B	DQS32B	DQS21B	DQS5B	DQS5B
B7	VREFB7N2	IO			AG18					DM26B				DQ32B2			
B7	VREFB7N2	IO			AM15	AD13				DQ27B0	DQS18B			DQ32B3	DQ21B2		
B7	VREFB7N2	IO			AN15					DQ27B1				DQ33B0			
B7	VREFB7N2	VREFB7N2	VREFB7N2		AP12	AJ9											
B7	VREFB7N2	IO			AJ16					DQS27B				DQ33B1			
B7	VREFB7N2	IO	DQ4B		AW11	AM9	DQ2B	DQ0B	DQ0B	DQ27B2	DQ18B2	DQ4B3	DQ4B3	DQ533B	DQ21B3	DQ4B3	DQ4B3
B7	VREFB7N2	IO	DQSn4B		AV11	AL9	DQSn2B	DQ0B	DQ0B	DQ27B3	DQ18B3	DQSn4B	DQSn4B	DQ33B2	DQ22B0	DQSn4B	DQSn4B
B7	VREFB7N2	IO	DQ4B		AT11	AJ8	DQ2B	DQ0B	DQ0B	DM27B	DM18B	DQ4B2	DQ4B2	DQ33B3	DQ22B1	DQ4B2	DQ4B2
B7	VREFB7N2	IO	DQ4B		AR11	AK8	DQ2B	DQ0B	DQ0B	DQ28B0	DQ19B0	DQ4B1	DQ4B1	DQ34B0	DQS22B	DQ4B1	DQ4B1
B7	VREFB7N2	IO	DQ4B		AW12	AJ10	DQ2B	DQ0B	DQ0B	DQ28B1	DQ19B1	DQ4B0	DQ4B0	DQ34B1	DQ22B2	DQ4B0	DQ4B0
B7	VREFB7N2	IO	DQS4B		AU11	AK9	DQS2B	DQVLD0B	DQVLD0B	DQS28B	DQS19B	DQS4B	DQS4B	DQS34B	DQ22B3	DQS4B	DQS4B
B7	VREFB7N2	IO			AH17	AB14				DQ28B2	DQ19B2			DQ34B2	DQ23B0		
B7	VREFB7N2	IO			AK15					DQ28B3				DQ34B3			
B7	VREFB7N2	IO			AL15					DM28B				DQ35B0			
B7	VREFB7N2	IO			AG17	AE12				DQ29B0	DQ19B3			DQ35B1	DQ23B1		
B7	VREFB7N2	IO			AL14					DQ29B1				DQ35B2			
B7	VREFB7N2	IO	DQ3B		AW10	AM8	DQ1B	DQ0B	DQ0B	DQS29B	DM19B	DQ3B3	DQ3B3	DQ35B2	DQS23B	DQ3B3	DQ3B3
B7	VREFB7N2	IO	DQSn3B		AV10	AL8	DQ1B	DQSn0B	DQ0B	DQ29B2	DQ20B0	DQSn3B	DQSn3B	DQ35B3	DQ23B2	DQSn3B	DQSn3B
B7	VREFB7N3	IO	DQ3B		AR10	AJ7	DQ1B	DQ0B	DQ0B	DQ29B3	DQ20B1	DQ3B2	DQ3B2	DQ36B0	DQ23B3	DQ3B2	DQ3B2
B7	VREFB7N3	IO	DQ3B		AT10	AK7	DQ1B	DQ0B	DQ0B	DM29B	DQS20B	DQ3B1	DQ3B1	DQ36B1	DQ24B0	DQ3B1	DQ3B1
B7	VREFB7N3	IO	DQ3B		AW9	AM7	DQ1B	DQ0B	DQ0B	DQ30B0	DQ20B2	DQ3B0	DQ3B0	DQS36B	DQ24B1	DQ3B0	DQ3B0
B7	VREFB7N3	IO	DQS3B		AU10	AL7	DQVLD1B	DQS0B		DQ30B1	DQ20B3	DQS3B	DQS3B	DQ36B2	DQS24B	DQS3B	DQS3B
B7	VREFB7N3	IO			AH16	AC13				DQS30B	DM20B			DQ36B3	DQ24B2		
B7	VREFB7N3	IO			AJ15					DQ30B2				DQ37B0			
B7	VREFB7N3	IO			AM14					DQ30B3				DQ37B1			
B7	VREFB7N3	IO			AK14	AB13				DM30B	DQ21B0			DQS37B	DQ24B3		
B7	VREFB7N3	IO			AG16					DQ31B0				DQ37B2			
B7	VREFB7N3	IO	DQ2B		AW8	AM6	DQ1B	DQ0B	DQ0B	DQ31B1	DQ21B1	DQ2B3	DQ2B3	DQ37B3	DQ25B0	DQ2B3	DQ2B3
B7	VREFB7N3	IO	DQSn2B		AV9	AL6	DQSn1B	DQ0B	DQ0B	DQS31B	DQS21B	DQSn2B	DQSn2B	DQ38B0	DQ25B1	DQSn2B	DQSn2B
B7	VREFB7N3	IO	DQ2B		AR9	AJ6	DQ1B	DQ0B	DQ0B	DQ31B2	DQ21B2	DQ2B2	DQ2B2	DQ38B1	DQS25B	DQ2B2	DQ2B2
B7	VREFB7N3	IO	DQ2B		AT9	AK6	DQ1B	DQ0B	DQ0B	DQ31B3	DQ21B3	DQ2B1	DQ2B1	DQS38B	DQ25B2	DQ2B1	DQ2B1
B7	VREFB7N3	IO	DQ2B		AV8	AM5	DQ1B	DQ0B	DQ0B	DM31B	DM21B	DQ2B0	DQ2B0	DQ38B2	DQ25B3	DQ2B0	DQ2B0
B7	VREFB7N3	IO	DQS2B		AU9	AL5	DQS1B			DQ32B0	DQ22B0	DQS2B	DQS2B	DQ38B3	DQ26B0	DQS2B	DQS2B
B7	VREFB7N3	VREFB7N3	VREFB7N3		AP9	AE9											
B7	VREFB7N3	IO			AH15					DQ32B1				DQ39B0			
B7	VREFB7N3	IO			AL13	AD12				DQS32B	DQ22B1			DQ39B1	DQ26B1		
B7	VREFB7N3	IO			AM13					DQ32B2				DQS39B			
B7	VREFB7N3	IO			AK13					DQ32B3				DQ39B2			
B7	VREFB7N3	IO			AJ14	AE11				DM32B	DQS22B			DQ39B3	DQS26B		



Bank Number	VREF Group (Note 4)	Pin Name/Function	Optional Function(s)/ DQ group for DQS x4 Mode	Configuration Function	F1508	F1020	x8/x9 Mode	x16/x18 Mode	x32/x36 Mode	x5 Mode (Note 2)				x4 Mode (Note 3)				
										DQ group for DQS mode	DQ group for DQS mode	DQ group for DQS mode	DQ group for non-DQS mode (non-migratable)	DQ group for non-DQS mode (non-migratable)	DQ group for non-DQS mode (migratable) F1508	DQ group for non-DQS mode (migratable) F1020	DQ group for non-DQS mode (non-migratable)	DQ group for non-DQS mode (migratable) F1508
B7	VREFB7N3	IO			AN14						DQ33B0				DQ40B0			
B7	VREFB7N3	IO			AG15						DQ33B1				DQ40B1			
B7	VREFB7N3	IO			AH14	AC12					DQS33B	DQ22B2			DQS40B	DQ26B2		
B7	VREFB7N3	IO	DQ1B		AW7	AH9	DQ0B				DQ33B2	DQ22B3	DQ1B3	DQ1B3	DQ40B2	DQ26B3	DQ1B3	DQ1B3
B7	VREFB7N3	IO	DQSn1B		AV7	AH8	DQ0B				DQ33B3	DM22B	DQSn1B	DQSn1B	DQ40B3	DQ27B0	DQSn1B	DQSn1B
B7	VREFB7N3	IO	DQ1B		AT8	AH7	DQ0B				DM33B	DQ23B0	DQ1B2	DQ1B2	DQ41B0	DQ27B1	DQ1B2	DQ1B2
B7	VREFB7N3	IO	DQ1B		AT7	AH6	DQ0B				DQ34B0	DQ23B1	DQ1B1	DQ1B1	DQ41B1	DQS27B	DQ1B1	DQ1B1
B7	VREFB7N3	IO	DQ1B		AU8	AG9	DQ0B				DQ34B1	DQS23B	DQ1B0	DQ1B0	DQS41B	DQ27B2	DQ1B0	DQ1B0
B7	VREFB7N3	IO	DQS1B		AU7	AG8	DQVLD0B				DQ334B	DQ23B2	DQS1B	DQS1B	DQ41B2	DQ27B3	DQS1B	DQS1B
B7	VREFB7N4	IO			AJ13						DQ34B2				DQ41B3			
B7	VREFB7N4	IO			AM12	AD11					DQ34B3	DQ23B3			DQ42B0	DQ28B0		
B7	VREFB7N4	IO			AN13						DM34B				DQ42B1			
B7	VREFB7N4	IO			AG14						DQ35B0				DQS42B			
B7	VREFB7N4	IO			AL12	AE10					DQ35B1	DM23B			DQ42B2	DQ28B1		
B7	VREFB7N4	IO	DQ0B		AW6	AM4	DQ0B				DQ35B5	DQ24B0	DQ0B3	DQ0B3	DQ42B3	DQS28B	DQ0B3	DQ0B3
B7	VREFB7N4	IO	DQSn0B		AV6	AK5	DQSn0B				DQ35B2	DQ24B1	DQSn0B	DQSn0B	DQ43B0	DQ28B2	DQSn0B	DQSn0B
B7	VREFB7N4	IO	DQ0B		AU5	AH5	DQ0B				DQ35B3	DQ24B2	DQ0B2	DQ0B2	DQ43B1	DQ28B3	DQ0B2	DQ0B2
B7	VREFB7N4	IO	DQ0B		AU6	AJ5	DQ0B				DM35B	DQ24B2	DQ0B1	DQ0B1	DQS43B	DQ29B0	DQ0B1	DQ0B1
B7	VREFB7N4	IO	DQ0B		AW5	AL4	DQ0B				DQ36B0	DQ24B3	DQ0B0	DQ0B0	DQ43B2	DQ29B1	DQ0B0	DQ0B0
B7	VREFB7N4	IO	DQS0B		AV5	AK4	DQS0B				DQ36B1	DM24B	DQS0B	DQS0B	DQ43B3	DQS29B	DQS0B	DQS0B
B7	VREFB7N4	IO			AK12						DQS36B				DQ44B0			
B7	VREFB7N4	IO			AN12						DQ36B2				DQ44B1			
B7	VREFB7N4	IO			AN11	AB12					DQ36B3				DQS44B	DQ29B2		
B7	VREFB7N4	VREFB7N4	VREFB7N4		AR7	AK2												
B7	VREFB7N4	IO			AH13						DM36B				DQ44B2			
B7	VREFB7N4	IO			AM11						DQ37B0				DQ44B3			
B7	VREFB7N4	IO			AP11	AC11					DQ37B1				DQ45B0	DQ29B3		
B7	VREFB7N4	IO	RDN7		AL11	AB11												
B7	VREFB7N4	IO	RUP7		AN9	AD10												
B7	VREFB7N4	IO			AP10							DQS37B				DQ45B1		
B7	VREFB7N4	IO			AJ12							DQ37B2				DQS45B		
B7	VREFB7N4	IO			AP8							DQ37B3				DQ45B2		
B7	VREFB7N4	IO			AR8							DM37B				DQ45B3		
B7	VREFB7N4	PORSEL		PORSEL	AP7	AL2												
B7	VREFB7N4	nIO_PULLUP		nIO_PULLUP	AT5	AK3												
B7	VREFB7N4	PLL_ENA		PLL_ENA	AV4	AF8												
		GND			AW3	AF9												
B7	VREFB7N4	nCEO		nCEO	AT6	AL3												
		VCCD_PLL9			AK11	AE8												
		VCCA_PLL9			AJ11	AE7												



Bank Number	VREF Group (Note 4)	Pin Name/Function	Optional Function(s)/ DQ group for DQS x4 Mode	Configuration Function	F1508	F1020	x8/x9 Mode	x16/x18 Mode	x32/x36 Mode	x5 Mode (Note 2)				x4 Mode (Note 3)				
										DQ group for DQS mode	DQ group for DQS mode	DQ group for DQS mode	DQ group for non-DQS mode (non-migratable)	DQ group for non-DQS mode (non-migratable)	DQ group for non-DQS mode (migratable) F1508	DQ group for non-DQS mode (migratable) F1020	DQ group for non-DQS mode (non-migratable)	DQ group for non-DQS mode (migratable) F1508
		GND_A_PLL9			AK10	AF7												
		GND_B_PLL9			AL10	AG7												
B6	VREFB6N0	FPLL9CLKp	INPUT		AU1	AJ3												
B6	VREFB6N0	FPLL9CLKn	INPUT		AU2	AJ4												
B6	VREFB6N0	IO	DIFFIO_TX171n		AM9													
B6	VREFB6N0	IO	DIFFIO_TX171p		AM8													
B6	VREFB6N0	IO	DIFFIO_TX170n		AL9													
B6	VREFB6N0	IO	DIFFIO_TX170p		AL8													
B6	VREFB6N0	IO	DIFFIO_RX170n		AP6													
B6	VREFB6N0	IO	DIFFIO_RX170p		AP5													
B6	VREFB6N0	IO	DIFFIO_TX169n		AK9													
B6	VREFB6N0	IO	DIFFIO_TX169p		AK8													
B6	VREFB6N0	IO	DIFFIO_RX169n		AT4													
B6	VREFB6N0	IO	DIFFIO_RX169p		AT3													
B6	VREFB6N0	VREFB6N0	VREFB6N0		AT2	AG5												
B6	VREFB6N0	IO	DIFFIO_TX168n		AN7													
B6	VREFB6N0	IO	DIFFIO_TX168p		AN6													
B6	VREFB6N0	IO	DIFFIO_RX168n		AR4													
B6	VREFB6N0	IO	DIFFIO_RX168p		AR3													
B6	VREFB6N0	IO	DIFFIO_TX167n		AR6													
B6	VREFB6N0	IO	DIFFIO_TX167p		AR5													
B6	VREFB6N0	IO	DIFFIO_RX167n		AU4													
B6	VREFB6N0	IO	DIFFIO_RX167p		AU3													
B6	VREFB6N0	IO	DIFFIO_TX166n		AJ10													
B6	VREFB6N0	IO	DIFFIO_TX166p		AJ9													
B6	VREFB6N0	IO	DIFFIO_RX166n		AM6													
B6	VREFB6N0	IO	DIFFIO_RX166p		AM5													
B6	VREFB6N0	IO	DIFFIO_TX165n		AJ8													
B6	VREFB6N0	IO	DIFFIO_TX165p		AJ7													
B6	VREFB6N0	IO	DIFFIO_RX165n		AP4													
B6	VREFB6N0	IO	DIFFIO_RX165p		AP3													
B6	VREFB6N1	IO	DIFFIO_TX164n		AH8													
B6	VREFB6N1	IO	DIFFIO_TX164p		AH7													
B6	VREFB6N1	IO	DIFFIO_RX164n		AV3													
B6	VREFB6N1	IO	DIFFIO_RX164p		AV2													
B6	VREFB6N1	IO	DIFFIO_TX163n		AH10													
B6	VREFB6N1	IO	DIFFIO_TX163p		AH9													
B6	VREFB6N1	IO	DIFFIO_RX163n		AL6													
B6	VREFB6N1	IO	DIFFIO_RX163p		AL5													
B6	VREFB6N1	IO	DIFFIO_TX162n		AH12													



Bank Number	VREF Group (Note 4)	Pin Name/Function	Optional Function(s)/ DQ group for DQS x4 Mode	Configuration Function	F1508	F1020	x5 Mode (Note 2)					x4 Mode (Note 3)						
							DQ group for DQS mode	DQ group for DQS mode	DQ group for DQS mode	DQ group for non-DQS mode (non-migratable)	DQ group for non-DQS mode (non-migratable) F1508	DQ group for non-DQS mode (migratable) F1020	DQ group for non-DQS mode (non-migratable)	DQ group for non-DQS mode (non-migratable)	DQ group for non-DQS mode (migratable) F1508	DQ group for non-DQS mode (migratable) F1020		
B6	VREFB6N1	IO	DIFFIO_TX162p		AH11						DQS53R				DQS62R			
B6	VREFB6N1	IO	DIFFIO_RX162n		AN4						DQ25R2				DQ29R2			
B6	VREFB6N1	IO	DIFFIO_RX162p		AN3						DQS25R				DQS29R			
B6	VREFB6N1	IO	DIFFIO_TX161n		AG13						DQ53R1				DQ62R1			
B6	VREFB6N1	IO	DIFFIO_TX161p		AG12						DQ53R0				DQ62R0			
B6	VREFB6N1	IO	DIFFIO_RX161n		AK6						DQ25R1				DQ29R1			
B6	VREFB6N1	IO	DIFFIO_RX161p		AK5						DQ25R0				DQ29R0			
B6	VREFB6N1	IO	DIFFIO_TX160n		AF13						DM52R				DQ61R3			
B6	VREFB6N1	IO	DIFFIO_TX160p		AF12						DQ52R3				DQ61R2			
B6	VREFB6N1	IO	DIFFIO_RX160n		AM4						DM24R				DQ28R3			
B6	VREFB6N1	IO	DIFFIO_RX160p		AM3						DQ24R3				DQ28R2			
B6	VREFB6N1	VREFB6N1	VREFB6N1		AN5	AF6												
B6	VREFB6N1	IO	DIFFIO_TX159n		AG11						DQ52R2				DQS61R			
B6	VREFB6N1	IO	DIFFIO_TX159p		AG10						DQS52R				DQ61R1			
B6	VREFB6N1	IO	DIFFIO_RX159n		AR2						DQ24R2				DQS28R			
B6	VREFB6N1	IO	DIFFIO_RX159p		AR1						DQS24R				DQ28R1			
B6	VREFB6N1	IO	DIFFIO_TX158n		AG9						DQ52R1				DQ61R0			
B6	VREFB6N1	IO	DIFFIO_TX158p		AG8						DQ52R0				DQ60R3			
B6	VREFB6N1	IO	DIFFIO_RX158n		AJ6						DQ24R1				DQ28R0			
B6	VREFB6N1	IO	DIFFIO_RX158p		AJ5						DQ24R0				DQ27R3			
B6	VREFB6N1	IO	DIFFIO_TX157n		AE14						DM51R				DQ60R2			
B6	VREFB6N1	IO	DIFFIO_TX157p		AE13						DQ51R3				DQS60R			
B6	VREFB6N1	IO	DIFFIO_RX157n		AP2						DM23R				DQ27R2			
B6	VREFB6N1	IO	DIFFIO_RX157p		AP1						DQ23R3				DQS27R			
B6	VREFB6N1	IO	DIFFIO_TX156n		AD14						DQ51R2				DQ60R1			
B6	VREFB6N1	IO	DIFFIO_TX156p		AD13						DQS51R				DQ60R0			
B6	VREFB6N1	IO	DIFFIO_RX156n		AN2						DQ23R2				DQ27R1			
B6	VREFB6N1	IO	DIFFIO_RX156p		AN1						DQS23R				DQ27R0			
B6	VREFB6N2	IO	DIFFIO_TX155n		AF11						DQ51R1				DQ59R3			
B6	VREFB6N2	IO	DIFFIO_TX155p		AF10						DQ51R0				DQ59R2			
B6	VREFB6N2	IO	DIFFIO_RX155n		AG7						DQ23R1				DQ26R3			
B6	VREFB6N2	IO	DIFFIO_RX155p		AG6						DQ23R0				DQ26R2			
B6	VREFB6N2	IO	DIFFIO_TX154n		AE12						DM50R				DQS59R			
B6	VREFB6N2	IO	DIFFIO_TX154p		AE11						DQ50R3				DQ59R1			
B6	VREFB6N2	IO	DIFFIO_RX154n		AH6						DM22R				DQS26R			
B6	VREFB6N2	IO	DIFFIO_RX154p		AH5						DQ22R3				DQ26R1			
B6	VREFB6N2	IO	DIFFIO_TX153n		AF6						DQ50R2				DQ59R0			
B6	VREFB6N2	IO	DIFFIO_TX153p		AF5						DQS50R				DQ58R3			
B6	VREFB6N2	IO	DIFFIO_RX153n		AK4						DQ22R2				DQ26R0			
B6	VREFB6N2	IO	DIFFIO_RX153p		AK3						DQS22R				DQ25R3			



Pin Information for the Stratix® II EP2S180 Device
Version 2.2
(Note 1)

Bank Number	VREF Group (Note 4)	Pin Name/Function	Optional Function(s)/ DQ group for DQS x4 Mode	Configuration Function	F1508	F1020	x8/x9 Mode	x16/x18 Mode	x32/x36 Mode	x5 Mode (Note 2)					x4 Mode (Note 3)					
										DQ group for DQS mode	DQ group for DQS mode	DQ group for DQS mode	DQ group for non-DQS mode (non-migratable)	DQ group for non-DQS mode (non-migratable)	DQ group for non-DQS mode (migratable) F1508	DQ group for non-DQS mode (migratable) F1020	DQ group for non-DQS mode (non-migratable)	DQ group for non-DQS mode (non-migratable)	DQ group for non-DQS mode (migratable) F1508	DQ group for non-DQS mode (migratable) F1020
B6	VREFB6N2	IO	DIFFIO_TX152n		AF8	AD7					DQ50R1			DM23R	DM23R	DQ58R2			DQ22R1	DQ22R1
B6	VREFB6N2	IO	DIFFIO_TX152p		AF7	AD6					DQ50R0			DQ23R3	DQ23R3	DQ55R8			DQ22R0	DQ22R0
B6	VREFB6N2	IO	DIFFIO_RX152n		AL4	AH4					DQ22R1			DQ25R1	DQ25R1	DQ25R2			DQ13R3	DQ13R3
B6	VREFB6N2	IO	DIFFIO_RX152p		AL3	AH3					DQ22R0			DQ25R0	DQ25R0	DQ25R2			DQ13R2	DQ13R2
B6	VREFB6N2	IO	DIFFIO_TX151n		AE6	AD9					DM49R	DM49R				DQ58R1				
B6	VREFB6N2	IO	DIFFIO_TX151p		AE5	AD8					DQ49R3	DQ49R3				DQ58R0				
B6	VREFB6N2	IO	DIFFIO_RX151n		AJ4	AG4					DM21R	DM21R	DQ11R2	DQ11R2		DQ25R1			DQ13R0	DQ13R0
B6	VREFB6N2	IO	DIFFIO_RX151p		AJ3	AG3					DQ21R3	DQ21R3	DQS11R	DQS11R		DQ25R0			DQ12R3	DQ12R3
B6	VREFB6N2	VREFB6N2	VREFB6N2		AL7	AF5														
B6	VREFB6N2	IO	DIFFIO_TX150n		AE8	AC7					DQ49R2	DQ49R2	DQ24R2	DQ24R2		DQ57R3	DQ57R3	DQ23R0	DQ23R0	
B6	VREFB6N2	IO	DIFFIO_TX150p		AE7	AC6					DQS49R	DQS49R	DQS24R	DQS24R		DQ57R2	DQ57R2	DQ22R3	DQ22R3	
B6	VREFB6N2	IO	DIFFIO_RX150n		AM2	AJ2					DQ21R2	DQ21R2	DM25R	DM25R		DQ24R3	DQ24R3			
B6	VREFB6N2	IO	DIFFIO_RX150p		AM1	AJ1					DQS21R	DQS21R	DQ25R3	DQ25R3		DQ24R2	DQ24R2			
B6	VREFB6N2	IO	DIFFIO_TX149n		AE10	AC9					DQ49R1	DQ49R1				DQS57R	DQS57R			
B6	VREFB6N2	IO	DIFFIO_TX149p		AE9	AC8					DQ49R0	DQ49R0				DQ57R1	DQ57R1			
B6	VREFB6N2	IO	DIFFIO_RX149n		AH4	AE6					DQ21R1	DQ21R1				DQS24R	DQS24R			
B6	VREFB6N2	IO	DIFFIO_RX149p		AH3	AE5					DQ21R0	DQ21R0				DQ24R1	DQ24R1			
B6	VREFB6N2	IO	DIFFIO_TX148n		AD7	AB8					DM48R	DM48R	DM24R	DM24R		DQ57R0	DQ57R0	DQS23R	DQS23R	
B6	VREFB6N2	IO	DIFFIO_TX148p		AD6	AB7					DQ48R3	DQ48R3	DQ24R3	DQ24R3		DQ56R3	DQ56R3	DQ23R1	DQ23R1	
B6	VREFB6N2	IO	DIFFIO_RX148n		AL2	AH2					DM20R	DM20R	DM11R	DM11R		DQ24R0	DQ24R0	DQS13R	DQS13R	
B6	VREFB6N2	IO	DIFFIO_RX148p		AL1	AH1					DQ20R3	DQ20R3	DQ11R3	DQ11R3		DQ23R3	DQ23R3	DQ13R1	DQ13R1	
B6	VREFB6N2	IO	DIFFIO_TX147n		AD12	AB10					DQ48R2	DQ48R2	DQ25R2	DQ25R2		DQ56R2	DQ56R2	DQ23R3	DQ23R3	
B6	VREFB6N2	IO	DIFFIO_TX147p		AD11	AB9					DQS48R	DQS48R	DQS25R	DQS25R		DQ55R6	DQ55R6	DQ23R2	DQ23R2	
B6	VREFB6N2	IO	DIFFIO_RX147n		AG4	AF4					DQ20R2	DQ20R2	DM10R	DM10R		DQ23R2	DQ23R2	DQ12R1	DQ12R1	
B6	VREFB6N2	IO	DIFFIO_RX147p		AG3	AF3					DQS20R	DQS20R	DQ10R3	DQ10R3		DQS23R	DQS23R	DQ12R0	DQ12R0	
B6	VREFB6N3	IO	DIFFIO_TX146n		AD9	AB6					DQ48R1	DQ48R1	DM22R	DM22R		DQ56R1	DQ56R1	DQ21R0	DQ21R0	
B6	VREFB6N3	IO	DIFFIO_TX146p		AD8	AB5					DQ48R0	DQ48R0	DQ22R3	DQ22R3		DQ56R0	DQ56R0	DQ20R3	DQ20R3	
B6	VREFB6N3	IO	DIFFIO_RX146n		AK2	AG2					DQ20R1	DQ20R1	DQ11R1	DQ11R1		DQ23R1	DQ23R1	DQ12R2	DQ12R2	
B6	VREFB6N3	IO	DIFFIO_RX146p		AK1	AG1					DQ20R0	DQ20R0	DQ11R0	DQ11R0		DQ23R0	DQ23R0	DQS12R	DQS12R	
B6	VREFB6N3	IO	DIFFIO_TX145n		AC7	AA9					DM47R	DM47R	DQ24R1	DQ24R1		DQ55R3	DQ55R3	DQ22R2	DQ22R2	
B6	VREFB6N3	IO	DIFFIO_TX145p		AC6	AA8					DQ47R3	DQ47R3	DQ24R0	DQ24R0		DQ55R2	DQ55R2	DQS22R	DQS22R	
B6	VREFB6N3	IO	DIFFIO_RX145n		AJ2	AD4					DM19R	DM19R				DQ22R3	DQ22R3			
B6	VREFB6N3	IO	DIFFIO_RX145p		AJ1	AD3					DQ19R3	DQ19R3				DQ22R2	DQ22R2			
B6	VREFB6N3	IO	DIFFIO_TX144n		AC13	AA11					DQ47R2	DQ47R2	DQ23R1	DQ23R1		DQS55R	DQS55R	DQS21R	DQS21R	
B6	VREFB6N3	IO	DIFFIO_TX144p		AC12	AA10					DQS47R	DQS47R	DQ23R0	DQ23R0		DQS55R1	DQS55R1	DQ21R1	DQ21R1	
B6	VREFB6N3	IO	DIFFIO_RX144n		AF4	AF2					DQ19R2	DQ19R2	DQ10R2	DQ10R2		DQS22R	DQS22R	DQ11R3	DQ11R3	
B6	VREFB6N3	IO	DIFFIO_RX144p		AF3	AF1					DQS19R	DQS19R	DQS10R	DQS10R		DQ22R1	DQ22R1	DQ11R2	DQ11R2	
B6	VREFB6N3	IO	DIFFIO_TX143n		AC9	Y11					DQ47R1	DQ47R1	DQ22R2	DQ22R2		DQ55R0	DQ55R0	DQ20R2	DQ20R2	
B6	VREFB6N3	IO	DIFFIO_TX143p		AC8	Y10					DQ47R0	DQ47R0	DQS22R	DQS22R		DQ54R3	DQ54R3	DQS20R	DQS20R	
B6	VREFB6N3	IO	DIFFIO_RX143n		AH2	AE4					DQ19R1	DQ19R1	DQ10R1	DQ10R1		DQ22R0	DQ22R0	DQS11R	DQS11R	



Pin Information for the Stratix® II EP2S180 Device
Version 2.2
(Note 1)

Bank Number	VREF Group (Note 4)	Pin Name/Function	Optional Function(s)/ DQ group for DQS x4 Mode	Configuration Function	F1508	F1020	x8/x9 Mode	x16/x18 Mode	x32/x36 Mode	x5 Mode (Note 2)					x4 Mode (Note 3)			
										DQ group for DQS mode	DQ group for DQS mode	DQ group for DQS mode	DQ group for non-DQS mode (non-migratable)	DQ group for non-DQS mode (non-migratable)	DQ group for non-DQS mode (migratable) F1508	DQ group for non-DQS mode (migratable) F1020	DQ group for non-DQS mode (non-migratable)	DQ group for non-DQS mode (non-migratable)
B6	VREFB6N3	IO	DIFFIO_RX143p		AH1	AE3				DQ19R0	DQ19R0	DQ10R0	DQ10R0	DQ21R3	DQ21R3	DQ11R1	DQ11R1	
B6	VREFB6N3	IO	DIFFIO_TX142n		AC11	AA7				DM46R	DM46R	DQ23R2	DQ23R2	DQ54R2	DQ54R2	DQ21R3	DQ21R3	
B6	VREFB6N3	IO	DIFFIO_TX142p		AC10	AA6				DQ46R3	DQ46R3	DQS23R	DQS23R	DQS54R	DQS54R	DQ21R2	DQ21R2	
B6	VREFB6N3	IO	DIFFIO_RX142n		AG2	AE2				DM18R	DM18R	DM9R	DM9R	DQ21R2	DQ21R2	DQ11R0	DQ11R0	
B6	VREFB6N3	IO	DIFFIO_RX142p		AG1	AE1				DQ18R3	DQ18R3	DQ9R3	DQ9R3	DQS21R	DQS21R	DQ10R3	DQ10R3	
B6	VREFB6N3	VREFB6N3	VREFB6N3		AG5	AD5												
B6	VREFB6N3	IO	DIFFIO_TX141n		AB13	W11				DQ46R2	DQ46R2			DQ54R1	DQ54R1			
B6	VREFB6N3	IO	DIFFIO_TX141p		AB12	W10				DQS46R	DQS46R			DQ54R0	DQ54R0			
B6	VREFB6N3	IO	DIFFIO_RX141n		AF2	AD2				DQ18R2	DQ18R2	DQ9R2	DQ9R2	DQ21R1	DQ21R1	DQ10R2	DQ10R2	
B6	VREFB6N3	IO	DIFFIO_RX141p		AF1	AD1				DQS18R	DQS18R	DQS9R	DQS9R	DQ21R0	DQ21R0	DQS10R	DQS10R	
B6	VREFB6N3	IO	DIFFIO_TX140n		AB7	Y9				DQ46R1	DQ46R1	DQ22R1	DQ22R1	DQ53R3	DQ53R3	DQ20R1	DQ20R1	
B6	VREFB6N3	IO	DIFFIO_TX140p		AB6	Y8				DQ46R0	DQ46R0	DQ22R0	DQ22R0	DQ53R2	DQ53R2	DQ20R0	DQ20R0	
B6	VREFB6N3	IO	DIFFIO_RX140n		AD5	AC4				DQ18R1	DQ18R1	DQ9R1	DQ9R1	DQ20R3	DQ20R3	DQ10R1	DQ10R1	
B6	VREFB6N3	IO	DIFFIO_RX140p		AD4	AC3				DQ18R0	DQ18R0	DQ9R0	DQ9R0	DQ20R2	DQ20R2	DQ10R0	DQ10R0	
B6	VREFB6N3	IO	DIFFIO_TX139n		AB9	Y7				DM45R	DM45R	DM21R	DM21R	DQS53R	DQS53R			
B6	VREFB6N3	IO	DIFFIO_TX139p		AB8	Y6				DQ45R3	DQ45R3	DQ21R3	DQ21R3	DQ53R1	DQ53R1			
B6	VREFB6N3	IO	DIFFIO_RX139n		AE4	AC2				DM17R	DM17R	DM8R	DM8R	DQS20R	DQS20R			
B6	VREFB6N3	IO	DIFFIO_RX139p		AE3	AC1				DQ17R3	DQ17R3	DQ8R3	DQ8R3	DQ20R1	DQ20R1			
B6	VREFB6N3	IO	DIFFIO_TX138n		AA8	W5				DQ45R2	DQ45R2	DQ21R2	DQ21R2	DQ53R0	DQ53R0			
B6	VREFB6N3	IO	DIFFIO_TX138p		AA7	W4				DQS45R	DQS45R	DQS21R	DQS21R	DQ52R3	DQ52R3			
B6	VREFB6N3	IO	DIFFIO_RX138n		AC4	AB4				DQ17R2	DQ17R2	DQ8R2	DQ8R2	DQ20R0	DQ20R0			
B6	VREFB6N3	IO	DIFFIO_RX138p		AC3	AB3				DQS17R	DQS17R	DQS8R	DQS8R	DQ19R3	DQ19R3			
B6	VREFB6N4	IO	DIFFIO_TX137n		AB11	W7				DQ45R1	DQ45R1	DQ21R1	DQ21R1	DQ52R2	DQ52R2			
B6	VREFB6N4	IO	DIFFIO_TX137p		AB10	W6				DQ45R0	DQ45R0	DQ21R0	DQ21R0	DQS52R	DQS52R			
B6	VREFB6N4	IO	DIFFIO_RX137n		AD3	AB2				DQ17R1	DQ17R1	DQ8R1	DQ8R1	DQ19R2	DQ19R2			
B6	VREFB6N4	IO	DIFFIO_RX137p		AD2	AB1				DQ17R0	DQ17R0	DQ8R0	DQ8R0	DQS19R	DQS19R			
B6	VREFB6N4	IO	DIFFIO_TX136n		AA14	W9				DM44R	DM44R	DM20R	DM20R	DQ52R1	DQ52R1			
B6	VREFB6N4	IO	DIFFIO_TX136p		AA13	W8				DQ44R3	DQ44R3	DQ20R3	DQ20R3	DQ52R0	DQ52R0			
B6	VREFB6N4	IO	DIFFIO_RX136n		AE2	Y5				DM16R	DM16R	DM7R	DM7R	DQ19R1	DQ19R1			
B6	VREFB6N4	IO	DIFFIO_RX136p		AE1	Y4				DQ16R3	DQ16R3	DQ7R3	DQ7R3	DQ19R0	DQ19R0			
B6	VREFB6N4	IO	DIFFIO_TX135n		Y6	V5				DQ44R2	DQ44R2	DQ20R2	DQ20R2	DQ51R3	DQ51R3			
B6	VREFB6N4	IO	DIFFIO_TX135p		Y5	V4				DQS44R	DQS44R	DQS20R	DQS20R	DQ51R2	DQ51R2			
B6	VREFB6N4	IO	DIFFIO_RX135n		AB5	AA4				DQ16R2	DQ16R2	DQ7R2	DQ7R2	DQ18R3	DQ18R3	DQ9R3	DQ9R3	
B6	VREFB6N4	IO	DIFFIO_RX135p		AB4	AA3				DQS16R	DQS16R	DQS7R	DQS7R	DQ18R2	DQ18R2	DQ9R2	DQ9R2	
B6	VREFB6N4	IO	DIFFIO_TX134n		Y8	V7				DQ44R1	DQ44R1	DQ20R1	DQ20R1	DQS51R	DQS51R			
B6	VREFB6N4	IO	DIFFIO_TX134p		Y7	V6				DQ44R0	DQ44R0	DQ20R0	DQ20R0	DQ51R1	DQ51R1			
B6	VREFB6N4	IO	DIFFIO_RX134n		AC2	AA2				DQ16R1	DQ16R1	DQ7R1	DQ7R1	DQS18R	DQS18R	DQS9R	DQS9R	
B6	VREFB6N4	IO	DIFFIO_RX134p		AC1	AA1				DQ16R0	DQ16R0	DQ7R0	DQ7R0	DQ18R1	DQ18R1	DQ9R1	DQ9R1	
B6	VREFB6N4	VREFB6N4	VREFB6N4		AA6	W3												
B6	VREFB6N4	IO	DIFFIO_TX133n		AA10	V10				DM43R	DM43R	DM19R	DM19R	DQ51R0	DQ51R0			



Pin Information for the Stratix® II EP2S180 Device
Version 2.2
(Note 1)

Bank Number	VREF Group (Note 4)	Pin Name/Function	Optional Function(s)/ DQ group for DQS x4 Mode	Configuration Function	F1508	F1020	x8/x9 Mode	x16/x18 Mode	x32/x36 Mode	x5 Mode (Note 2)					x4 Mode (Note 3)					
										DQ group for DQS mode	DQ group for DQS mode	DQ group for DQS mode	DQ group for non-DQS mode (non-migratable)	DQ group for non-DQS mode (non-migratable)	DQ group for non-DQS mode (migratable) F1508	DQ group for non-DQS mode (migratable) F1020	DQ group for non-DQS mode (non-migratable)	DQ group for non-DQS mode (non-migratable)	DQ group for non-DQS mode (migratable) F1508	DQ group for non-DQS mode (migratable) F1020
B6	VREFB6N4	IO	DIFFIO_TX133p		AA9	V9					DQ43R3	DQ43R3	DQ19R3	DQ19R3	DQ50R3	DQ50R3				
B6	VREFB6N4	IO	DIFFIO_RX133n		AB3	Y3					DM15R	DM15R	DM6R	DM6R	DQ18R0	DQ18R0	DQ9R0	DQ9R0		
B6	VREFB6N4	IO	DIFFIO_RX133p		AB2	Y2					DQ15R3	DQ15R3	DQ6R3	DQ6R3	DQ17R3	DQ17R3	DQ8R3	DQ8R3		
B6	VREFB6N4	IO	DIFFIO_TX132n		AA12	U11					DQ43R2	DQ43R2	DQ19R2	DQ19R2	DQ50R2	DQ50R2				
B6	VREFB6N4	IO	DIFFIO_TX132p		AA11	U10					DQS43R	DQS43R	DQS19R	DQS19R	DQS50R	DQS50R				
B6	VREFB6N4	IO	DIFFIO_RX132n		AA4	W2					DQ15R2	DQ15R2	DQ6R2	DQ6R2	DQ17R2	DQ17R2	DQ8R2	DQ8R2		
B6	VREFB6N4	IO	DIFFIO_RX132p		AA3	W1					DQS15R	DQS15R	DQS6R	DQS6R	DQS17R	DQS17R	DQS8R	DQS8R		
B6	VREFB6N4	IO	DIFFIO_TX131n		Y14	U6					DQ43R1	DQ43R1	DQ19R1	DQ19R1	DQ50R1	DQ50R1				
B6	VREFB6N4	IO	DIFFIO_TX131p		Y13	U5					DQ43R0	DQ43R0	DQ19R0	DQ19R0	DQ50R0	DQ50R0				
B6	VREFB6N4	IO	DIFFIO_RX131n		AA2	V3					DQ15R1	DQ15R1	DQ6R1	DQ6R1	DQ17R1	DQ17R1	DQ8R1	DQ8R1		
B6	VREFB6N4	IO	DIFFIO_RX131p		AA1	V2					DQ15R0	DQ15R0	DQ6R0	DQ6R0	DQ17R0	DQ17R0	DQ8R0	DQ8R0		
B6	VREFB6N4	CLK9n	INPUT		Y4	U4														
B6	VREFB6N4	CLK9p	INPUT		Y3	U3														
B6	VREFB6N4	IO	CLK8n/DIFFIO_RX_C2n		Y2	U2														
B6	VREFB6N4	IO	CLK8p/DIFFIO_RX_C2p		Y1	U1														
			VCCD_PLL3		Y10	U7														
			VCCA_PLL3		W11	U9														
			GND_A_PLL3		Y11	U8														
			GND_A_PLL3		Y12	V8														
			GND_A_PLL4		V10	R8														
			GND_A_PLL4		V11	T8														
			VCCA_PLL4		W9	R9														
			VCCD_PLL4		W10	T9														
B5	VREFB5N0	CLK11p	INPUT		W3	T3														
B5	VREFB5N0	CLK11n	INPUT		W4	T4														
B5	VREFB5N0	IO	CLK10p/DIFFIO_RX_C3p		W1	T1														
B5	VREFB5N0	IO	CLK10n/DIFFIO_RX_C3n		W2	T2														
B5	VREFB5N0	IO	DIFFIO_TX130n		W8	T11					DM14R	DM14R	DM18R	DM18R			DQ19R3	DQ19R3		
B5	VREFB5N0	IO	DIFFIO_TX130p		W7	T10					DQ14R3	DQ14R3	DQ18R3	DQ18R3			DQ19R2	DQ19R2		
B5	VREFB5N0	IO	DIFFIO_RX130n		U2	P2					DQ14R2	DQ14R2	DQ18R2	DQ18R2			DQ7R3	DQ7R3		
B5	VREFB5N0	IO	DIFFIO_RX130p		U1	P1					DQS14R	DQS14R	DQS18R	DQS18R	DQ16R3	DQ16R3	DQ7R2	DQ7R2		
B5	VREFB5N0	IO	DIFFIO_TX129n		W13	T6					DQ14R1	DQ14R1	DQ18R1	DQ18R1			DQS19R	DQS19R		
B5	VREFB5N0	IO	DIFFIO_TX129p		W12	T5					DQ14R0	DQ14R0	DQ18R0	DQ18R0	DQ49R3	DQ49R3	DQ19R1	DQ19R1		
B5	VREFB5N0	IO	DIFFIO_RX129n		V3	R3					DM13R	DM13R	DM5R	DM5R	DQ16R2	DQ16R2	DQS7R	DQS7R		
B5	VREFB5N0	IO	DIFFIO_RX129p		V2	R2					DQ13R3	DQ13R3	DQ5R3	DQ5R3	DQS16R	DQS16R	DQ7R1	DQ7R1		
B5	VREFB5N0	IO	DIFFIO_TX128n		V7	R11					DM42R	DM42R	DM17R	DM17R	DQ49R2	DQ49R2	DQ19R0	DQ19R0		
B5	VREFB5N0	IO	DIFFIO_TX128p		V6	R10					DQ42R3	DQ42R3	DQ17R3	DQ17R3	DQS49R	DQS49R				
B5	VREFB5N0	IO	DIFFIO_RX128n		R2	M2					DQ13R2	DQ13R2	DQ5R2	DQ5R2	DQ16R1	DQ16R1	DQ7R0	DQ7R0		
B5	VREFB5N0	IO	DIFFIO_RX128p		R1	M1					DQS13R	DQS13R	DQS5R	DQS5R	DQ16R0	DQ16R0	DQ6R3	DQ6R3		
B5	VREFB5N0	IO	DIFFIO_TX127n		V9	R5					DQ42R2	DQ42R2	DQ17R2	DQ17R2	DQ49R1	DQ49R1				



Pin Information for the Stratix® II EP2S180 Device
Version 2.2
(Note 1)

Bank Number	VREF Group (Note 4)	Pin Name/Function	Optional Function(s)/ DQ group for DQS x4 Mode	Configuration Function	F1508	F1020	x8/x9 Mode	x16/x18 Mode	x32/x36 Mode	x5 Mode (Note 2)				x4 Mode (Note 3)			
										DQ group for DQS mode	DQ group for DQS mode	DQ group for DQS mode	DQ group for non-DQS mode (non-migratable)	DQ group for non-DQS mode (non-migratable)	DQ group for non-DQS mode (migratable) F1508	DQ group for non-DQS mode (migratable) F1020	DQ group for non-DQS mode (non-migratable)
B5	VREFB5N0	IO	DIFFIO_TX127p		V8	R4				DQS42R	DQS42R	DQS17R	DQS17R	DQ49R0	DQ49R0		
B5	VREFB5N0	IO	DIFFIO_RX127n		T3	N3				DQ13R1	DQ13R1	DQ5R1	DQ5R1	DQ15R3	DQ15R3	DQ6R2	DQ6R2
B5	VREFB5N0	IO	DIFFIO_RX127p		T2	N2				DQ13R0	DQ13R0	DQ5R0	DQ5R0	DQ15R2	DQ15R2	DQ6R2	DQ6R2
B5	VREFB5N0	VREFB5N0	VREFB5N0		W6	P3											
B5	VREFB5N0	IO	DIFFIO_TX126n		V13	R7				DQ42R1	DQ42R1	DQ17R1	DQ17R1	DQ48R3	DQ48R3		
B5	VREFB5N0	IO	DIFFIO_TX126p		V12	R6				DQ42R0	DQ42R0	DQ17R0	DQ17R0	DQ48R2	DQ48R2		
B5	VREFB5N0	IO	DIFFIO_RX126n		V5	L2				DM12R	DM12R	DM4R	DM4R	DQS15R	DQS15R	DQ6R1	DQ6R1
B5	VREFB5N0	IO	DIFFIO_RX126p		V4	L1				DQ12R3	DQ12R3	DQ4R3	DQ4R3	DQ15R1	DQ15R1	DQ6R0	DQ6R0
B5	VREFB5N0	IO	DIFFIO_TX125n		U13	P11				DM41R	DM41R			DQS48R	DQS48R		
B5	VREFB5N0	IO	DIFFIO_TX125p		U12	P10				DQ41R3	DQ41R3			DQ48R1	DQ48R1		
B5	VREFB5N0	IO	DIFFIO_RX125n		U4	M4				DQ12R2	DQ12R2	DQ4R2	DQ4R2	DQ15R0	DQ15R0	DQ5R3	DQ5R3
B5	VREFB5N0	IO	DIFFIO_RX125p		U3	M3				DQS12R	DQS12R	DQS4R	DQS4R	DQ14R3	DQ14R3	DQ5R2	DQ5R2
B5	VREFB5N0	IO	DIFFIO_TX124n		U11	P5				DQ41R2	DQ41R2			DQ48R0	DQ48R0		
B5	VREFB5N0	IO	DIFFIO_TX124p		U10	P4				DQS41R	DQS41R			DQ47R3	DQ47R3		
B5	VREFB5N0	IO	DIFFIO_RX124n		P2	N5				DQ12R1	DQ12R1	DQ4R1	DQ4R1	DQ14R2	DQ14R2	DQS5R	DQS5R
B5	VREFB5N0	IO	DIFFIO_RX124p		P1	N4				DQ12R0	DQ12R0	DQ4R0	DQ4R0	DQS14R	DQS14R	DQ5R1	DQ5R1
B5	VREFB5N0	IO	DIFFIO_TX123n		U7	P7				DQ41R1	DQ41R1	DM16R	DM16R	DQ47R2	DQ47R2		
B5	VREFB5N0	IO	DIFFIO_TX123p		U6	P6				DQ41R0	DQ41R0	DQ16R3	DQ16R3	DQS47R	DQS47R		
B5	VREFB5N0	IO	DIFFIO_RX123n		P4	L4				DM11R	DM11R	DM3R	DM3R	DQ14R1	DQ14R1	DQ5R0	DQ5R0
B5	VREFB5N0	IO	DIFFIO_RX123p		P3	L3				DQ11R3	DQ11R3	DQ3R3	DQ3R3	DQ14R0	DQ14R0	DQ4R3	DQ4R3
B5	VREFB5N1	IO	DIFFIO_TX122n		U9	P9				DM40R	DM40R	DQ16R2	DQ16R2	DQ47R1	DQ47R1		
B5	VREFB5N1	IO	DIFFIO_TX122p		U8	P8				DQ40R3	DQ40R3	DQS16R	DQS16R	DQ47R0	DQ47R0	DQ18R3	DQ18R3
B5	VREFB5N1	IO	DIFFIO_RX122n		R4	K2				DQ11R2	DQ11R2	DQ3R2	DQ3R2	DQ13R3	DQ13R3	DQ4R2	DQ4R2
B5	VREFB5N1	IO	DIFFIO_RX122p		R3	K1				DQS11R	DQS11R	DQS3R	DQS3R	DQ13R2	DQ13R2	DQS4R	DQS4R
B5	VREFB5N1	IO	DIFFIO_TX121n		T7	N9				DQ40R2	DQ40R2	DQ16R1	DQ16R1	DQ46R3	DQ46R3	DQ18R2	DQ18R2
B5	VREFB5N1	IO	DIFFIO_TX121p		T6	N8				DQS40R	DQS40R	DQ16R0	DQ16R0	DQ46R2	DQ46R2	DQS18R	DQS18R
B5	VREFB5N1	IO	DIFFIO_RX121n		T5	K4				DQ11R1	DQ11R1	DQ3R1	DQ3R1	DQS13R	DQS13R	DQ4R1	DQ4R1
B5	VREFB5N1	IO	DIFFIO_RX121p		T4	K3				DQ11R0	DQ11R0	DQ3R0	DQ3R0	DQ13R1	DQ13R1	DQ4R0	DQ4R0
B5	VREFB5N1	IO	DIFFIO_TX120n		T13	N7				DQ40R1	DQ40R1	DM15R	DM15R	DQS46R	DQS46R	DQ18R1	DQ18R1
B5	VREFB5N1	IO	DIFFIO_TX120p		T12	N6				DQ40R0	DQ40R0	DQ15R3	DQ15R3	DQ46R1	DQ46R1	DQ18R0	DQ18R0
B5	VREFB5N1	IO	DIFFIO_RX120n		N2	J2				DM10R	DM10R	DM2R	DM2R	DQ13R0	DQ13R0	DQ3R3	DQ3R3
B5	VREFB5N1	IO	DIFFIO_RX120p		N1	J1				DQ10R3	DQ10R3	DQ2R3	DQ2R3	DQ12R3	DQ12R3	DQ3R2	DQ3R2
B5	VREFB5N1	IO	DIFFIO_TX119n		T11	M7				DM39R	DM39R	DQ15R2	DQ15R2	DQ46R0	DQ46R0	DQ17R3	DQ17R3
B5	VREFB5N1	IO	DIFFIO_TX119p		T10	M6				DQ39R3	DQ39R3	DQS15R	DQS15R	DQ45R3	DQ45R3	DQ17R2	DQ17R2
B5	VREFB5N1	IO	DIFFIO_RX119n		M2	H2				DQ10R2	DQ10R2	DQ2R2	DQ2R2	DQ12R2	DQ12R2	DQS3R	DQS3R
B5	VREFB5N1	IO	DIFFIO_RX119p		M1	H1				DQS10R	DQS10R	DQS2R	DQS2R	DQS12R	DQS12R	DQ3R1	DQ3R1
B5	VREFB5N1	IO	DIFFIO_TX118n		T9	N11				DQ39R2	DQ39R2			DQ45R2	DQ45R2		
B5	VREFB5N1	IO	DIFFIO_TX118p		T8	N10				DQS39R	DQS39R			DQS45R	DQS45R		
B5	VREFB5N1	IO	DIFFIO_RX118n		L2	J4				DQ10R1	DQ10R1	DQ2R1	DQ2R1	DQ12R1	DQ12R1	DQ3R0	DQ3R0
B5	VREFB5N1	IO	DIFFIO_RX118p		L1	J3				DQ10R0	DQ10R0	DQ2R0	DQ2R0	DQ12R0	DQ12R0	DQ2R3	DQ2R3



Pin Information for the Stratix® II EP2S180 Device
Version 2.2
(Note 1)

Bank Number	VREF Group (Note 4)	Pin Name/Function	Optional Function(s)/ DQ group for DQS x4 Mode	Configuration Function	F1508	F1020	x8/x9 Mode	x16/x18 Mode	x32/x36 Mode	x5 Mode (Note 2)						x4 Mode (Note 3)						
										DQ group for DQS mode	DQ group for DQS mode	DQ group for DQS mode	DQ group for non-DQS mode (non-migratable)	DQ group for non-DQS mode (non-migratable)	DQ group for non-DQS mode (migratable) F1508	DQ group for non-DQS mode (migratable) F1020	DQ group for non-DQS mode (non-migratable)	DQ group for non-DQS mode (non-migratable)	DQ group for non-DQS mode (migratable) F1508	DQ group for non-DQS mode (migratable) F1020		
B5	VREFB5N1	VREFB5N1	VREFB5N1		R5	J5																
B5	VREFB5N1	IO	DIFFIO_TX117n		R7	M11					DQ39R1	DQ39R1	DM14R	DM14R	DQ45R1	DQ45R1	DQ17R0	DQ17R0				
B5	VREFB5N1	IO	DIFFIO_TX117p		R6	M10					DQ39R0	DQ39R0	DQ14R3	DQ14R3	DQ45R0	DQ45R0	DQ16R3	DQ16R3				
B5	VREFB5N1	IO	DIFFIO_RX117n		K2	G2					DM9R	DM9R	DM1R	DM1R	DQ11R3	DQ11R3	DQ2R2	DQ2R2				
B5	VREFB5N1	IO	DIFFIO_RX117p		K1	G1					DQ9R3	DQ9R3	DQ1R3	DQ1R3	DQ11R2	DQ11R2	DQS2R	DQS2R				
B5	VREFB5N1	IO	DIFFIO_TX116n		P6	L6					DM38R	DM38R	DQ14R2	DQ14R2	DQ44R3	DQ44R3	DQ16R2	DQ16R2				
B5	VREFB5N1	IO	DIFFIO_TX116p		P5	L5					DQ38R3	DQ38R3	DQS14R	DQS14R	DQ44R2	DQ44R2	DQS16R	DQS16R				
B5	VREFB5N1	IO	DIFFIO_RX116n		N4	G4					DQ9R2	DQ9R2	DQ1R2	DQ1R2	DQS11R	DQS11R	DQ2R1	DQ2R1				
B5	VREFB5N1	IO	DIFFIO_RX116p		N3	G3					DQS9R	DQS9R	DQS1R	DQS1R	DQ11R1	DQ11R1	DQ2R0	DQ2R0				
B5	VREFB5N1	IO	DIFFIO_TX115n		R13	M9					DQ38R2	DQ38R2	DQ15R1	DQ15R1	DQS44R	DQS44R	DQS17R	DQS17R				
B5	VREFB5N1	IO	DIFFIO_TX115p		R12	M8					DQS38R	DQS38R	DQ15R0	DQ15R0	DQ44R1	DQ44R1	DQ17R1	DQ17R1				
B5	VREFB5N1	IO	DIFFIO_RX115n		J2	F2					DQ9R1	DQ9R1	DQ1R1	DQ1R1	DQ11R0	DQ11R0	DQ1R3	DQ1R3				
B5	VREFB5N1	IO	DIFFIO_RX115p		J1	F1					DQ9R0	DQ9R0	DQ1R0	DQ1R0	DQ10R3	DQ10R3	DQ1R2	DQ1R2				
B5	VREFB5N1	IO	DIFFIO_TX114n		R11	L10					DQ38R1	DQ38R1	DQ13R1	DQ13R1	DQ44R0	DQ44R0	DQS15R	DQS15R				
B5	VREFB5N1	IO	DIFFIO_TX114p		R10	L9					DQ38R0	DQ38R0	DQ13R0	DQ13R0	DQ43R3	DQ43R3	DQ15R1	DQ15R1				
B5	VREFB5N1	IO	DIFFIO_RX114n		H2	F4					DM8R	DM8R	DQ13R2	DQ13R2	DQ10R2	DQ10R2	DQS1R	DQS1R				
B5	VREFB5N1	IO	DIFFIO_RX114p		H1	F3					DQ8R3	DQ8R3	DQS13R	DQS13R	DQS10R	DQS10R	DQ1R1	DQ1R1				
B5	VREFB5N2	IO	DIFFIO_TX113n		R9	L8					DM37R	DM37R	DM13R	DM13R	DQ43R2	DQ43R2	DQ15R3	DQ15R3				
B5	VREFB5N2	IO	DIFFIO_TX113p		R8	L7					DQ37R3	DQ37R3	DQ13R3	DQ13R3	DQS43R	DQS43R	DQ15R2	DQ15R2				
B5	VREFB5N2	IO	DIFFIO_RX113n		M4	E2					DQ8R2	DQ8R2	DM0R	DM0R	DQ10R1	DQ10R1	DQ1R0	DQ1R0				
B5	VREFB5N2	IO	DIFFIO_RX113p		M3	E1					DQS8R	DQS8R	DQ0R3	DQ0R3	DQ10R0	DQ10R0	DQ0R3	DQ0R3				
B5	VREFB5N2	IO	DIFFIO_TX112n		N6	K9					DQ37R2	DQ37R2	DM12R	DM12R	DQ43R1	DQ43R1	DQ15R0	DQ15R0				
B5	VREFB5N2	IO	DIFFIO_TX112p		N5	K8					DQS37R	DQS37R	DQ12R3	DQ12R3	DQ43R0	DQ43R0	DQ14R3	DQ14R3				
B5	VREFB5N2	IO	DIFFIO_RX112n		K4	E4					DQ8R1	DQ8R1	DQ0R2	DQ0R2	DQ9R3	DQ9R3	DQ0R2	DQ0R2				
B5	VREFB5N2	IO	DIFFIO_RX112p		K3	E3					DQ8R0	DQ8R0	DQS0R	DQS0R	DQ9R2	DQ9R2	DQS0R	DQS0R				
B5	VREFB5N2	IO	DIFFIO_TX111n		P8	K7					DQ37R1	DQ37R1	DQ14R1	DQ14R1	DQ42R3	DQ42R3	DQ16R1	DQ16R1				
B5	VREFB5N2	IO	DIFFIO_TX111p		P7	K6					DQ37R0	DQ37R0	DQ14R0	DQ14R0	DQ42R2	DQ42R2	DQ16R0	DQ16R0				
B5	VREFB5N2	IO	DIFFIO_RX111n		L4	D2					DM7R	DM7R	DQ0R1	DQ0R1	DQS9R	DQS9R	DQ0R1	DQ0R1				
B5	VREFB5N2	IO	DIFFIO_RX111p		L3	D1					DQ7R3	DQ7R3	DQ0R0	DQ0R0	DQ9R1	DQ9R1	DQ0R0	DQ0R0				
B5	VREFB5N2	IO	DIFFIO_TX110n		P10	J9					DM36R		DQ12R2	DQ12R2	DQS42R	DQS42R	DQ14R2	DQ14R2				
B5	VREFB5N2	IO	DIFFIO_TX110p		P9	J8					DQ36R3		DQS12R	DQS12R	DQ42R1	DQ42R1	DQS14R	DQS14R				
B5	VREFB5N2	IO	DIFFIO_RX110n		G4	H4					DQ7R2	DQ7R2			DQ9R0	DQ9R0						
B5	VREFB5N2	IO	DIFFIO_RX110p		G3	H3					DQS7R	DQS7R			DQ8R3							
B5	VREFB5N2	IO	DIFFIO_TX109n		M6	J7					DQ36R2		DQ12R1	DQ12R1	DQ42R0	DQ42R0	DQ14R1	DQ14R1				
B5	VREFB5N2	IO	DIFFIO_TX109p		M5	J6					DQS36R		DQ12R0	DQ12R0	DQ41R3		DQ14R0	DQ14R0				
B5	VREFB5N2	IO	DIFFIO_RX109n		H4	G6					DQ7R1	DQ7R1			DQ8R2							
B5	VREFB5N2	IO	DIFFIO_RX109p		H3	G5					DQ7R0	DQ7R0			DQS8R							
B5	VREFB5N2	VREFB5N2	VREFB5N2		J5	H5																
B5	VREFB5N2	IO	DIFFIO_TX108n		N8						DQ36R1				DQ41R2							
B5	VREFB5N2	IO	DIFFIO_TX108p		N7						DQ36R0				DQS41R							



Bank Number	VREF Group (Note 4)	Pin Name/Function	Optional Function(s)/ DQ group for DQS x4 Mode	Configuration Function	F1508	F1020	x5 Mode (Note 2)					x4 Mode (Note 3)						
							DQ group for DQS mode	DQ group for DQS mode	DQ group for DQS mode	DQ group for non-DQS mode (non-migratable)	DQ group for non-DQS mode (non-migratable) F1508	DQ group for non-DQS mode (migratable) F1020	DQ group for non-DQS mode (non-migratable)	DQ group for non-DQS mode (migratable) F1508	DQ group for non-DQS mode (migratable) F1020			
B5	VREFB5N2	IO	DIFFIO_RX108n		J4						DM6R				DQ8R1			
B5	VREFB5N2	IO	DIFFIO_RX108p		J3						DQ6R3				DQ8R0			
B5	VREFB5N2	IO	DIFFIO_TX107n		P12						DM35R				DQ41R1			
B5	VREFB5N2	IO	DIFFIO_TX107p		P11						DQ35R3				DQ41R0			
B5	VREFB5N2	IO	DIFFIO_RX107n		G2						DQ6R2				DQ7R3			
B5	VREFB5N2	IO	DIFFIO_RX107p		G1						DQ56R				DQ7R2			
B5	VREFB5N2	IO	DIFFIO_TX106n		P14						DQ35R2				DQ40R3			
B5	VREFB5N2	IO	DIFFIO_TX106p		P13						DQ35R				DQ40R2			
B5	VREFB5N2	IO	DIFFIO_RX106n		L6						DQ6R1				DQ57R			
B5	VREFB5N2	IO	DIFFIO_RX106p		L5						DQ6R0				DQ7R1			
B5	VREFB5N2	IO	DIFFIO_TX105n		N12						DQ35R1				DQS40R			
B5	VREFB5N2	IO	DIFFIO_TX105p		N11						DQ35R0				DQ40R1			
B5	VREFB5N2	IO	DIFFIO_RX105n		F2						DM5R				DQ7R0			
B5	VREFB5N2	IO	DIFFIO_RX105p		F1						DQ5R3				DQ6R3			
B5	VREFB5N3	IO	DIFFIO_TX104n		N10						DM34R				DQ40R0			
B5	VREFB5N3	IO	DIFFIO_TX104p		N9						DQ34R3				DQ39R3			
B5	VREFB5N3	IO	DIFFIO_RX104n		E2						DQ5R2				DQ6R2			
B5	VREFB5N3	IO	DIFFIO_RX104p		E1						DQS5R				DQS6R			
B5	VREFB5N3	IO	DIFFIO_TX103n		M8						DQ34R2				DQ39R2			
B5	VREFB5N3	IO	DIFFIO_TX103p		M7						DQS34R				DQS39R			
B5	VREFB5N3	IO	DIFFIO_RX103n		K6						DQ5R1				DQ6R1			
B5	VREFB5N3	IO	DIFFIO_RX103p		K5						DQ5R0				DQ6R0			
B5	VREFB5N3	IO	DIFFIO_TX102n		M12						DQ34R1				DQ39R1			
B5	VREFB5N3	IO	DIFFIO_TX102p		M11						DQ34R0				DQ39R0			
B5	VREFB5N3	IO	DIFFIO_RX102n		F4						DM4R				DQ5R3			
B5	VREFB5N3	IO	DIFFIO_RX102p		F3						DQ4R3				DQ5R2			
B5	VREFB5N3	IO	DIFFIO_TX101n		E6						DM33R				DQ38R3			
B5	VREFB5N3	IO	DIFFIO_TX101p		E5						DQ33R3				DQ38R2			
B5	VREFB5N3	IO	DIFFIO_RX101n		E4						DQ4R2				DQS5R			
B5	VREFB5N3	IO	DIFFIO_RX101p		E3						DQS4R				DQ5R1			
B5	VREFB5N3	IO	DIFFIO_TX100n		M10						DQ33R2				DQS38R			
B5	VREFB5N3	IO	DIFFIO_TX100p		M9						DQS33R				DQ38R1			
B5	VREFB5N3	IO	DIFFIO_RX100n		H6						DQ4R1				DQ5R0			
B5	VREFB5N3	IO	DIFFIO_RX100p		H5						DQ4R0				DQ4R3			
B5	VREFB5N3	VREFB5N3	VREFB5N3		G7	H6												
B5	VREFB5N3	IO	DIFFIO_TX99n		L8						DQ33R1				DQ38R0			
B5	VREFB5N3	IO	DIFFIO_TX99p		L7						DQ33R0				DQ37R3			
B5	VREFB5N3	IO	DIFFIO_RX99n		G6						DM3R				DQ4R2			
B5	VREFB5N3	IO	DIFFIO_RX99p		G5						DQ3R3				DQS4R			
B5	VREFB5N3	IO	DIFFIO_TX98n		F6						DM32R				DQ37R2			



Bank Number	VREF Group (Note 4)	Pin Name/Function	Optional Function(s)/ DQ group for DQS x4 Mode	Configuration Function	F1508	F1020	x8/x9 Mode	x16/x18 Mode	x32/x36 Mode	x5 Mode (Note 2)				x4 Mode (Note 3)				
										DQ group for DQS mode	DQ group for DQS mode	DQ group for DQS mode	DQ group for non-DQS mode (non-migratable)	DQ group for non-DQS mode (non-migratable)	DQ group for non-DQS mode (migratable) F1508	DQ group for non-DQS mode (migratable) F1020	DQ group for non-DQS mode (non-migratable)	DQ group for non-DQS mode (non-migratable)
B5	VREFB5N3	IO	DIFFIO_TX98p		F5						DQ32R3				DQS37R			
B5	VREFB5N3	IO	DIFFIO_RX98n		J7						DQ3R2				DQ4R1			
B5	VREFB5N3	IO	DIFFIO_RX98p		J6						DQS3R				DQ4R0			
B5	VREFB5N3	IO	DIFFIO_TX97n		H9						DQ32R2				DQ37R1			
B5	VREFB5N3	IO	DIFFIO_TX97p		H8						DQS32R				DQ37R0			
B5	VREFB5N3	IO	DIFFIO_RX97n		B3						DQ3R1				DQ3R3			
B5	VREFB5N3	IO	DIFFIO_RX97p		B2						DQ3R0				DQ3R2			
B5	VREFB5N3	IO	DIFFIO_TX96n		K9						DQ32R1				DQ36R3			
B5	VREFB5N3	IO	DIFFIO_TX96p		K8						DQ32R0				DQ36R2			
B5	VREFB5N3	IO	DIFFIO_RX96n		D4										DQS3R			
B5	VREFB5N3	IO	DIFFIO_RX96p		D3										DQ3R1			
B5	VREFB5N4	IO	DIFFIO_TX95n		L10										DQS36R			
B5	VREFB5N4	IO	DIFFIO_TX95p		L9										DQ36R1			
B5	VREFB5N4	IO	DIFFIO_RX95n		C4										DQ3R0			
B5	VREFB5N4	IO	DIFFIO_RX95p		C3													
B5	VREFB5N4	IO	DIFFIO_TX94n		J9										DQ36R0			
B5	VREFB5N4	IO	DIFFIO_TX94p		J8													
B5	VREFB5N4	VREFB5N4	VREFB5N4		D2	F5												
B5	VREFB5N4	FPLL10CLKn	INPUT		C2	D4												
B5	VREFB5N4	FPLL10CLKp	INPUT		C1	D3												
		GND_A_PLL10			K10	G7												
		GND_B_PLL10			K11	G8												
		VCCA_PLL10			L11	H8												
		VCCD_PLL10			L12	H7												
		TEMPDIODEp			B4	G9												
		TEMPDIODEn			F7	B3												
B4	VREFB4N0	TDO		TDO	F8	C3												
B4	VREFB4N0	MSEL3		MSEL3	A3	H10												
B4	VREFB4N0	MSEL2		MSEL2	E7	J10												
B4	VREFB4N0	MSEL1		MSEL1	G9	F6												
B4	VREFB4N0	MSEL0		MSEL0	H10	B2												
B4	VREFB4N0	IO	RUP4		E8	L12												
B4	VREFB4N0	IO	RDN4		J11	K11												
B4	VREFB4N0	IO			E9													
B4	VREFB4N0	IO			N13						DM37T				DQ45T3			
B4	VREFB4N0	IO			F10						DQ37T3				DQ45T2			
B4	VREFB4N0	IO			M13						DQ37T2				DQS45T			
B4	VREFB4N0	IO			N14						DQS37T				DQ45T1			
B4	VREFB4N0	IO			F11	J11					DQ37T1				DQ45T0	DQ28T3		
B4	VREFB4N0	IO			H11						DQ37T0				DQ44T3			



Pin Information for the Stratix® II EP2S180 Device
Version 2.2
(Note 1)

Bank Number	VREF Group (Note 4)	Pin Name/Function	Optional Function(s)/ DQ group for DQS x4 Mode	Configuration Function	F1508	F1020	x8/x9 Mode	x16/x18 Mode	x32/x36 Mode	x5 Mode (Note 2)				x4 Mode (Note 3)						
										DQ group for DQS mode	DQ group for DQS mode	DQ group for DQS mode	DQ group for non-DQS mode (non-migratable)	DQ group for non-DQS mode (non-migratable)	DQ group for non-DQS mode (migratable) F1508	DQ group for non-DQS mode (migratable) F1020	DQ group for non-DQS mode (non-migratable)	DQ group for non-DQS mode (non-migratable)	DQ group for non-DQS mode (migratable) F1508	DQ group for non-DQS mode (migratable) F1020
B4	VREFB4N0	IO			P15						DM36T					DQ44T2				
B4	VREFB4N0	VREFB4N0	VREFB4N0		D5	C2														
B4	VREFB4N0	IO			G11	K12					DQ36T3					DQS44T	DQ28T2			
B4	VREFB4N0	IO			H12						DQ36T2					DQ44T1				
B4	VREFB4N0	IO			K12						DQS36T					DQ44T0				
B4	VREFB4N0	IO	DQS0T		C6	C4	DQS0T				DQ36T1	DM23T	DQS0T	DQS0T	DQ43T3	DQS28T	DQS0T	DQS0T		
B4	VREFB4N0	IO	DQ0T		B5	B4	DQ0T				DQ36T0	DQ23T3	DQ0T0	DQ0T0	DQ43T2	DQ28T1	DQ0T0	DQ0T0		
B4	VREFB4N0	IO	DQ0T		C5	D5	DQ0T				DM35T	DQ23T2	DQ0T1	DQ0T1	DQS43T	DQ28T0	DQ0T1	DQ0T1		
B4	VREFB4N0	IO	DQ0T		D6	E5	DQ0T				DQ35T3	DQS23T	DQ0T2	DQ0T2	DQ43T1	DQ27T3	DQ0T2	DQ0T2		
B4	VREFB4N0	IO	DQSn0T		B6	C5	DQSn0T				DQ35T2	DQ23T1	DQSn0T	DQSn0T	DQ43T0	DQ27T2	DQSn0T	DQSn0T		
B4	VREFB4N0	IO	DQ0T		A5	A4	DQ0T				DQS35T	DQ23T0	DQ0T3	DQ0T3	DQ42T3	DQS27T	DQ0T3	DQ0T3		
B4	VREFB4N0	IO			N15	L13					DQ35T1	DM22T			DQ42T2	DQ27T1				
B4	VREFB4N0	IO			L13						DQ35T0				DQS42T					
B4	VREFB4N0	IO			G12						DM34T				DQ42T1					
B4	VREFB4N0	IO			K13	J12					DQ34T3	DQ22T3			DQ42T0	DQ27T0				
B4	VREFB4N0	IO			M14						DQ34T2				DQ41T3					
B4	VREFB4N1	IO	DQS1T		C7	B5	DQVLD0T				DQS34T	DQ22T2	DQS1T	DQS1T	DQ41T2	DQ26T3	DQS1T	DQS1T		
B4	VREFB4N1	IO	DQ1T		A6	A5	DQ0T				DQ34T1	DQS22T	DQ1T0	DQ1T0	DQS41T	DQ26T2	DQ1T0	DQ1T0		
B4	VREFB4N1	IO	DQ1T		D7	D6	DQ0T				DQ34T0	DQ22T1	DQ1T1	DQ1T1	DQ41T1	DQS26T	DQ1T1	DQ1T1		
B4	VREFB4N1	IO	DQ1T		D8	C6	DQ0T				DM33T	DQ22T0	DQ1T2	DQ1T2	DQ41T0	DQ26T1	DQ1T2	DQ1T2		
B4	VREFB4N1	IO	DQSn1T		B7	B6	DQ0T				DQ33T3	DM21T	DQSn1T	DQSn1T	DQ40T3	DQ26T0	DQSn1T	DQSn1T		
B4	VREFB4N1	IO	DQ1T		A7	A6	DQ0T				DQ33T2	DQ21T3	DQ1T3	DQ1T3	DQ40T2	DQ25T3	DQ1T3	DQ1T3		
B4	VREFB4N1	IO			J12						DQS33T				DQS40T					
B4	VREFB4N1	IO			L14	H11					DQ33T1	DQ21T2			DQ40T1	DQ25T2				
B4	VREFB4N1	IO			G13						DQ33T0				DQ40T0					
B4	VREFB4N1	IO			H13	K13					DM32T	DQS21T			DQ39T3	DQS25T				
B4	VREFB4N1	IO			M15						DQ32T3				DQ39T2					
B4	VREFB4N1	IO			G14						DQ32T2				DQS39T					
B4	VREFB4N1	IO			H14	J13					DQS32T	DQ21T1			DQ39T1	DQ25T1				
B4	VREFB4N1	IO			N16						DQ32T1				DQ39T0					
B4	VREFB4N1	VREFB4N1	VREFB4N1		F9	H9														
B4	VREFB4N1	IO	DQS2T		B8	D7	DQS1T				DQ32T0	DQ21T0	DQS2T	DQS2T	DQ38T3	DQ25T0	DQS2T	DQS2T		
B4	VREFB4N1	IO	DQ2T		A8	B7	DQ1T	DQ0T	DQ0T		DM31T	DM20T	DQ2T0	DQ2T0	DQ38T2	DQ24T3	DQ2T0	DQ2T0		
B4	VREFB4N1	IO	DQ2T		C9	E7	DQ1T	DQ0T	DQ0T		DQ31T3	DQ20T3	DQ2T1	DQ2T1	DQS38T	DQ24T2	DQ2T1	DQ2T1		
B4	VREFB4N1	IO	DQ2T		C8	E6	DQ1T	DQ0T	DQ0T		DQ31T2	DQ20T2	DQ2T2	DQ2T2	DQ38T1	DQS24T	DQ2T2	DQ2T2		
B4	VREFB4N1	IO	DQSn2T		B9	C7	DQSn1T	DQ0T	DQ0T		DQS31T	DQS20T	DQSn2T	DQSn2T	DQ38T0	DQ24T1	DQSn2T	DQSn2T		
B4	VREFB4N1	IO	DQ2T		A9	A7	DQ1T	DQ0T	DQ0T		DQ31T1	DQ20T1	DQ2T3	DQ2T3	DQ37T3	DQ24T0	DQ2T3	DQ2T3		
B4	VREFB4N1	IO			J13						DQ31T0				DQ37T2					
B4	VREFB4N1	IO			L15	L14					DM30T	DQ20T0			DQS37T	DQ23T3				
B4	VREFB4N1	IO			G15						DQ30T3				DQ37T1					



Pin Information for the Stratix® II EP2S180 Device
Version 2.2
(Note 1)

Bank Number	VREF Group (Note 4)	Pin Name/Function	Optional Function(s)/ DQ group for DQS x4 Mode	Configuration Function	F1508	F1020	x8/x9 Mode	x16/x18 Mode	x32/x36 Mode	x5 Mode (Note 2)				x4 Mode (Note 3)			
										DQ group for DQS mode	DQ group for DQS mode	DQ group for DQS mode	DQ group for non-DQS mode (non-migratable)	DQ group for non-DQS mode (non-migratable)	DQ group for non-DQS mode (migratable) F1508	DQ group for non-DQS mode (migratable) F1020	DQ group for non-DQS mode (non-migratable)
B4	VREFB4N1	IO			K14						DQ30T2				DQ37T0		
B4	VREFB4N1	IO			M16	H12					DQS30T	DM19T			DQ36T3	DQ23T2	
B4	VREFB4N1	IO	DQS3T		C10	B8	DQVLD1T	DQS0T			DQ30T1	DQ19T3	DQS3T	DQS3T	DQ36T2	DQS23T	DQS3T
B4	VREFB4N1	IO	DQ3T		D10	C9	DQ1T	DQ0T	DQ0T		DQ30T0	DQ19T2	DQ3T0	DQ3T0	DQS36T	DQ23T1	DQ3T0
B4	VREFB4N1	IO	DQ3T		E10	A8	DQ1T	DQ0T	DQ0T		DM29T	DQS19T	DQ3T1	DQ3T1	DQ36T1	DQ23T0	DQ3T1
B4	VREFB4N1	IO	DQ3T		D9	C8	DQ1T	DQ0T	DQ0T		DQ29T3	DQ19T1	DQ3T2	DQ3T2	DQ36T0	DQ22T3	DQ3T2
B4	VREFB4N2	IO	DQSn3T		B10	B9	DQ1T	DQSn0T	DQ0T		DQ29T2	DQ19T0	DQSn3T	DQSn3T	DQ35T3	DQ22T2	DQSn3T
B4	VREFB4N2	IO	DQ3T		A10	A9	DQ1T	DQ0T	DQ0T		DQS29T	DM18T	DQ3T3	DQ3T3	DQ35T2	DQS22T	DQ3T3
B4	VREFB4N2	IO			H15						DQ29T1				DQ35T5		
B4	VREFB4N2	IO			N17						DQ29T0				DQ35T1		
B4	VREFB4N2	IO			M17	K14					DM28T	DQ18T3			DQ35T0	DQ22T1	
B4	VREFB4N2	IO			K15						DQ28T3				DQ34T3		
B4	VREFB4N2	IO			J14						DQ28T2				DQ34T2		
B4	VREFB4N2	IO	DQS4T		C11	F9	DQS2T	DQVLD0T	DQVLD0T		DQS28T	DQ18T2	DQS4T	DQS4T	DQS34T	DQ22T0	DQS4T
B4	VREFB4N2	IO	DQ4T		A11	D8	DQ2T	DQ0T	DQ0T		DQ28T1	DQS18T	DQ4T0	DQ4T0	DQ34T1	DQ21T3	DQ4T0
B4	VREFB4N2	IO	DQ4T		E11	E8	DQ2T	DQ0T	DQ0T		DQ28T0	DQ18T1	DQ4T1	DQ4T1	DQ34T0	DQ21T2	DQ4T1
B4	VREFB4N2	IO	DQ4T		D11	F8	DQ2T	DQ0T	DQ0T		DM27T	DQ18T0	DQ4T2	DQ4T2	DQ33T3	DQS21T	DQ4T2
B4	VREFB4N2	IO	DQSn4T		B11	E9	DQSn2T	DQ0T	DQ0T		DQ27T3	DM17T	DQSn4T	DQSn4T	DQ33T2	DQ21T1	DQSn4T
B4	VREFB4N2	IO	DQ4T		E12	F10	DQ2T	DQ0T	DQ0T		DQ27T2	DQ17T3	DQ4T3	DQ4T3	DQ33T3	DQ21T0	DQ4T3
B4	VREFB4N2	IO			L16	L15					DQS27T	DQ17T2			DQ33T1	DQ20T3	
B4	VREFB4N2	VREFB4N2	VREFB4N2		F12	D9											
B4	VREFB4N2	IO			G17						DQ27T1				DQ33T0		
B4	VREFB4N2	IO			G16						DQ27T0				DQ32T3		
B4	VREFB4N2	IO			J15	H13					DM26T	DQS17T			DQ32T2	DQ20T2	
B4	VREFB4N2	IO			N18						DQ26T3				DQS32T		
B4	VREFB4N2	IO	DQS5T		B12	C10	DQVLD2T		DQS0T		DQ26T2	DQ17T1	DQS5T	DQS5T	DQ32T1	DQS20T	DQS5T
B4	VREFB4N2	IO	DQ5T		A12	A10	DQ2T	DQ0T	DQ0T		DQS26T	DQ17T0	DQ5T0	DQ5T0	DQ32T0	DQ20T1	DQ5T0
B4	VREFB4N2	IO	DQ5T		C12	B10	DQ2T	DQ0T	DQ0T		DQ26T1	DM16T	DQ5T1	DQ5T1	DQ31T3	DQ20T0	DQ5T1
B4	VREFB4N2	IO	DQ5T		D12	D10	DQ2T	DQ0T	DQ0T		DQ26T0	DQ16T3	DQ5T2	DQ5T2	DQ31T2	DQ19T3	DQ5T2
B4	VREFB4N2	IO	DQSn5T		B13	C11	DQ2T	DQ0T	DQSn0T		DM25T	DQ16T2	DQSn5T	DQSn5T	DQS31T	DQ19T2	DQSn5T
B4	VREFB4N2	IO	DQ5T		A13	D11	DQ2T				DQ25T3	DQS16T	DQ5T3	DQ5T3	DQ31T1	DQS19T	DQ5T3
B4	VREFB4N2	IO			K16	J14					DQ25T2	DQ16T1			DQ31T0	DQ19T1	
B4	VREFB4N2	IO			G18						DQS25T				DQ30T3		
B4	VREFB4N2	IO			H16						DQ25T1				DQ30T2		
B4	VREFB4N2	IO			M18	K15					DQ25T0	DQ16T0			DQS30T	DQ19T0	
B4	VREFB4N2	IO			L17						DM24T				DQ30T1		
B4	VREFB4N3	IO	DQS6T		E13	F11	DQS3T				DQ24T3	DM15T	DQS6T	DQS6T	DQ30T0	DQ18T3	DQS6T
B4	VREFB4N3	IO	DQ6T		F14	E11	DQ3T	DQ1T	DQ0T		DQ24T2	DQ15T3	DQ6T0	DQ6T0	DQ29T3	DQ18T2	DQ6T0
B4	VREFB4N3	IO	DQ6T		E14	G10	DQ3T	DQ1T	DQ0T		DQS24T	DQ15T2	DQ6T1	DQ6T1	DQ29T2	DQS18T	DQ6T1
B4	VREFB4N3	IO	DQ6T		F13	G11	DQ3T	DQ1T	DQ0T		DQ24T1	DQS15T	DQ6T2	DQ6T2	DQS29T	DQ18T1	DQ6T2



Pin Information for the Stratix® II EP2S180 Device
Version 2.2
(Note 1)

Bank Number	VREF Group (Note 4)	Pin Name/Function	Optional Function(s)/ DQ group for DQS x4 Mode	Configuration Function	F1508	F1020	x8/x9 Mode	x16/x18 Mode	x32/x36 Mode	x5 Mode (Note 2)					x4 Mode (Note 3)				
										DQ group for DQS mode	DQ group for DQS mode	DQ group for DQS mode	DQ group for non-DQS mode (non-migratable)	DQ group for non-DQS mode (non-migratable)	DQ group for non-DQS mode (migratable) F1508	DQ group for non-DQS mode (migratable) F1020	DQ group for non-DQS mode (non-migratable)	DQ group for non-DQS mode (non-migratable)	DQ group for non-DQS mode (migratable) F1508
B4	VREFB4N3	IO	DQSn6T		D13	F12	DQSn3T	DQ1T	DQ0T	DQ24T0	DQ15T1	DQSn6T	DQSn6T	DQ29T1	DQ18T0	DQSn6T	DQSn6T		
B4	VREFB4N3	IO	DQ6T		C13	G12	DQ3T	DQ1T	DQ0T	DM23T	DQ15T0	DQ6T3	DQ6T3	DQ29T0	DQ17T3	DQ6T3	DQ6T3		
B4	VREFB4N3	IO			J16					DQ23T3				DQ28T3					
B4	VREFB4N3	IO			F18	H14				DQ23T2	DM14T			DQ28T2	DQ17T2				
B4	VREFB4N3	IO			H17					DQS23T				DQS28T					
B4	VREFB4N3	IO			K17					DQ23T1				DQ28T1					
B4	VREFB4N3	IO	DQS7T		B14	C12	DQVLD3T	DQS1T		DQ23T0	DQ14T3	DQS7T	DQS7T	DQ28T0	DQS17T	DQS7T	DQS7T		
B4	VREFB4N3	IO	DQ7T		A14	D12	DQ3T	DQ1T	DQ0T	DM22T	DQ14T2	DQ7T0	DQ7T0	DQ27T3	DQ17T1	DQ7T0	DQ7T0		
B4	VREFB4N3	IO	DQ7T		C14	A11	DQ3T	DQ1T	DQ0T	DQ22T3	DQS14T	DQ7T1	DQ7T1	DQ27T2	DQ17T0	DQ7T1	DQ7T1		
B4	VREFB4N3	IO	DQ7T		D14	B11	DQ3T	DQ1T	DQ0T	DQ22T2	DQ14T1	DQ7T2	DQ7T2	DQS27T	DQ16T3	DQ7T2	DQ7T2		
B4	VREFB4N3	VREFB4N3	VREFB4N3		F15	G14													
B4	VREFB4N3	IO	DQSn7T		B15	B12	DQ3T	DQSn1T	DQ0T	DQS22T	DQ14T0	DQSn7T	DQSn7T	DQ27T1	DQ16T2	DQSn7T	DQSn7T		
B4	VREFB4N3	IO	DQ7T		A15	A12	DQ3T	DQ1T	DQ0T	DQ22T1	DM13T	DQ7T3	DQ7T3	DQ27T0	DQS16T	DQ7T3	DQ7T3		
B4	VREFB4N3	IO			N19	J15				DQ22T0	DQ13T3			DQ26T3	DQ16T1				
B4	VREFB4N3	IO			L18					DM21T				DQ26T2					
B4	VREFB4N3	IO			G19					DQ21T3				DQS26T					
B4	VREFB4N3	IO			H18	L16				DQ21T2	DQ13T2			DQ26T1	DQ16T0				
B4	VREFB4N3	IO			J17					DQS21T				DQ26T0					
B4	VREFB4N3	IO	DQS8T		E15	F14	DQS4T	DQVLD1T		DQ21T1	DQS13T	DQS8T	DQS8T	DQ25T3	DQ15T3	DQS8T	DQS8T		
B4	VREFB4N3	IO	DQ8T		C15	E13	DQ4T	DQ1T	DQ0T	DQ21T0	DQ13T1	DQ8T0	DQ8T0	DQ25T2	DQ15T2	DQ8T0	DQ8T0		
B4	VREFB4N3	IO	DQ8T		F16	F13	DQ4T	DQ1T	DQ0T	DM20T	DQ13T0	DQ8T1	DQ8T1	DQS25T	DQS15T	DQ8T1	DQ8T1		
B4	VREFB4N3	IO	DQ8T		D15	G13	DQ4T	DQ1T	DQ0T	DQ20T3	DM12T	DQ8T2	DQ8T2	DQ25T1	DQ15T1	DQ8T2	DQ8T2		
B4	VREFB4N4	IO	DQSn8T		E16	E14	DQSn4T	DQ1T	DQ0T	DQ20T2	DQ12T3	DQSn8T	DQSn8T	DQ25T0	DQ15T0	DQSn8T	DQSn8T		
B4	VREFB4N4	IO	DQ8T		D16	F15	DQ4T	DQ1T	DQ0T	DQS20T	DQ12T2	DQ8T3	DQ8T3	DQ24T3	DQ14T3	DQ8T3	DQ8T3		
B4	VREFB4N4	IO			H19					DQ20T1				DQ24T2					
B4	VREFB4N4	IO			P20	K16				DQ20T0	DQS12T			DQS24T	DQ14T2				
B4	VREFB4N4	IO			F19					DM19T				DQ24T1					
B4	VREFB4N4	IO			M19					DQ19T3				DQ24T0					
B4	VREFB4N4	IO			N20	L17				DQ19T2	DQ12T1			DQ23T3	DQS14T				
B4	VREFB4N4	IO	DQS9T		B16	C13	DQVLD4T			DQS19T	DQ12T0	DQS9T	DQS9T	DQ23T2	DQ14T1	DQS9T	DQS9T		
B4	VREFB4N4	IO	DQ9T		C17	B14	DQ4T	DQ1T	DQ0T	DQ19T1	DM11T	DQ9T0	DQ9T0	DQS23T	DQ14T0	DQ9T0	DQ9T0		
B4	VREFB4N4	IO	DQ9T		D17	D14	DQ4T	DQ1T	DQ0T	DQ19T0	DQ11T3	DQ9T1	DQ9T1	DQ23T1	DQ13T3	DQ9T1	DQ9T1		
B4	VREFB4N4	IO	DQ9T		C16	D13	DQ4T	DQ1T		DM18T	DQ11T2	DQ9T2	DQ9T2	DQ23T0	DQ13T2	DQ9T2	DQ9T2		
B4	VREFB4N4	VREFB4N4	VREFB4N4		F17	C14													
B4	VREFB4N4	IO	DQSn9T		B17	B13	DQ4T	DQ1T	DQ0T	DQ18T3	DQS11T	DQSn9T	DQSn9T	DQ22T3	DQS13T	DQSn9T	DQSn9T		
B4	VREFB4N4	IO	DQ9T		A17	A14	DQ4T			DQ18T2	DQ11T1	DQ9T3	DQ9T3	DQ22T2	DQ13T1	DQ9T3	DQ9T3		
B4	VREFB4N4	IO			H20					DQS18T				DQS22T					
B4	VREFB4N4	IO			J18					DQ18T1				DQ22T1					
B4	VREFB4N4	IO			G20	K17				DQ18T0	DQ11T0			DQ22T0	DQ13T0				
B9	VREFB4N4	IO	PLL5_FbN/OUT2n		E18	E15													



Bank Number	VREF Group (Note 4)	Pin Name/Function	Optional Function(s)/ DQ group for DQS x4 Mode	Configuration Function	F1508	F1020	x8/x9 Mode	x16/x18 Mode	x32/x36 Mode	x5 Mode (Note 2)				x4 Mode (Note 3)					
										DQ group for DQS mode	DQ group for DQS mode	DQ group for DQS mode	DQ group for non-DQS mode (non-migratable)	DQ group for non-DQS mode (non-migratable)	DQ group for non-DQS mode (migratable) F1508	DQ group for non-DQS mode (migratable) F1020	DQ group for non-DQS mode (non-migratable)	DQ group for non-DQS mode (non-migratable)	DQ group for non-DQS mode (migratable) F1508
B9	VREFB4N4	IO	PLL5_FBp/OUT2p		D18	D15													
B9	VREFB4N4	IO	PLL5_OUT0n		B19	C15													
B9	VREFB4N4	IO	PLL5_OUT0p		A19	B15													
B9	VREFB4N4	IO	PLL5_OUT1n		C18	D16													
B9	VREFB4N4	IO	PLL5_OUT1p		B18	C16													
B4	VREFB4N4	IO	CLK12n		B20	B16													
B4	VREFB4N4	IO	CLK12p		A20	A16													
B4	VREFB4N4	IO	CLK13n		D19	F16													
B4	VREFB4N4	IO	CLK13p		C19	E16													
B9		VCC_PLL5_OUT			K18	J16													
		VCCD_PLL5			L19	H15													
		VCCA_PLL5			L20	G15													
		GND_A_PLL5			J19	G16													
		GND_A_PLL5			K19	H16													
		GND_A_PLL11			J21	G18													
		GND_A_PLL11			K21	H18													
		VCCA_PLL11			K20	H17													
		VCCD_PLL11			L21	J18													
B11		VCC_PLL11_OUT			K22	J17													
B3	VREFB3N0	IO	CLK14p		C21	A17													
B3	VREFB3N0	IO	CLK14n		D21	B17													
B3	VREFB3N0	IO	CLK15p		C20	C17													
B3	VREFB3N0	IO	CLK15n		D20	D17													
B11	VREFB3N0	IO	PLL11_OUT0p		A21	B18													
B11	VREFB3N0	IO	PLL11_OUT0n		B21	C18													
B11	VREFB3N0	IO	PLL11_OUT1p		B22	D18													
B11	VREFB3N0	IO	PLL11_OUT1n		C22	E18													
B3	VREFB3N0	IO			F23														
B3	VREFB3N0	IO			M20														
B11	VREFB3N0	IO	PLL11_FBp/OUT2p		D22	A19													
B11	VREFB3N0	IO	PLL11_FBn/OUT2n		E22	B19													
B3	VREFB3N0	IO		PGM2	E20	F18													
B3	VREFB3N0	IO		PGM1	F20	F19													
B3	VREFB3N0	IO		PGM0	G21	E17													
B3	VREFB3N0	IO		ASDO	H21	F17													
B3	VREFB3N0	IO		nCSO	F22	G19													
B3	VREFB3N0	IO		CRC_ERROR	G22	G20													
B3	VREFB3N0	IO		DATA0	H22	H19													
B3	VREFB3N0	IO		DATA1	F21	F20													
B3	VREFB3N0	VREFB3N0	VREFB3N0		D23	C19													



Pin Information for the Stratix® II EP2S180 Device
Version 2.2
(Note 1)

Bank Number	VREF Group (Note 4)	Pin Name/Function	Optional Function(s)/ DQ group for DQS x4 Mode	Configuration Function	F1508	F1020	x5 Mode (Note 2)										x4 Mode (Note 3)			
							DQ group for DQS mode	DQ group for DQS mode	DQ group for DQS mode	DQ group for non-DQS mode (non-migratable)	DQ group for non-DQS mode (non-migratable)	DQ group for non-DQS mode (migratable) F1508	DQ group for non-DQS mode (migratable) F1020	DQ group for non-DQS mode (non-migratable)	DQ group for non-DQS mode (non-migratable)	DQ group for non-DQS mode (migratable) F1508	DQ group for non-DQS mode (migratable) F1020			
B3	VREFB3N0	IO	DQS10T		B23	D19	DQS5T				DM17T	DM10T	DQS10T	DQS10T	DQS21T		DQS10T	DQS10T		
B3	VREFB3N0	IO	DQ10T		B24	B20	DQ5T	DQ2T	DQ1T	DQ17T3	DQ10T3	DQ10T0	DQ10T0	DQ21T1	DQ12T3	DQ10T0	DQ10T0			
B3	VREFB3N0	IO	DQ10T		A23	E19	DQ5T	DQ2T	DQ1T	DQ17T2	DQ10T2	DQ10T1	DQ10T1	DQ21T0	DQ12T2	DQ10T1	DQ10T1			
B3	VREFB3N0	IO	DQ10T		C24	C20	DQ5T	DQ2T	DQ1T	DQS17T	DQS10T	DQ10T2	DQ10T2	DQ20T3	DQS12T	DQ10T2	DQ10T2			
B3	VREFB3N0	IO	DQSn10T		C23	D20	DQSn5T	DQ2T	DQ1T	DQ17T1	DQ10T1	DQSn10T	DQSn10T	DQ20T2	DQ12T1	DQSn10T	DQSn10T			
B3	VREFB3N0	IO	DQ10T		D24	E20	DQ5T	DQ2T	DQ1T	DQ17T0	DQ10T0	DQ10T3	DQ10T3	DQS20T	DQ12T0	DQ10T3	DQ10T3			
B3	VREFB3N0	IO			J22	K18				DM16T	DM9T			DQ20T1	DQ11T3					
B3	VREFB3N0	IO			M21					DQ16T3				DQ20T0						
B3	VREFB3N0	IO			G23					DQ16T2				DQ19T3						
B3	VREFB3N0	IO			N21	L18				DQS16T	DQ9T3			DQ19T2	DQ11T2					
B3	VREFB3N0	IO			L22					DQ16T1				DQS19T						
B3	VREFB3N1	IO			E24					DQ16T0				DQ19T1						
B3	VREFB3N1	IO			H23					DM15T				DQ19T0						
B3	VREFB3N1	IO			M22	J19				DQ15T3	DQ9T2			DQ18T3	DQS11T					
B3	VREFB3N1	IO	DQS11T		B25	B21	DQVLD5T	DQS2T		DQ15T2	DQS9T	DQS11T	DQS11T	DQ18T2	DQ11T1	DQS11T	DQS11T			
B3	VREFB3N1	IO	DQ11T		D25	A21	DQ5T	DQ2T	DQ1T	DQS15T	DQ9T1	DQ11T0	DQ11T0	DQS18T	DQ11T0	DQ11T0	DQ11T0			
B3	VREFB3N1	IO	DQ11T		A25	C21	DQ5T	DQ2T	DQ1T	DQ15T1	DQ9T0	DQ11T1	DQ11T1	DQ18T1	DQ10T3	DQ11T1	DQ11T1			
B3	VREFB3N1	IO	DQ11T		A26	A22	DQ5T	DQ2T	DQ1T	DQ15T0	DM8T	DQ11T2	DQ11T2	DQ18T0	DQ10T2	DQ11T2	DQ11T2			
B3	VREFB3N1	IO	DQSn11T		C25	B22	DQ5T	DQSn2T	DQ1T	DM14T	DQ8T3	DQSn11T	DQSn11T	DQ17T3	DQS10T	DQSn11T	DQSn11T			
B3	VREFB3N1	IO	DQ11T		B26	C22	DQ5T	DQ2T	DQ1T	DQ14T3	DQ8T2	DQ11T3	DQ11T3	DQ17T2	DQ10T1	DQ11T3	DQ11T3			
B3	VREFB3N1	IO			J23					DQ14T2				DQS17T						
B3	VREFB3N1	IO			N22					DQS14T				DQ17T1						
B3	VREFB3N1	IO			F24	K19				DQ14T1	DQS8T			DQ17T0	DQ10T0					
B3	VREFB3N1	IO			G24					DQ14T0				DQ16T3						
B3	VREFB3N1	IO			K23					DM13T				DQ16T2						
B3	VREFB3N1	VREFB3N1	VREFB3N1		F25	F21														
B3	VREFB3N1	IO			E25					DQ13T3				DQS16T						
B3	VREFB3N1	IO			M23	L19				DQ13T2	DQ8T1			DQ16T1	DQ9T3					
B3	VREFB3N1	IO			L23					DQS13T				DQ16T0						
B3	VREFB3N1	IO			N23					DQ13T1				DQ15T3						
B3	VREFB3N1	IO	DQS12T		C26	D22	DQS6T	DQVLD2T	DQVLD1T	DQ13T0	DQ8T0	DQS12T	DQS12T	DQ15T2	DQ9T2	DQS12T	DQS12T			
B3	VREFB3N1	IO	DQ12T		A27	D23	DQ6T	DQ2T	DQ1T	DM12T	DM7T	DQ12T0	DQ12T0	DQS15T	DQS9T	DQ12T0	DQ12T0			
B3	VREFB3N1	IO	DQ12T		B27	D21	DQ6T	DQ2T	DQ1T	DQ12T3	DQ7T3	DQ12T1	DQ12T1	DQ15T1	DQ9T1	DQ12T1	DQ12T1			
B3	VREFB3N1	IO	DQ12T		D26	F22	DQ6T	DQ2T	DQ1T	DQ12T2	DQ7T2	DQ12T2	DQ12T2	DQ15T0	DQ9T0	DQ12T2	DQ12T2			
B3	VREFB3N1	IO	DQSn12T		C27	E22	DQSn6T	DQ2T	DQ1T	DQS12T	DQS7T	DQSn12T	DQSn12T	DQ14T3	DQ8T3	DQSn12T	DQSn12T			
B3	VREFB3N1	IO	DQ12T		D27	F23	DQ6T	DQ2T	DQ1T	DQ12T1	DQ7T1	DQ12T3	DQ12T3	DQ14T2	DQ8T2	DQ12T3	DQ12T3			
B3	VREFB3N1	IO			J24	H20				DQ12T0	DQ7T0			DQS14T	DQS8T					
B3	VREFB3N1	IO			E26					DM11T				DQ14T1						
B3	VREFB3N1	IO			H24					DQ11T3				DQ14T0						
B3	VREFB3N1	IO			K24					DQ11T2				DQ13T3						



Pin Information for the Stratix® II EP2S180 Device
Version 2.2
(Note 1)

Bank Number	VREF Group (Note 4)	Pin Name/Function	Optional Function(s)/ DQ group for DQS x4 Mode	Configuration Function	F1508	F1020	x8/x9 Mode	x16/x18 Mode	x32/x36 Mode	x5 Mode (Note 2)				x4 Mode (Note 3)			
										DQ group for DQS mode	DQ group for DQS mode	DQ group for DQS mode	DQ group for non-DQS mode (non-migratable)	DQ group for non-DQS mode (non-migratable)	DQ group for non-DQS mode (migratable) F1508	DQ group for non-DQS mode (migratable) F1020	DQ group for non-DQS mode (non-migratable)
B3	VREFB3N1	IO			L24	J20				DQS11T	DM6T			DQ13T2	DQ8T1		
B3	VREFB3N2	IO			G25					DQ11T1				DQS13T			
B3	VREFB3N2	IO			M24					DQ11T0				DQ13T1			
B3	VREFB3N2	IO			N24	K20				DM10T	DQ6T3			DQ13T0	DQ8T0		
B3	VREFB3N2	IO	DQS13T		B28	B23	DQVLD6T		DQS1T	DQ10T3	DQ6T2	DQS13T	DQS13T	DQ12T3	DQ7T3	DQS13T	DQS13T
B3	VREFB3N2	IO	DQ13T		A28	A23	DQ6T	DQ2T	DQ1T	DQ10T2	DQS6T	DQ13T0	DQ13T0	DQ12T2	DQ7T2	DQ13T0	DQ13T0
B3	VREFB3N2	IO	DQ13T		A29	C23	DQ6T	DQ2T	DQ1T	DQS10T	DQ6T1	DQ13T1	DQ13T1	DQS12T	DQS7T	DQ13T1	DQ13T1
B3	VREFB3N2	IO	DQ13T		D28	C24	DQ6T	DQ2T	DQ1T	DQ10T1	DQ6T0	DQ13T2	DQ13T2	DQ12T1	DQ7T1	DQ13T2	DQ13T2
B3	VREFB3N2	IO	DQSn13T		C28	B24	DQ6T	DQ2T	DQSn1T	DQ10T0	DM5T	DQSn13T	DQSn13T	DQ12T0	DQ7T0	DQSn13T	DQSn13T
B3	VREFB3N2	IO	DQ13T		B29	A24	DQ6T			DM9T	DQ5T3	DQ13T3	DQ13T3	DQ11T3	DQ6T3	DQ13T3	DQ13T3
B3	VREFB3N2	IO			J25					DQ9T3				DQ11T2			
B3	VREFB3N2	IO			K25					DQ9T2				DQS11T			
B3	VREFB3N2	IO			F26	G21				DQS9T	DQ5T2			DQ11T1	DQ6T2		
B3	VREFB3N2	IO			H25					DQ9T1				DQ11T0			
B3	VREFB3N2	IO			L25					DQ9T0				DQ10T3			
B3	VREFB3N2	VREFB3N2	VREFB3N2		F28	D24											
B3	VREFB3N2	IO			G26					DM8T				DQ10T2			
B3	VREFB3N2	IO			H26	H21				DQ8T3	DQS5T			DQS10T	DQS6T		
B3	VREFB3N2	IO			M25					DQ8T2				DQ10T1			
B3	VREFB3N2	IO			N25					DQS8T				DQ10T0			
B3	VREFB3N2	IO	DQS14T		C29	B25	DQS7T			DQ8T1	DQ5T1	DQS14T	DQS14T	DQ9T3	DQ6T1	DQS14T	DQS14T
B3	VREFB3N2	IO	DQ14T		A30	A25	DQ7T	DQ3T	DQ1T	DQ8T0	DQ5T0	DQ14T0	DQ14T0	DQ9T2	DQ6T0	DQ14T0	DQ14T0
B3	VREFB3N2	IO	DQ14T		B30	A26	DQ7T	DQ3T	DQ1T	DM7T	DM4T	DQ14T1	DQ14T1	DQS9T	DQ5T3	DQ14T1	DQ14T1
B3	VREFB3N2	IO	DQ14T		D29	D26	DQ7T	DQ3T	DQ1T	DQ7T3	DQ4T3	DQ14T2	DQ14T2	DQ9T1	DQ5T2	DQ14T2	DQ14T2
B3	VREFB3N2	IO	DQSn14T		C30	B26	DQSn7T	DQ3T	DQ1T	DQ7T2	DQ4T2	DQSn14T	DQSn14T	DQ9T0	DQS5T	DQSn14T	DQSn14T
B3	VREFB3N2	IO	DQ14T		D30	C26	DQ7T	DQ3T	DQ1T	DQS7T	DQS4T	DQ14T3	DQ14T3	DQ8T3	DQ5T1	DQ14T3	DQ14T3
B3	VREFB3N2	IO			J26	J21				DQ7T1	DQ4T1			DQ8T2	DQ5T0		
B3	VREFB3N2	IO			E27					DQ7T0				DQS8T			
B3	VREFB3N2	IO			E28					DM6T				DQ8T1			
B3	VREFB3N2	IO			K26					DQ6T3				DQ8T0			
B3	VREFB3N2	IO			L26	G22				DQ6T2	DQ4T0			DQ7T3	DQ4T3		
B3	VREFB3N3	IO			F27					DQS6T				DQ7T2			
B3	VREFB3N3	IO			H27					DQ6T1				DQS7T			
B3	VREFB3N3	IO			M26	L20				DQ6T0	DM3T			DQ7T1	DQ4T2		
B3	VREFB3N3	IO	DQS15T		B31	D25	DQVLD7T	DQS3T		DM5T	DQ3T3	DQS15T	DQS15T	DQ7T0	DQS4T	DQS15T	DQS15T
B3	VREFB3N3	IO	DQ15T		A32	E24	DQ7T	DQ3T	DQ1T	DQS5T3	DQ3T2	DQ15T0	DQ15T0	DQ6T3	DQ4T1	DQ15T0	DQ15T0
B3	VREFB3N3	IO	DQ15T		A31	C25	DQ7T	DQ3T	DQ1T	DQ5T2	DQS3T	DQ15T1	DQ15T1	DQ6T2	DQ4T0	DQ15T1	DQ15T1
B3	VREFB3N3	IO	DQ15T		D31	E27	DQ7T	DQ3T	DQ1T	DQS5T	DQ3T1	DQ15T2	DQ15T2	DQS6T	DQ3T3	DQ15T2	DQ15T2
B3	VREFB3N3	IO	DQSn15T		C31	E25	DQ7T	DQSn3T	DQ1T	DQ5T1	DQ3T0	DQSn15T	DQSn15T	DQ6T1	DQ3T2	DQSn15T	DQSn15T
B3	VREFB3N3	IO	DQ15T		B32	E26	DQ7T	DQ3T	DQ1T	DQS5T0	DM2T	DQ15T3	DQ15T3	DQ6T0	DQS3T	DQ15T3	DQ15T3



Pin Information for the Stratix® II EP2S180 Device
Version 2.2
(Note 1)

Bank Number	VREF Group (Note 4)	Pin Name/Function	Optional Function(s)/ DQ group for DQS x4 Mode	Configuration Function	F1508	F1020	x8/x9 Mode	x16/x18 Mode	x32/x36 Mode	x5 Mode (Note 2)				x4 Mode (Note 3)				
										DQ group for DQS mode	DQ group for DQS mode	DQ group for DQS mode	DQ group for non-DQS mode (non-migratable)	DQ group for non-DQS mode (non-migratable)	DQ group for non-DQS mode (migratable) F1508	DQ group for non-DQS mode (migratable) F1020	DQ group for non-DQS mode (non-migratable)	DQ group for non-DQS mode (non-migratable)
B3	VREFB3N3	IO			N26						DM4T				DQ5T3			
B3	VREFB3N3	IO			J27						DQ4T3				DQ5T2			
B3	VREFB3N3	IO			G27						DQ4T2				DQS5T			
B3	VREFB3N3	IO			K27	K21					DQS4T	DQ2T3			DQ5T1	DQ3T1		
B3	VREFB3N3	IO			L27						DQ4T1				DQ5T0			
B3	VREFB3N3	VREFB3N3	VREFB3N3		F31	F25												
B3	VREFB3N3	IO			E29						DQ4T0				DQ4T3			
B3	VREFB3N3	IO			G28	H22					DM3T	DQ2T2			DQ4T2	DQ3T0		
B3	VREFB3N3	IO			M27						DQ3T3				DQS4T			
B3	VREFB3N3	IO	DQS16T		C32	B27	DQS8T	DQVLD3T			DQ3T2	DQS2T	DQS16T	DQS16T	DQ4T1	DQ2T3	DQS16T	DQS16T
B3	VREFB3N3	IO	DQ16T		B33	A27	DQ8T	DQ3T	DQ1T		DQ3T3	DQ2T1	DQ16T0	DQ16T0	DQ4T0	DQ2T2	DQ16T0	DQ16T0
B3	VREFB3N3	IO	DQ16T		A33	A28	DQ8T	DQ3T	DQ1T		DQ3T1	DQ2T0	DQ16T1	DQ16T1	DQ3T3	DQS2T	DQ16T1	DQ16T1
B3	VREFB3N3	IO	DQ16T		D32	D27	DQ8T	DQ3T	DQ1T		DQ3T0	DM1T	DQ16T2	DQ16T2	DQ3T2	DQ2T1	DQ16T2	DQ16T2
B3	VREFB3N3	IO	DQSn16T		C33	B28	DQSn8T	DQ3T	DQ1T		DM2T	DQ1T3	DQSn16T	DQSn16T	DQS3T	DQ2T0	DQSn16T	DQSn16T
B3	VREFB3N3	IO	DQ16T		D33	C27	DQ8T	DQ3T	DQ1T		DQ2T3	DQ1T2	DQ16T3	DQ16T3	DQ3T1	DQ1T3	DQ16T3	DQ16T3
B3	VREFB3N3	IO			N27						DQ2T2				DQ3T0			
B3	VREFB3N3	IO			K28						DQS2T				DQ2T3			
B3	VREFB3N4	IO			F29	J22					DQ2T1	DQS1T			DQ2T2	DQ1T2		
B3	VREFB3N4	IO			E30						DQ2T0				DQS2T			
B3	VREFB3N4	IO			H28						DM1T				DQ2T1			
B3	VREFB3N4	IO			F30	L21					DQ1T3	DQ1T1			DQ2T0	DQS1T		
B3	VREFB3N4	IO			G29						DQ1T2				DQ1T3			
B3	VREFB3N4	IO			J28						DQS1T				DQ1T2			
B3	VREFB3N4	IO			L28	K22					DQ1T1	DQ1T0			DQS1T	DQ1T1		
B3	VREFB3N4	IO	DQS17T		B34	C28	DQVLD8T				DQ1T0	DM0T	DQS17T	DQS17T	DQ1T1	DQ1T0	DQS17T	DQS17T
B3	VREFB3N4	IO	DQ17T		A34	B29	DQ8T	DQ3T	DQ1T		DM0T	DQ0T3	DQ17T0	DQ17T0	DQ1T0	DQ0T3	DQ17T0	DQ17T0
B3	VREFB3N4	IO	DQ17T		A35	A29	DQ8T	DQ3T	DQ1T		DQ0T3	DQ0T2	DQ17T1	DQ17T1	DQ0T3	DQ0T2	DQ17T1	DQ17T1
B3	VREFB3N4	IO	DQ17T		C35	D28	DQ8T	DQ3T			DQ0T2	DQS0T	DQ17T2	DQ17T2	DQ0T2	DQS0T	DQ17T2	DQ17T2
B3	VREFB3N4	VREFB3N4	VREFB3N4		D35	C31												
B3	VREFB3N4	IO	DQSn17T		B35	C29	DQ8T	DQ3T	DQ1T		DQS0T	DQ0T1	DQSn17T	DQSn17T	DQS0T	DQ0T1	DQSn17T	DQSn17T
B3	VREFB3N4	IO	DQ17T		C34	E28	DQ8T				DQ0T1	DQ0T0	DQ17T3	DQ17T3	DQ0T1	DQ0T0	DQ17T3	DQ17T3
B3	VREFB3N4	IO			M28						DQ0T0				DQ0T0			
B3	VREFB3N4	IO		DATA2	E31	G23												
B3	VREFB3N4	IO		DATA3	E33	H23												
B3	VREFB3N4	IO		DATA4	H29	J23												
B3	VREFB3N4	IO		DATA5	J29	L22												
B3	VREFB3N4	IO		DATA6	E32	F24												
B3	VREFB3N4	IO		DATA7	F32	G24												
B3	VREFB3N4	IO		RDYnBSY	G31	H24												
B3	VREFB3N4	IO		INIT_DONE	H30	G25												



Bank Number	VREF Group (Note 4)	Pin Name/Function	Optional Function(s)/ DQ group for DQS x4 Mode	Configuration Function	F1508	F1020	x8/x9 Mode	x16/x18 Mode	x32/x36 Mode	x5 Mode (Note 2)				x4 Mode (Note 3)					
										DQ group for DQS mode	DQ group for DQS mode	DQ group for DQS mode	DQ group for non-DQS mode (non-migratable)	DQ group for non-DQS mode (non-migratable)	DQ group for non-DQS mode (migratable) F1508	DQ group for non-DQS mode (migratable) F1020	DQ group for non-DQS mode (non-migratable)	DQ group for non-DQS mode (non-migratable)	DQ group for non-DQS mode (migratable) F1508
B3	VREFB3N4	nSTATUS		nSTATUS	A37	B30													
B3	VREFB3N4	nCE		nCE	B36	C30													
B3	VREFB3N4	DCLK		DCLK	D34	B31													
B3	VREFB3N4	CONF_DONE		CONF_DONE	F33	J25													
		VCCIO2			D39	C32													
		VCCIO2			H33	M28													
		VCCIO2			U26	R32													
		VCCIO2			V39	T21													
		VCCIO2			W35														
		VCCIO1			AA35	AA28													
		VCCIO1			AB39	AK32													
		VCCIO1			AC26	U21													
		VCCIO1			AF31	V32													
		VCCIO1			AM33														
		VCCIO1			AT39														
		VCCIO8			AF23	AA17													
		VCCIO8			AN32	AH21													
		VCCIO8			AR21	AM18													
		VCCIO8			AW22	AM30													
		VCCIO8			AW36														
		VCCIO7			AF17	AA16													
		VCCIO7			AN8	AH12													
		VCCIO7			AR19	AM3													
		VCCIO7			AW4	AM15													
		VCCIO7			AW18														
		VCCIO6			AA5	AA5													
		VCCIO6			AB1	AK1													
		VCCIO6			AC14	U12													
		VCCIO6			AF9	V1													
		VCCIO6			AM7														
		VCCIO6			AT1														
		VCCIO5			D1	C1													
		VCCIO5			H7	M5													
		VCCIO5			U14	R1													
		VCCIO5			V1	T12													
		VCCIO5			W5														
		VCCIO4			A4	A3													
		VCCIO4			A18	A15													
		VCCIO4			E19	E12													
		VCCIO4			G8	M16													



Bank Number	VREF Group (Note 4)	Pin Name/Function	Optional Function(s)/ DQ group for DQS x4 Mode	Configuration Function	F1508	F1020	x8/x9 Mode	x16/x18 Mode	x32/x36 Mode	x5 Mode (Note 2)				x4 Mode (Note 3)					
										DQ group for DQS mode	DQ group for DQS mode	DQ group for DQS mode	DQ group for non-DQS mode (non-migratable)	DQ group for non-DQS mode (non-migratable)	DQ group for non-DQS mode (migratable) F1508	DQ group for non-DQS mode (migratable) F1020	DQ group for non-DQS mode (non-migratable)	DQ group for non-DQS mode (non-migratable)	DQ group for non-DQS mode (migratable) F1508
		VCCIO4			P17														
		VCCIO3			A22	A18													
		VCCIO3			A36	A30													
		VCCIO3			E21	E21													
		VCCIO3			G32	M17													
		VCCIO3			P23														
		VCCINT			AA16	AA12													
		VCCINT			AA18	AC10													
		VCCINT			AA22	K10													
		VCCINT			AA24	K23													
		VCCINT			AB15	M21													
		VCCINT			AB17	N13													
		VCCINT			AB19	N15													
		VCCINT			AB21	N17													
		VCCINT			AB23	N19													
		VCCINT			AB25	P14													
		VCCINT			AC16	P16													
		VCCINT			AC18	P18													
		VCCINT			AC20	P20													
		VCCINT			AC22	R13													
		VCCINT			AC24	R15													
		VCCINT			AD17	R17													
		VCCINT			AD19	R19													
		VCCINT			AD21	T14													
		VCCINT			AD23	T16													
		VCCINT			AE16	T18													
		VCCINT			AE18	T20													
		VCCINT			AE20	U13													
		VCCINT			AE22	U15													
		VCCINT			AE24	U17													
		VCCINT			R16	U19													
		VCCINT			R18	V14													
		VCCINT			R20	V16													
		VCCINT			R22	V18													
		VCCINT			R24	V20													
		VCCINT			T15	W13													
		VCCINT			T17	W15													
		VCCINT			T19	W17													
		VCCINT			T21	W19													
		VCCINT			T23	W21													



Bank Number	VREF Group (Note 4)	Pin Name/Function	Optional Function(s)/ DQ group for DQS x4 Mode	Configuration Function	F1508	F1020	x8/x9 Mode	x16/x18 Mode	x32/x36 Mode	x5 Mode (Note 2)				x4 Mode (Note 3)						
										DQ group for DQS mode	DQ group for DQS mode	DQ group for DQS mode	DQ group for non-DQS mode (non-migratable)	DQ group for non-DQS mode (non-migratable)	DQ group for non-DQS mode (migratable) F1508	DQ group for non-DQS mode (migratable) F1020	DQ group for non-DQS mode (non-migratable)	DQ group for non-DQS mode (non-migratable)	DQ group for non-DQS mode (migratable) F1508	DQ group for non-DQS mode (migratable) F1020
		GND			AC35															
		GND			AD1	AL32														
		GND			AD10	AM2														
		GND			AD16	AM13														
		GND			AD18	AM20														
		GND			AD20															
		GND			AD22															
		GND			AD24	AM31														
		GND			AD30	B1														
		GND			AD39	B32														
		GND			AE15	E10														
		GND			AE17															
		GND			AE19	E23														
		GND			AE21	F7														
		GND			AE23	F27														
		GND			AE25	G17														
		GND			AF15															
		GND			AF20	J24														
		GND			AF25	K5														
		GND			AK7	K28														
		GND			AK33	L11														
		GND			AL20															
		GND			AL30	M12														
		GND			AM10	M14														
		GND			AN10	M19														
		GND			AN30	N1														
		GND			AR17	N14														
		GND			AR23	N16														
		GND			AV1	N18														
		GND			AV39	N20														
		GND			AW2	N32														
		GND			AW16	P12														
		GND			AW24	P13														
		GND			AW38	P15														
		GND			B1	P17														
		GND			B39	P19														
		GND			E17	P21														
		GND			E23	R14														
		GND			G10	R16														
		GND			G30	R18														



Pin Information for the Stratix® II EP2S180 Device
Version 2.2
(Note 1)

Bank Number	VREF Group (Note 4)	Pin Name/Function	Optional Function(s)/ DQ group for DQS x4 Mode	Configuration Function	F1508	F1020	x8/x9 Mode	x16/x18 Mode	x32/x36 Mode	x5 Mode (Note 2)				x4 Mode (Note 3)					
										DQ group for DQS mode	DQ group for DQS mode	DQ group for DQS mode	DQ group for non-DQS mode (non-migratable)	DQ group for non-DQS mode (non-migratable)	DQ group for non-DQS mode (migratable) F1508	DQ group for non-DQS mode (migratable) F1020	DQ group for non-DQS mode (non-migratable)	DQ group for non-DQS mode (non-migratable)	DQ group for non-DQS mode (migratable) F1508
		GND			Y18														
		GND			Y22														
		GND			Y24														
		GND			Y31														
		VCCPD2			R26	N21													
		VCCPD2			V26	R21													
		VCCPD2			W26														
		VCCPD1			AB26	V21													
		VCCPD1			AD25	Y21													
		VCCPD1			AF26														
		VCCPD8			AF21	AA18													
		VCCPD8			AF22	AA20													
		VCCPD8			AF24														
		VCCPD7			AF16	AA13													
		VCCPD7			AF18	AA15													
		VCCPD7			AF19														
		VCCPD6			AB14	V12													
		VCCPD6			AD15	Y12													
		VCCPD6			AF14														
		VCCPD5			R14	N12													
		VCCPD5			V14	R12													
		VCCPD5			W14														
		VCCPD4			P16	M13													
		VCCPD4			P18	M15													
		VCCPD4			P19														
		VCCPD3			P21	M18													
		VCCPD3			P22	M20													
		VCCPD3			P25														

Note:

- (1) Optional Functions (LVDS, DDR, etc) are not available for some pins in certain packages. E.g. for EP2S15, DQ3B group is available for package F672 but not for F484.
- (2) This mode is used for x4 DDR2 SDRAM (with DM support) devices and x9 RLDRAM II devices.
- (3) This mode is used for DDR/DDR2 SDRAM, RLDRAM II, and QDR II SRAM interfaces, except for x9 RLDRAM II devices. This mode can support x4 DDR2 SDRAM devices if the DM pins are not used.
- (4) Vref pins are required when using DDR, DDR2 and QDR2 pins. For more information on the value of the Vref pins, refer to the Stratix II Handbook Volume 2 Chapter 5: Selectable I/O Standards in Stratix II & Stratix II GX Devices.



Pin Information for the Stratix® II EP2S180 Device
Version 2.2

Pin Name	Pin Type (1st, 2nd, & 3rd Function)	Pin Description
Supply and Reference Pins		
VCCINT	Power	These are internal logic array voltage supply pins. VCCINT also supplies power to the input buffers used for the LVDS, LVPECL, HyperTransport™ technology, differential HSTL, differential SSTL, HSTL, and SSTL I/O standards. All VCCINT pins must be connected to 1.2 V.
VCCIO[1..8]	Power	These are I/O supply voltage pins for banks 1 through 8. Each bank can support a different voltage level. VCCIO supplies power to the output buffers for all I/O standards. VCCIO also supplies power to the input buffers used for the LVTTTL, LVCMOS, 1.5 V, 1.8 V, 2.5 V, 3.3-V PCI, and 3.3-V PCI-X I/O standards.
VCCPD[1..8]	Power	Dedicated power pins. This supply is used to power the I/O pre-drivers and the 3.3-V/2.5-V buffers of the configuration input pins and JTAG pins. VCCPD powers the JTAG pins (TCK, TMS, TDI, and TRST) and the following configuration pins: nCONFIG, DCLK (when used as an input), nIO_Pullup, DATA[7..0], RUnLU, nCE, nWS, nRS, CS, nCS, and CLKUSR. The VCCPD pins must be connected to 3.3 V and must ramp-up from 0 V to 3.3 V within 100 ms to ensure successful configuration. If you use the AES key programming feature of the device, VCCPD8 powers the circuitry enabling the key to be programmed in non-volatile memory. During key programming, apply 3.7 V to VCCPD8. Refer to AN341-Using the Design Security Feature in Stratix II and Stratix II GX Devices for more information.
GND	Ground	Device ground pins. All GND pins should be connected to the board GND plane.
VREFB[1..8]N[0..4]	Input	Input reference voltage for each I/O bank. If a bank is used for a voltage-referenced I/O standard, then these pins are used as the voltage-reference pins for that bank. All of the VREF pins within a bank are shorted together. If VREF pins are not used, designers should connect them to either VCC or GND.
VCC_PLL5_OUT	Power	External clock output VCCIO power for PLL5 clock outputs PLL5_OUT[1..0]p, PLL5_OUT[1..0]n, PLL5_FBp/OUT2p & PLL5_FBN/OUT2n. This pin is the VCCIO pin for bank 9.
VCC_PLL6_OUT	Power	External clock output VCCIO power for PLL6 clock outputs PLL6_OUT[1..0]p, PLL6_OUT[1..0]n, PLL6_FBp/OUT2p & PLL6_FBN/OUT2n. This pin is the VCCIO pin for bank 10.
VCC_PLL11_OUT	Power	External clock output VCCIO power for PLL11 clock outputs PLL11_OUT[1..0]p, PLL11_OUT[1..0]n, PLL11_FBp/OUT2p & PLL11_FBN/OUT2n. This pin is the VCCIO pin for bank 11.
VCC_PLL12_OUT	Power	External clock output VCCIO power for PLL12 clock outputs PLL12_OUT[1..0]p, PLL12_OUT[1..0]n, PLL12_FBp/OUT2p & PLL12_FBN/OUT2n. This pin is the VCCIO pin for bank 12.
VCCA_PLL[1..12]	Power	Analog power for PLLs[1..12]. The designer must connect these pins to 1.2 V, even if the PLL is not used.
VCCD_PLL[1..12]	Power	Digital power for PLLs[1..12]. The designer must connect these pins to 1.2 V, even if the PLL is not used.
GND_A_PLL[1..12]	Ground	Analog ground for PLLs[1..12].
NC	No Connect	Do not drive signals into these pins.
RUP4	I/O, Input	Reference pin for banks 3 & 4. The external precision resistor Rup must be connected to the designated RUP pin within bank 4. If not required, this pin is a regular I/O pin.
RDN4	I/O, Input	Reference pin for banks 3 & 4. The external precision resistor Rdn must be connected to the designated RDN pin within bank 4. If not required, this pin is a regular I/O pin.
RUP7	I/O, Input	Reference pin for banks 7 & 8. The external precision resistor Rup must be connected to the designated RUP pin within bank 7. If not required, this pin is a regular I/O pin.
RDN7	I/O, Input	Reference pin for banks 7 & 8. The external precision resistor Rdn must be connected to the designated RDN pin within bank 7. If not required, this pin is a regular I/O pin.
Dedicated Configuration/JTAG Pins		
nIO_PULLUP	Input	Dedicated input that chooses whether the internal pull-ups on the user I/O pins and dual-purpose I/O pins (nCSO, ASDO, DATA[7..0], nWS, nRS, RDYnBSY, nCS, CS, RUnLU, PGM[], CLKUSR, INIT_DONE, DEV_OE, DEV_CLRn) are on or off before and during configuration. A logic high (1.5 V, 1.8 V, 2.5 V, or 3.3 V) turns off the weak pull-up, while a logic low turns them on.



**Pin Information for the Stratix® II EP2S180 Device
Version 2.2**

Pin Name	Pin Type (1st, 2nd, & 3rd Function)	Pin Description
VCCSEL	Input	Dedicated input that selects which input buffer is used on configuration input pins: nCONFIG, DCLK (when used as an input), DATA[7..0], RUnLU, nCE, nWS, nRS, CS, nCS, and CLKUSR. The 3.3-V/2.5-V input buffer is powered by VCCPD, while the 1.8-V/1.5-V input buffer is powered by VCCIO. The VCCSEL input buffer is powered by VCCPD and must be hardwired to VCCPD or ground. A logic high (VCCPD) selects the 1.8-V/1.5-V input buffer, while a logic low selects the 3.3-V/2.5-V input buffer. VCCSEL should be set to comply with the logic levels driven out of the configuration device or MAX II device/microprocessor with flash memory.
TEMPDIODEp	Input	Pin used in conjunction with the temperature sensing diode (bias-high input) inside the Stratix II device. If the temperature sensing diode is not used then connect this pin to GND.
TEMPDIODEn	Input	Pin used in conjunction with the temperature sensing diode (bias-low input) inside the Stratix II device. If the temperature sensing diode is not used then connect this pin to GND.
DCLK	Input (PS, FPP) Output (AS)	Dedicated configuration clock pin. In PS and FPP configuration, DCLK is used to clock configuration data from an external source into the Stratix II device. In AS mode, DCLK is an output from the Stratix II device that provides timing for the configuration interface. In PPA mode, DCLK should be tied to VCC to prevent this pin from floating.
MSEL[0..3]	Input	Configuration input pins that set the Stratix II device configuration scheme. These pins must be hardwired to VCCPD or GND.
nCE	Input	Dedicated active-low chip enable. When nCE is low, the device is enabled. When nCE is high, the device is disabled. In multi-device configuration, nCE of the first device is tied low while its nCEO pin drives the nCE of the next device in the chain. In single device configuration, nCE is tied low.
nCONFIG	Input	Dedicated configuration control input. Pulling this pin low during user-mode will cause the FPGA to lose its configuration data, enter a reset state & tri-state all I/O pins. Returning this pin to a logic high level will initiate reconfiguration. If the configuration scheme uses an enhanced configuration device or EPC2, nCONFIG can be tied directly to VCC or to the configuration device's nINIT_CONF pin.
CONF_DONE	Bidirectional (open-drain)	This is a dedicated configuration status pin. As a status output, the CONF_DONE pin drives low before and during configuration. Once all configuration data is received without error and the initialization cycle starts, CONF_DONE is released. As a status input, CONF_DONE goes high after all data is received. Then the device initializes and enters user mode. It is not available as a user I/O pin.
nCEO	Output	Output that drives low when device configuration is complete. During multi-device configuration, this pin feeds a subsequent device's nCE pin. During single device configuration, this pin is left floating.
nSTATUS	Bidirectional (open-drain)	This is a dedicated configuration status pin. The FPGA drives nSTATUS low immediately after power-up and releases it after POR time. As a status output, the nSTATUS is pulled low if an error occurs during configuration. As a status input, the device enters an error state when nSTATUS is driven low by an external source during configuration or initialization. It is not available as a user I/O pin.
PORSEL	Input	Dedicated input which selects between a POR time of 12 ms or 100 ms. A logic high (1.5-V, 1.8-V, 2.5-V, 3.3-V) selects a POR time of about 12 ms and a logic low selects POR time of about 100 ms.
TCK	Input	Dedicated JTAG input pin. The JTAG circuitry can be disabled by connecting TCK to GND.
TMS	Input	Dedicated JTAG input pin. The JTAG circuitry can be disabled by connecting TMS to VCC.
TDI	Input	Dedicated JTAG input pin. The JTAG circuitry can be disabled by connecting TDI to VCC.
TDO	Output	Dedicated JTAG output pin. The JTAG circuitry can be disabled by leaving TDO unconnected.
TRST	Input	Dedicated active low JTAG input pin. TRST is used to asynchronously reset the JTAG boundary-scan circuit. The JTAG circuitry can be disabled by connecting TRST to GND.
Clock and PLL Pins		
CLK[1,3,9,11]p	Clock, Input	Dedicated clock input pins 1, 3, 9, & 11 that can also be used for data inputs.
CLK[1,3,9,11]n	Clock, Input	Dedicated negative terminal clock input pins for differential clock input that can also be used for data inputs.
CLK[0,2,8,10]p/DIFFIO_RX_C[0..3]p	I/O, Clock, RX channel	These pins can be used as I/O pins, clock input pins, or the positive terminal data pins of differential receiver channels.
CLK[0,2,8,10]n/DIFFIO_RX_C[0..3]n	I/O, Clock, RX channel	These pins can be used as I/O pins, the negative terminal clock input pins for differential clock input, or the negative terminal data pins of differential receiver channels.
CLK[4-7,12-15]p	I/O, Clock	These pins can be used as I/O pins or clock input pins.



**Pin Information for the Stratix® II EP2S180 Device
Version 2.2**

Pin Name	Pin Type (1st, 2nd, & 3rd Function)	Pin Description
CLK[4-7,12-15]n	I/O, Clock	These pins can be used as I/O pins or negative terminal clock input pins for differential clock input.
PLL_ENA	Input	Dedicated input pin that drives the optional pllena port of all or a set of PLLs. If a PLL uses the pllena port, drive the PLL_ENA pin low to reset all PLLs including the counters to their default state. If VCCSEL = 0, then you must drive the PLL_ENA with a 3.3/2.5 V signal to enable the PLLs. If VCCSEL = 1, connect PLL_ENA to 1.8/1.5 V to enable the PLLs.
FPLL[7..10]CLKp	Clock, Input	Dedicated clock inputs for fast PLLs (PLLs 7 through 10) that can also be used for data inputs.
FPLL[7..10]CLKn	Clock, Input	Dedicated negative terminal associated with FPLL[7..10]CLKp pins that can also be used for data inputs.
PLL5_OUT[0..1]p	I/O, Output	Optional external clock outputs [0..1] from enhanced PLL 5. These pins can be differential (two output pin pairs) or single ended (four clock outputs from PLL5). When not used as PLL output, these pins can be used as I/O with single ended inputs only. They cannot be used as differential input.
PLL5_OUT[0..1]n	I/O, Output	Optional negative terminal for external clock outputs [0..1] from PLL5. If the clock outputs are single ended, then each pair of pins (i.e., PLL5_OUT0p and PLL5_OUT0n are considered one pair) can be either in phase or 180 degrees out of phase.
PLL6_OUT[0..1]p	I/O, Output	Optional external clock outputs [0..1] from enhanced PLL 6. These pins can be differential (two output pin pairs) or single ended (four clock outputs from PLL6). When not used as PLL output, these pins can be used as I/O with single ended inputs only. They cannot be used as differential input.
PLL6_OUT[0..1]n	I/O, Output	Optional negative terminal for external clock outputs [0..1] from PLL6. If the clock outputs are single ended, then each pair of pins (i.e., PLL6_OUT0p and PLL6_OUT0n are considered one pair) can be either in phase or 180 degrees out of phase.
PLL[5..6]_FBp/OUT2p	I/O, Input, Output	These pins can be used as I/O pins, external feedback input pins or external clock outputs for PLL[5..6].
PLL[5..6]_FBn/OUT2n	I/O, Input, Output	These pins can be used as I/O pins, negative terminal input for external feedback input PLL[5..6]_FBp or negative terminal clock output pins for differential clock output.
PLL11_OUT[0..1]p	I/O, Output	Optional external clock outputs [0..1] from enhanced PLL 11. These pins can be differential (two output pin pairs) or single ended (four clock outputs from PLL11). When not used as PLL output, these pins can be used as I/O with single ended inputs only. They cannot be used as differential input.
PLL11_OUT[0..1]n	I/O, Output	Optional negative terminal for external clock outputs [0..1] from PLL11. If the clock outputs are single ended, then each pair of pins (i.e., PLL11_OUT0p and PLL11_OUT0n are considered one pair) can be either in phase or 180 degrees out of phase.
PLL12_OUT[0..1]p	I/O, Output	Optional external clock outputs [0..1] from enhanced PLL 12. These pins can be differential (two output pin pairs) or single ended (four clock outputs from PLL12). When not used as PLL output, these pins can be used as I/O with single ended inputs only. They cannot be used as differential input.
PLL12_OUT[0..1]n	I/O, Output	Optional negative terminal for external clock outputs [0..1] from PLL12. If the clock outputs are single ended, then each pair of pins (i.e., PLL12_OUT0p and PLL12_OUT0n are considered one pair) can be either in phase or 180 degrees out of phase.
PLL[11..12]_FBp/OUT2p	I/O, Input, Output	These pins can be used as I/O pins, external feedback input pins or external clock outputs for PLL[11..12].
PLL[11..12]_FBn/OUT2n	I/O, Input, Output	These pins can be used as I/O pins, negative terminal input for external feedback input PLL[11..12]_FBp or negative terminal clock output pins for differential clock output.
Optional/Dual-Purpose Configuration Pins		
nCSO	I/O (non-AS mode), Output	Output control signal from the Stratix II FPGA to the serial configuration device in AS mode that enables the configuration device.
ASDO	I/O (non-AS mode), Output	Control signal from the Stratix II FPGA to the serial configuration device in AS mode used to read out configuration data.
CRC_ERROR	I/O, Output	Active high signal that indicates that the error detection circuit has detected errors in the configuration SRAM bits. This pin is optional and is used when the CRC error detection circuit is enabled.
DEV_CLRn	I/O, Input	Optional pin that allows you to override all clears on all device registers. When this pin is driven low, all registers are cleared; when this pin is driven high, all registers behave as programmed.



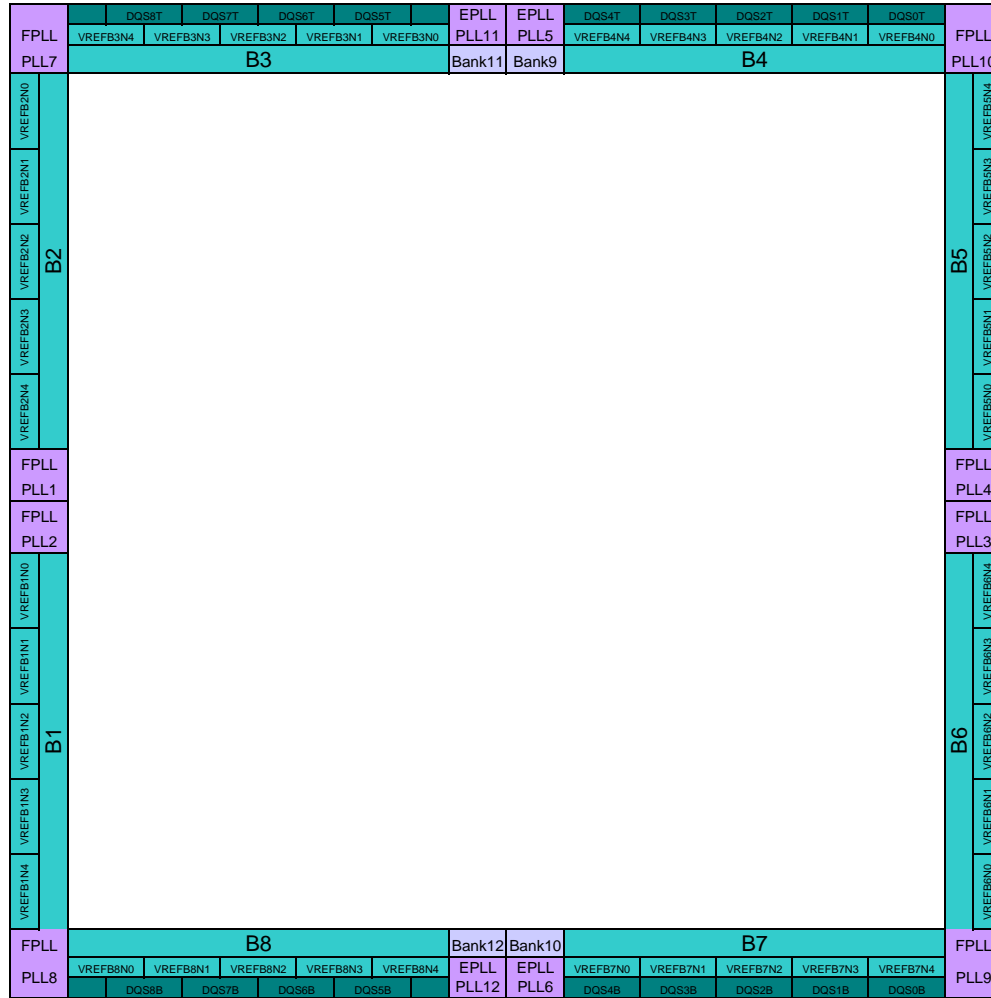
Pin Information for the Stratix® II EP2S180 Device
Version 2.2

Pin Name	Pin Type (1st, 2nd, & 3rd Function)	Pin Description
DEV_OE	I/O, Input	Optional pin that allows you to override all tri-states on the device. When this pin is driven low, all I/O pins are tri-stated; when this pin is driven high, all I/O pins behave as defined in the design.
DATA0	I/O, Input	Dual-purpose configuration data input pin. Can be used as an I/O pin after configuration is complete.
DATA[1..7]	I/O, Input	Dual-purpose configuration input data pins. These pins can be used for configuration or as regular I/O pins. These pins can also be used as user I/O pins after configuration.
DATA7	I/O, Bidirectional	In the PPA configuration scheme, the DATA7 pin presents the RDYnBSY signal after the nRS signal has been strobed low.
INIT_DONE	I/O, Output (open-drain)	This is a dual-purpose pin and can be used as an I/O pin when not enabled as INIT_DONE. When enabled, a transition from low to high at the pin indicates when the device has entered user mode. If the INIT_DONE output is enabled, the INIT_DONE pin cannot be used as a user I/O pin after configuration.
nCS, CS	I/O, Input	These are chip-select inputs that enable the Stratix II device in the passive parallel asynchronous configuration mode. Drive nCS low and CS high to target a device for configuration. If a design requires an active high enable, use the CS pin and drive the nCS pin low. If a design requires an active low enable, use the nCS pin and drive the CS pin high. Configuration will be paused when either signal is inactive. Hold the nCS and CS pins active during configuration and initialization. The design can use these pins as user I/O pins after configuration.
nRS	I/O, Input	Read strobe input pin. A low input directs the device to drive the RDYnBSY signal on the DATA7 pin. If the nRS pin is not used in PPA mode, it should be tied high. In non-PPA schemes, it functions as a user I/O during configuration, which means it is tri-stated. This pin can be used as a user I/O pin after configuration.
nWS	I/O, Input	Active-low write strobe input to latch a byte of data on the DATA pins. This pin can be used as a user I/O pin after configuration.
CLKUSR	I/O, Input	for use as a user-supplied configuration clock, it can be used as a user I/O pin.
RDYnBSY	I/O, Output	Ready not busy output. A high output indicates that the target device is ready to accept another data byte. A low output indicates that the target device is not ready to receive another data byte. This pin can be used as a user I/O pin after configuration.
PGM[0..2]	I/O, Output	These output pins control one of eight pages in the memory (either flash or enhanced configuration device) when using a remote system update mode. When not using remote update or local update configuration modes, these pins are user I/O pins.
RUnLU	I/O, Input	Input that selects between remote update and local update. A logic high (1.5 V, 1.8 V, 2.5 V, 3.3 V) selects remote update and a logic low selects local update. When not using remote update or local update configuration modes, this pin is available as general-purpose user I/O pin.
Dual-Purpose Differential & External Memory Interface Pins		
DIFFIO_RX[3..78,95..170]p/n	I/O, RX channel	Dual-purpose differential receiver channels 3 to 78 and channels 95 to 170. These channels can be used for receiving LVDS or HyperTransport compatible signals. Pins with a "p" suffix carry the positive signal for the differential channel. Pins with an "n" suffix carry the negative signal for the differential channel. If not used for differential signaling, these pins are available as user I/O pins.
DIFFIO_TX[2..79,94..171]p/n	I/O, TX channel	Dual-purpose differential transmitter channels 2 to 79 and channels 94 to 171. These channels can be used for transmitting LVDS or HyperTransport compatible signals. Pins with a "p" suffix carry the positive signal for the differential channel. Pins with an "n" suffix carry the negative signal for the differential channel. If not used for differential signaling, these pins are available as user I/O pins.
DQS[T,B]	I/O, DQS	Optional data strobe signal for use in external memory interfacing. These pins drive to dedicated DQS phase shift circuitry. The shifted DQS signal can also drive to internal logic.
DQS[L,R]	I/O, DQS	Optional data strobe signal for use in external memory interfacing. These pins do not drive to dedicated DQS phase shift circuitry and are only used as write data strobe or write data clock.
DQSn[T,B]	I/O, DQSn	Optional complementary data strobe signal for use in QDRII SRAM. These pins drive to dedicated DQS phase shift circuitry.
DQ[T,B,L,R]	I/O, DQ	Optional data signal for use in external memory interfacing. The order of the DQ bits within a designated DQ bus is not important; however, use caution when making pin assignments if you plan on migrating to a different memory interface that has a different DQ bus width. Analyze the available DQ pins across all pertinent DQS columns in the pin list.



**Pin Information for the Stratix® II EP2S180 Device
Version 2.2**

Pin Name	Pin Type (1st, 2nd, & 3rd Function)	Pin Description
DM[L,R]	I/O, DM	Optional data mask signal for use in external memory interfacing. You can also use this pin as a DQ pin.
DQVLD[0..8][T,B]	I/O, DQVLD	Optional data valid signal for use in external memory interfacing.



- Notes:**
1. This is a top view of the silicon die. For flip chip packages, the die is mounted upside down in the package; therefore, to obtain the top package view, flip this diagram on its vertical axis.
 2. This is only a pictorial representation to provide an idea of placement on the device. Refer to the pin list and the Quartus® II software for exact locations.
 3. The DQ/DQS groups depicted above are in x8/x9 mode for the top and bottom I/O banks where there is dedicated circuitry. DQ/DQS groups on the side I/O banks are not shown here. DQ/DQS support differs across the package offerings.



Pin Information for the Stratix® II EP2S180 Device
Version 2.2

Version Number	Date	Changes Made
1.0	2/18/2004	Initial revision
1.1	3/11/2004	Added DQS for x32/x36 to Pin List
1.2	3/31/2004	Changed pin name from CLK[10,8,2,0]p to CLK[10,8,2,0]p/DIFFIO_RX_C[3..0]p & CLK[10,8,2,0]n to CLK[10,8,2,0]n/DIFFIO_RX_C[3..0]n in Pin List
1.3	4/21/2004	Added the dual-purpose RUP[4,7] and RDN[4,7] signals to the pin list and the pin definitions sheet
1.4	7/14/2004	Added CRC_ERROR pin to pin list and pin definitions
1.5	9/10/2004	Corrected missing VCCD_PLL[7..12] to pin list
		Removed DQ bit indices
		Updated DQ and NC definitions
1.6	12/13/2004	Final version
1.7	6/27/2005	Updated Pin List to include DQS for x4
		Updated Pin Description for VCCPD
1.8	9/27/2005	Added DQ group for non-DQS mode columns in pin list: Added footnote for pins that do not support Optional Functions (LVDS, DDR, etc) Added footnote to explain x5 Mode and x4 Mode in non-DQS Mode
1.9	2/10/2006	Added footnote to address usage of Vref pins in external memory interface usage
2.0	6/16/2006	Changed VCC_PLLx_out definitions from "This pin should be connected to the VCCIO level of bank x" to "This pin is the VCCIO pin for bank x". Added input usage informations for PLLx_OUT[0..1]p
2.1	2/5/2007	Corrected numbering of DIFFIO_RX and DIFFIO_TX in pin description.
2.2	2/13/2007	Removed redundant rows and updated the description for VCCPD8 during key programming.