TYPE	BANK	HF35 Package
LVDS I/O	2K	48
HPS shared LVDS I/O	2L	48
HPS shared LVDS I/O	2M	48
HPS shared LVDS I/O	2N	48
LVDS I/O	3A	8
LVDS I/O	3B	48
LVDS I/O	3C	48
LVDS I/O	3D	8
Transceiver I/O	8A	114
HPS shared LVDS I/O	HPS	48
SDM shared LVDS I/O	SDM	29

i. Total LVDS channels per bank supporting SERDES Non-DPA and DPA mode is equivalent to (LVDS I/O per bank)/2, inclusive of clock pair. Please refer to Dedicated Tx/Rx Channel column in the pin-out table for the channel availability.
ii. Total LVDS channels supporting SERDES Soft-CDR mode is 12 pairs per bank. Please refer to Soft CDR column in the pin out table for the channel availability.

Bank Number	Index within I/O Bank	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	GT support	HF35	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
8A			GXEL8A_TX_CH0p					Yes	AM28				
8A			GXEL8A_TX_CH1p					Yes	AK28				
8A			GXEL8A_TX_CH2p					Yes	AN31				
8A			GXEL8A_TX_CH3p					Yes	AL31				
8A			GXEL8A_TX_CH4p					Yes	AJ31				
8A			GXEL8A_TX_CH5p					Yes	AM34				
8A			GXEL8A_TX_CH6p					Yes	AK34				
8A			GXEL8A_TX_CH7p					Yes	AH34				
8A			GXEL8A_TX_CH8p					Yes	AF34				
8A			GXEL8A_TX_CH9p					Yes	AD34				
8A			GXEL8A_TX_CH10p					Yes	AB34				
8A			GXEL8A_TX_CH11p					Yes	Y34				
8A			GXEL8A_TX_CH12p					Yes	V34				
8A			GXEL8A_TX_CH13p					Yes	T34				
8A			GXEL8A_TX_CH14p					Yes	P34				
8A			GXEL8A_TX_CH15p					Yes	M34				
8A			GXEL8A_TX_CH16p					Yes	K34				
8A			GXEL8A_TX_CH17p					Yes	H34				
8A			GXEL8A_TX_CH18p					Yes	F34				
8A			GXEL8A_TX_CH19p					Yes	D34				
8A			GXEL8A_TX_CH20p					Yes	C31				
8A			GXEL8A_TX_CH21p					Yes	A31				
8A			GXEL8A_TX_CH22p					Yes	D28				
8A			GXEL8A_TX_CH23p					Yes	B28				
8A			GXEL8A_TX_CH0n					Yes	AM27				
8A			GXEL8A_TX_CH1n					Yes	AK27				
8A			GXEL8A_TX_CH2n					Yes	AN30				
8A			GXEL8A_TX_CH3n					Yes	AL30				
8A			GXEL8A_TX_CH4n					Yes	AJ30				
8A			GXEL8A_TX_CH5n					Yes	AM33				
8A			GXEL8A_TX_CH6n					Yes	AK33				
8A			GXEL8A_TX_CH7n					Yes	AH33				
8A			GXEL8A_TX_CH8n					Yes	AF33				
8A			GXEL8A_TX_CH9n					Yes	AD33				
8A			GXEL8A_TX_CH10n					Yes	AB33				
8A			GXEL8A_TX_CH11n					Yes	Y33				
8A			GXEL8A_TX_CH12n					Yes	V33				
8A			GXEL8A_TX_CH13n					Yes	T33				
8A			GXEL8A_TX_CH14n					Yes	P33				
8A			GXEL8A_TX_CH15n					Yes	M33				
8A			GXEL8A_TX_CH16n					Yes	K33				
8A			GXEL8A_TX_CH17n					Yes	H33				
8A			GXEL8A_TX_CH18n					Yes	F33				
8A			GXEL8A_TX_CH19n					Yes	D33				
8A			GXEL8A_TX_CH20n					Yes	C30				
8A			GXEL8A_TX_CH21n					Yes	A30				
8A			GXEL8A_TX_CH22n					Yes	D27				
8A			GXEL8A_TX_CH23n					Yes	B27				
8A			GXEL8A_RX_CH0p					Yes	AH28				
8A			GXEL8A_RX_CH1p					Yes	AF28				
8A			GXEL8A_RX_CH2p					Yes	AD28				
8A			GXEL8A_RX_CH3p					Yes	AB28				
8A			GXEL8A_RX_CH4p					Yes	AG31				
8A			GXEL8A_RX_CH5p					Yes	AE31				
8A			GXEL8A_RX_CH6p					Yes	Y28				
8A			GXEL8A_RX_CH7p					Yes	AC31				
8A			GXEL8A_RX_CH8p					Yes	AA31				
8A			GXEL8A_RX_CH9p					Yes	W31				
8A			GXEL8A_RX_CH10p					Yes	U31				
8A			GXEL8A_RX_CH11p					Yes	R31				
8A			GXEL8A_RX_CH12p					Yes	V28				
8A			GXEL8A_RX_CH13p					Yes	N31				
8A			GXEL8A_RX_CH14p					Yes	L31				
8A			GXEL8A_RX_CH15p					Yes	J31				
8A			GXEL8A_RX_CH16p					Yes	G31				
8A			GXEL8A_RX_CH17p					Yes	E31				
8A			GXEL8A_RX_CH18p					Yes	T28				
8A			GXEL8A_RX_CH19p					Yes	P28				
8A			GXEL8A_RX_CH20p					Yes	M28				
8A			GXEL8A_RX_CH21p					Yes	K28				
8A			GXEL8A_RX_CH22p					Yes	H28				
8A			GXEL8A_RX_CH23p					Yes	F28				
8A			GXEL8A_RX_CH0n					Yes	AH27				
8A			GXEL8A_RX_CH1n					Yes	AF27				
8A			GXEL8A_RX_CH2n					Yes	AD27				
8A			GXEL8A_RX_CH3n					Yes	AB27				
8A			GXEL8A_RX_CH4n					Yes	AG30				
8A			GXEL8A_RX_CH5n					Yes	AE30				
8A			GXEL8A_RX_CH6n					Yes	Y27				
8A			GXEL8A_RX_CH7n					Yes	AC30				
8A			GXEL8A_RX_CH8n					Yes	AA30				
8A			GXEL8A_RX_CH9n					Yes	W30				
8A			GXEL8A_RX_CH10n					Yes	U30				
8A			GXEL8A_RX_CH11n					Yes	R30				
8A			GXEL8A_RX_CH12n					Yes	V27				
8A			GXEL8A_RX_CH13n					Yes	N30				
8A			GXEL8A_RX_CH14n					Yes	L30				
8A			GXEL8A_RX_CH15n					Yes	J30				

Bank Number	Index within I/O Bank	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	GT support	HF35	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
8A			GXEL8A_RX_CH16n					Yes	G30				
8A			GXEL8A_RX_CH17n					Yes	E30				
8A			GXEL8A_RX_CH18n					Yes	T27				
8A			GXEL8A_RX_CH19n					Yes	P27				
8A			GXEL8A_RX_CH20n					Yes	M27				
8A			GXEL8A_RX_CH21n					Yes	K27				
8A			GXEL8A_RX_CH22n					Yes	H27				
8A			GXEL8A_RX_CH23n					Yes	F27				
8A			REFCLK_GXEL8A_CH0p						AL25				
8A			REFCLK_GXEL8A_CH0n						AL24				
8A			REFCLK_GXEL8A_CH1p						AK25				
8A			REFCLK_GXEL8A_CH1n						AK24				
8A			REFCLK_GXEL8A_CH2p						AF25				
8A			REFCLK_GXEL8A_CH2n						AF24				
8A			REFCLK_GXEL8A_CH3p						AC25				
8A			REFCLK_GXEL8A_CH3n						AC24				
8A			REFCLK_GXEL8A_CH4p						AJ25				
8A			REFCLK_GXEL8A_CH4n						AJ24				
8A			REFCLK_GXEL8A_CH5p						AG25				
8A			REFCLK_GXEL8A_CH5n						AG24				
8A			REFCLK_GXEL8A_CH6p						AD25				
8A			REFCLK_GXEL8A_CH6n						AD24				
8A			REFCLK_GXEL8A_CH7p						AH25				
8A			REFCLK_GXEL8A_CH7n						AH24				
8A			REFCLK_GXEL8A_CH8p						AE25				
8A			REFCLK_GXEL8A_CH8n						AE24				
2N	47	VREFB2NN0	IO			LVDS2N_1n	No		D14	DQ0	DQ0	DQ0	DQ0
2N	46	VREFB2NN0	IO			LVDS2N_1p	No		C14	DQ0	DQ0	DQ0	DQ0
2N	45	VREFB2NN0	IO			LVDS2N_2n	Yes		K15	DQSn0	DQ0	DQ0	DQ0
2N	44	VREFB2NN0	IO			LVDS2N_2p	Yes		K14	DQS0	DQ0	DQ0	DQ0
2N	43	VREFB2NN0	IO			LVDS2N_3n	No		A13	DQ0	DQ0	DQ0	DQ0
2N	42	VREFB2NN0	IO			LVDS2N_3p	No		B13	DQ0	DQ0	DQ0	DQ0
2N	41	VREFB2NN0	IO			LVDS2N_4n	Yes		J14	DQSn1	DQSn0/CQn0	DQ0	DQ0
2N	40	VREFB2NN0	IO			LVDS2N_4p	Yes		H14	DQS1	DQS0/CQ0	DQ0	DQ0
2N	39	VREFB2NN0	IO			LVDS2N_5n	No		D13	DQ1	DQ0	DQ0	DQ0
2N	38	VREFB2NN0	IO			LVDS2N_5p	No		C13	DQ1	DQ0	DQ0	DQ0
2N	37	VREFB2NN0	IO			LVDS2N_6n	Yes		E14	DQ1	DQ0	DQ0	DQ0
2N	36	VREFB2NN0	IO			LVDS2N_6p	Yes		F14	DQ1	DQ0	DQ0	DQ0
2N	35	VREFB2NN0	IO			LVDS2N_7n	No		B11	DQ2	DQ1	DQ0	DQ0
2N	34	VREFB2NN0	IO			LVDS2N_7p	No		C11	DQ2	DQ1	DQ0	DQ0
2N	33	VREFB2NN0	IO			LVDS2N_8n	Yes		A12	DQSn2	DQ1	DQSn0/CQn0	DQ0
2N	32	VREFB2NN0	IO			LVDS2N_8p	Yes		B12	DQS2	DQ1	DQS0/CQ0	DQ0
2N	31	VREFB2NN0	IO			LVDS2N_9n	No		D12	DQ2	DQ1	DQ0	DQ0
2N	30	VREFB2NN0	IO			LVDS2N_9p	No		E12	DQ2	DQ1	DQ0	DQ0
2N	29	VREFB2NN0	IO	PLL_2N_CLKOUT1n		LVDS2N_10n	Yes		F13	DQSn3	DQSn1/CQn1	DQ0	DQ0
2N	28	VREFB2NN0	IO	PLL_2N_CLKOUT1p,PLL_2N_CLKOUT1,PLL_2N_FB1		LVDS2N_10p	Yes		G13	DQS3	DQS1/CQ1	DQ0	DQ0
2N	27	VREFB2NN0	IO			LVDS2N_11n	No		F12	DQ3	DQ1	DQ0	DQ0
2N	26	VREFB2NN0	IO	RZQ_2N		LVDS2N_11p	No		G12	DQ3	DQ1	DQ0	DQ0
2N	25	VREFB2NN0	IO	CLK_2N_1n		LVDS2N_12n	Yes		H13	DQ3	DQ1	DQ0	DQ0
2N	24	VREFB2NN0	IO	CLK_2N_1p		LVDS2N_12p	Yes		J13	DQ3	DQ1	DQ0	DQ0
2N	23	VREFB2NN0	IO	CLK_2N_0n		LVDS2N_13n	No		E11	DQ4	DQ2	DQ1	DQ0
2N	22	VREFB2NN0	IO	CLK_2N_0p		LVDS2N_13p	No		D11	DQ4	DQ2	DQ1	DQ0
2N	21	VREFB2NN0	IO			LVDS2N_14n	Yes		A9	DQSn4	DQ2	DQ1	DQSn0/CQn0
2N	20	VREFB2NN0	IO			LVDS2N_14p	Yes		A10	DQS4	DQ2	DQ1	DQS0/CQ0
2N	19	VREFB2NN0	IO	PLL_2N_CLKOUT0n		LVDS2N_15n	No		D9	DQ4	DQ2	DQ1	DQ0
2N	18	VREFB2NN0	IO	PLL_2N_CLKOUT0p,PLL_2N_CLKOUT0,PLL_2N_FB0		LVDS2N_15p	No		C9	DQ4	DQ2	DQ1	DQ0
2N	17	VREFB2NN0	IO			LVDS2N_16n	Yes		B8	DQSn5	DQSn2/CQn2	DQ1	DQ0
2N	16	VREFB2NN0	IO			LVDS2N_16p	Yes		A8	DQS5	DQS2/CQ2	DQ1	DQ0
2N	15	VREFB2NN0	IO			LVDS2N_17n	No		D8	DQ5	DQ2	DQ1	DQ0
2N	14	VREFB2NN0	IO			LVDS2N_17p	No		C8	DQ5	DQ2	DQ1	DQ0
2N	13	VREFB2NN0	IO			LVDS2N_18n	Yes		C10	DQ5	DQ2	DQ1	DQ0
2N	12	VREFB2NN0	IO			LVDS2N_18p	Yes		B10	DQ5	DQ2	DQ1	DQ0
2N	11	VREFB2NN0	IO			LVDS2N_19n	No		H11	DQ6	DQ3	DQ1	DQ0
2N	10	VREFB2NN0	IO			LVDS2N_19p	No		G11	DQ6	DQ3	DQ1	DQ0
2N	9	VREFB2NN0	IO			LVDS2N_20n	Yes		J12	DQSn6	DQ3	DQSn1/CQn1	DQ0
2N	8	VREFB2NN0	IO			LVDS2N_20p	Yes		K12	DQS6	DQ3	DQS1/CQ1	DQ0
2N	7	VREFB2NN0	IO			LVDS2N_21n	No		E10	DQ6	DQ3	DQ1	DQ0
2N	6	VREFB2NN0	IO			LVDS2N_21p	No		F10	DQ6	DQ3	DQ1	DQ0
2N	5	VREFB2NN0	IO			LVDS2N_22n	Yes		J11	DQSn7	DQSn3/CQn3	DQ1	DQ0
2N	4	VREFB2NN0	IO			LVDS2N_22p	Yes		K11	DQS7	DQS3/CQ3	DQ1	DQ0
2N	3	VREFB2NN0	IO			LVDS2N_23n	No		E9	DQ7	DQ3	DQ1	DQ0
2N	2	VREFB2NN0	IO			LVDS2N_23p	No		F9	DQ7	DQ3	DQ1	DQ0
2N	1	VREFB2NN0	IO			LVDS2N_24n	Yes		L13	DQ7	DQ3	DQ1	DQ0
2N	0	VREFB2NN0	IO			LVDS2N_24p	Yes		L12	DQ7	DQ3	DQ1	DQ0
2M	47	VREFB2MN0	IO			LVDS2M_1n	No		E15	DQ8	DQ4	DQ2	DQ1
2M	46	VREFB2MN0	IO			LVDS2M_1p	No		F15	DQ8	DQ4	DQ2	DQ1
2M	45	VREFB2MN0	IO			LVDS2M_2n	Yes		A14	DQSn8	DQ4	DQ2	DQ1
2M	44	VREFB2MN0	IO			LVDS2M_2p	Yes		A15	DQS8	DQ4	DQ2	DQ1
2M	43	VREFB2MN0	IO			LVDS2M_3n	No		D16	DQ8	DQ4	DQ2	DQ1
2M	42	VREFB2MN0	IO			LVDS2M_3p	No		E16	DQ8	DQ4	DQ2	DQ1
2M	41	VREFB2MN0	IO			LVDS2M_4n	Yes		B15	DQSn9	DQSn4/CQn4	DQ2	DQ1
2M	40	VREFB2MN0	IO			LVDS2M_4p	Yes		C15	DQS9	DQS4/CQ4	DQ2	DQ1
2M	39	VREFB2MN0	IO			LVDS2M_5n	No		E17	DQ9	DQ4	DQ2	DQ1
2M	38	VREFB2MN0	IO			LVDS2M_5p	No		D17	DQ9	DQ4	DQ2	DQ1
2M	37	VREFB2MN0	IO			LVDS2M_6n	Yes		C16	DQ9	DQ4	DQ2	DQ1
2M	36	VREFB2MN0	IO			LVDS2M_6p	Yes		B16	DQ9	DQ4	DQ2	DQ1
2M	35	VREFB2MN0	IO			LVDS2M_7n	No		B17	DQ10	DQ5	DQ2	DQ1
2M	34	VREFB2MN0	IO			LVDS2M_7p	No		A17	DQ10	DQ5	DQ2	DQ1

Bank Number	Index within I/O Bank	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	GT support	HF35	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
2M	33	VREFB2MN0	IO			LVDS2M_8n	Yes		C18	DQSn10	DQ5	DQSn2/CQn2	DQ1
2M	32	VREFB2MN0	IO			LVDS2M_8p	Yes		D18	DQS10	DQ5	DQS2/CQ2	DQ1
2M	31	VREFB2MN0	IO			LVDS2M_9n	No		A18	DQ10	DQ5	DQ2	DQ1
2M	30	VREFB2MN0	IO			LVDS2M_9p	No		B18	DQ10	DQ5	DQ2	DQ1
2M	29	VREFB2MN0	IO	PLL_2M_CLKOUT1n		LVDS2M_10n	Yes		C19	DQSn11	DQSn5/CQn5	DQ2	DQ1
2M	28	VREFB2MN0	IO	PLL_2M_CLKOUT1p,PLL_2M_CLKOUT1,PLL_2M_FB1		LVDS2M_10p	Yes		D19	DQS11	DQS5/CQ5	DQ2	DQ1
2M	27	VREFB2MN0	IO			LVDS2M_11n	No		A19	DQ11	DQ5	DQ2	DQ1
2M	26	VREFB2MN0	IO	RZQ_2M		LVDS2M_11p	No		A20	DQ11	DQ5	DQ2	DQ1
2M	25	VREFB2MN0	IO	CLK_2M_1n		LVDS2M_12n	Yes		B20	DQ11	DQ5	DQ2	DQ1
2M	24	VREFB2MN0	IO	CLK_2M_1p		LVDS2M_12p	Yes		C20	DQ11	DQ5	DQ2	DQ1
2M	23	VREFB2MN0	IO	CLK_2M_0n		LVDS2M_13n	No		K16	DQ12	DQ6	DQ3	DQ1
2M	22	VREFB2MN0	IO	CLK_2M_0p		LVDS2M_13p	No		J16	DQ12	DQ6	DQ3	DQ1
2M	21	VREFB2MN0	IO			LVDS2M_14n	Yes		G16	DQSn12	DQ6	DQ3	DQSn1/CQn1
2M	20	VREFB2MN0	IO			LVDS2M_14p	Yes		H16	DQS12	DQ6	DQ3	DQS1/CQ1
2M	19	VREFB2MN0	IO	PLL_2M_CLKOUT0n		LVDS2M_15n	No		K17	DQ12	DQ6	DQ3	DQ1
2M	18	VREFB2MN0	IO	PLL_2M_CLKOUT0p,PLL_2M_CLKOUT0,PLL_2M_FB0		LVDS2M_15p	No		J17	DQ12	DQ6	DQ3	DQ1
2M	17	VREFB2MN0	IO			LVDS2M_16n	Yes		F17	DQSn13	DQSn6/CQn6	DQ3	DQ1
2M	16	VREFB2MN0	IO			LVDS2M_16p	Yes		G17	DQS13	DQS6/CQ6	DQ3	DQ1
2M	15	VREFB2MN0	IO			LVDS2M_17n	No		H15	DQ13	DQ6	DQ3	DQ1
2M	14	VREFB2MN0	IO			LVDS2M_17p	No		G15	DQ13	DQ6	DQ3	DQ1
2M	13	VREFB2MN0	IO			LVDS2M_18n	Yes		J18	DQ13	DQ6	DQ3	DQ1
2M	12	VREFB2MN0	IO			LVDS2M_18p	Yes		H18	DQ13	DQ6	DQ3	DQ1
2M	11	VREFB2MN0	IO			LVDS2M_19n	No		F18	DQ14	DQ7	DQ3	DQ1
2M	10	VREFB2MN0	IO			LVDS2M_19p	No		G18	DQ14	DQ7	DQ3	DQ1
2M	9	VREFB2MN0	IO			LVDS2M_20n	Yes		G20	DQSn14	DQ7	DQSn3/CQn3	DQ1
2M	8	VREFB2MN0	IO			LVDS2M_20p	Yes		H20	DQS14	DQ7	DQS3/CQ3	DQ1
2M	7	VREFB2MN0	IO			LVDS2M_21n	No		E19	DQ14	DQ7	DQ3	DQ1
2M	6	VREFB2MN0	IO			LVDS2M_21p	No		F19	DQ14	DQ7	DQ3	DQ1
2M	5	VREFB2MN0	IO			LVDS2M_22n	Yes		H19	DQSn15	DQSn7/CQn7	DQ3	DQ1
2M	4	VREFB2MN0	IO			LVDS2M_22p	Yes		J19	DQS15	DQS7/CQ7	DQ3	DQ1
2M	3	VREFB2MN0	IO			LVDS2M_23n	No		E20	DQ15	DQ7	DQ3	DQ1
2M	2	VREFB2MN0	IO			LVDS2M_23p	No		F20	DQ15	DQ7	DQ3	DQ1
2M	1	VREFB2MN0	IO			LVDS2M_24n	Yes		K19	DQ15	DQ7	DQ3	DQ1
2M	0	VREFB2MN0	IO			LVDS2M_24p	Yes		K20	DQ15	DQ7	DQ3	DQ1
2L	47	VREFB2LN0	IO			LVDS2L_1n	No		B21	DQ16	DQ8	DQ4	DQ2
2L	46	VREFB2LN0	IO			LVDS2L_1p	No		C21	DQ16	DQ8	DQ4	DQ2
2L	45	VREFB2LN0	IO			LVDS2L_2n	Yes		D22	DQSn16	DQ8	DQ4	DQ2
2L	44	VREFB2LN0	IO			LVDS2L_2p	Yes		E22	DQS16	DQ8	DQ4	DQ2
2L	43	VREFB2LN0	IO			LVDS2L_3n	No		A22	DQ16	DQ8	DQ4	DQ2
2L	42	VREFB2LN0	IO			LVDS2L_3p	No		B22	DQ16	DQ8	DQ4	DQ2
2L	41	VREFB2LN0	IO			LVDS2L_4n	Yes		F22	DQSn17	DQSn8/CQn8	DQ4	DQ2
2L	40	VREFB2LN0	IO			LVDS2L_4p	Yes		G22	DQS17	DQS8/CQ8	DQ4	DQ2
2L	39	VREFB2LN0	IO			LVDS2L_5n	No		E21	DQ17	DQ8	DQ4	DQ2
2L	38	VREFB2LN0	IO			LVDS2L_5p	No		D21	DQ17	DQ8	DQ4	DQ2
2L	37	VREFB2LN0	IO			LVDS2L_6n	Yes		H21	DQ17	DQ8	DQ4	DQ2
2L	36	VREFB2LN0	IO			LVDS2L_6p	Yes		G21	DQ17	DQ8	DQ4	DQ2
2L	35	VREFB2LN0	IO			LVDS2L_7n	No		C23	DQ18	DQ9	DQ4	DQ2
2L	34	VREFB2LN0	IO			LVDS2L_7p	No		D23	DQ18	DQ9	DQ4	DQ2
2L	33	VREFB2LN0	IO			LVDS2L_8n	Yes		L22	DQSn18	DQ9	DQSn4/CQn4	DQ2
2L	32	VREFB2LN0	IO			LVDS2L_8p	Yes		M21	DQS18	DQ9	DQS4/CQ4	DQ2
2L	31	VREFB2LN0	IO			LVDS2L_9n	No		F23	DQ18	DQ9	DQ4	DQ2
2L	30	VREFB2LN0	IO			LVDS2L_9p	No		G23	DQ18	DQ9	DQ4	DQ2
2L	29	VREFB2LN0	IO	PLL_2L_CLKOUT1n		LVDS2L_10n	Yes		H23	DQSn19	DQSn9/CQn9	DQ4	DQ2
2L	28	VREFB2LN0	IO	PLL_2L_CLKOUT1p,PLL_2L_CLKOUT1,PLL_2L_FB1		LVDS2L_10p	Yes		J23	DQS19	DQS9/CQ9	DQ4	DQ2
2L	27	VREFB2LN0	IO			LVDS2L_11n	No		J21	DQ19	DQ9	DQ4	DQ2
2L	26	VREFB2LN0	IO	RZQ_2L		LVDS2L_11p	No		K21	DQ19	DQ9	DQ4	DQ2
2L	25	VREFB2LN0	IO	CLK_2L_1n		LVDS2L_12n	Yes		J22	DQ19	DQ9	DQ4	DQ2
2L	24	VREFB2LN0	IO	CLK_2L_1p		LVDS2L_12p	Yes		K22	DQ19	DQ9	DQ4	DQ2
2L	23	VREFB2LN0	IO	CLK_2L_0n		LVDS2L_13n	No		B23	DQ20	DQ10	DQ5	DQ2
2L	22	VREFB2LN0	IO	CLK_2L_0p		LVDS2L_13p	No		A23	DQ20	DQ10	DQ5	DQ2
2L	21	VREFB2LN0	IO			LVDS2L_14n	Yes		D24	DQSn20	DQ10	DQ5	DQSn2/CQn2
2L	20	VREFB2LN0	IO			LVDS2L_14p	Yes		C24	DQS20	DQ10	DQ5	DQS2/CQ2
2L	19	VREFB2LN0	IO	PLL_2L_CLKOUT0n		LVDS2L_15n	No		A24	DQ20	DQ10	DQ5	DQ2
2L	18	VREFB2LN0	IO	PLL_2L_CLKOUT0p,PLL_2L_CLKOUT0,PLL_2L_FB0		LVDS2L_15p	No		A25	DQ20	DQ10	DQ5	DQ2
2L	17	VREFB2LN0	IO			LVDS2L_16n	Yes		F24	DQSn21	DQSn10/CQn10	DQ5	DQ2
2L	16	VREFB2LN0	IO			LVDS2L_16p	Yes		E24	DQS21	DQS10/CQ10	DQ5	DQ2
2L	15	VREFB2LN0	IO			LVDS2L_17n	No		B25	DQ21	DQ10	DQ5	DQ2
2L	14	VREFB2LN0	IO			LVDS2L_17p	No		C25	DQ21	DQ10	DQ5	DQ2
2L	13	VREFB2LN0	IO			LVDS2L_18n	Yes		F25	DQ21	DQ10	DQ5	DQ2
2L	12	VREFB2LN0	IO			LVDS2L_18p	Yes		E25	DQ21	DQ10	DQ5	DQ2
2L	11	VREFB2LN0	IO			LVDS2L_19n	No		G25	DQ22	DQ11	DQ5	DQ2
2L	10	VREFB2LN0	IO			LVDS2L_19p	No		H25	DQ22	DQ11	DQ5	DQ2
2L	9	VREFB2LN0	IO			LVDS2L_20n	Yes		K24	DQSn22	DQ11	DQSn5/CQn5	DQ2
2L	8	VREFB2LN0	IO			LVDS2L_20p	Yes		L24	DQS22	DQ11	DQS5/CQ5	DQ2
2L	7	VREFB2LN0	IO			LVDS2L_21n	No		H24	DQ22	DQ11	DQ5	DQ2
2L	6	VREFB2LN0	IO			LVDS2L_21p	No		J24	DQ22	DQ11	DQ5	DQ2
2L	5	VREFB2LN0	IO			LVDS2L_22n	Yes		K25	DQSn23	DQSn11/CQn11	DQ5	DQ2
2L	4	VREFB2LN0	IO			LVDS2L_22p	Yes		L25	DQS23	DQS11/CQ11	DQ5	DQ2
2L	3	VREFB2LN0	IO			LVDS2L_23n	No		L23	DQ23	DQ11	DQ5	DQ2
2L	2	VREFB2LN0	IO			LVDS2L_23p	No		M22	DQ23	DQ11	DQ5	DQ2
2L	1	VREFB2LN0	IO			LVDS2L_24n	Yes		M24	DQ23	DQ11	DQ5	DQ2
2L	0	VREFB2LN0	IO			LVDS2L_24p	Yes		M23	DQ23	DQ11	DQ5	DQ2
2K	47	VREFB2KN0	IO			LVDS2K_1n	No		AL22	DQ24	DQ12	DQ6	DQ3
2K	46	VREFB2KN0	IO			LVDS2K_1p	No		AM22	DQ24	DQ12	DQ6	DQ3
2K	45	VREFB2KN0	IO			LVDS2K_2n	Yes		AF22	DQSn24	DQ12	DQ6	DQ3
2K	44	VREFB2KN0	IO			LVDS2K_2p	Yes		AG22	DQS24	DQ12	DQ6	DQ3
2K	43	VREFB2KN0	IO			LVDS2K_3n	No		AP22	DQ24	DQ12	DQ6	DQ3
2K	42	VREFB2KN0	IO			LVDS2K_3p	No		AP21	DQ24	DQ12	DQ6	DQ3

Bank Number	Index within I/O Bank	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	GT support	HF35	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
2K	41	VREFB2KN0	IO			LVDS2K_4n	Yes		AJ22	DQSn25	DQSn12/CQn12	DQ6	DQ3
2K	40	VREFB2KN0	IO			LVDS2K_4p	Yes		AK22	DQS25	DQS12/CQ12	DQ6	DQ3
2K	39	VREFB2KN0	IO			LVDS2K_5n	No		AM21	DQ25	DQ12	DQ6	DQ3
2K	38	VREFB2KN0	IO			LVDS2K_5p	No		AN21	DQ25	DQ12	DQ6	DQ3
2K	37	VREFB2KN0	IO			LVDS2K_6n	Yes		AG21	DQ25	DQ12	DQ6	DQ3
2K	36	VREFB2KN0	IO			LVDS2K_6p	Yes		AH21	DQ25	DQ12	DQ6	DQ3
2K	35	VREFB2KN0	IO			LVDS2K_7n	No		AD19	DQ26	DQ13	DQ6	DQ3
2K	34	VREFB2KN0	IO			LVDS2K_7p	No		AD18	DQ26	DQ13	DQ6	DQ3
2K	33	VREFB2KN0	IO			LVDS2K_8n	Yes		AE20	DQSn26	DQ13	DQSn6/CQn6	DQ3
2K	32	VREFB2KN0	IO			LVDS2K_8p	Yes		AF20	DQS26	DQ13	DQS6/CQ6	DQ3
2K	31	VREFB2KN0	IO			LVDS2K_9n	No		AE19	DQ26	DQ13	DQ6	DQ3
2K	30	VREFB2KN0	IO			LVDS2K_9p	No		AF19	DQ26	DQ13	DQ6	DQ3
2K	29	VREFB2KN0	IO	PLL_2K_CLKOUT1n		LVDS2K_10n	Yes		AJ21	DQSn27	DQSn13/CQn13	DQ6	DQ3
2K	28	VREFB2KN0	IO	PLL_2K_CLKOUT1p,PLL_2K_CLKOUT1,PLL_2K_FB1		LVDS2K_10p	Yes		AK21	DQS27	DQS13/CQ13	DQ6	DQ3
2K	27	VREFB2KN0	IO			LVDS2K_11n	No		AF18	DQ27	DQ13	DQ6	DQ3
2K	26	VREFB2KN0	IO	RZQ_2K		LVDS2K_11p	No		AG18	DQ27	DQ13	DQ6	DQ3
2K	25	VREFB2KN0	IO	CLK_2K_1n		LVDS2K_12n	Yes		AG20	DQ27	DQ13	DQ6	DQ3
2K	24	VREFB2KN0	IO	CLK_2K_1p		LVDS2K_12p	Yes		AH20	DQ27	DQ13	DQ6	DQ3
2K	23	VREFB2KN0	IO	CLK_2K_0n		LVDS2K_13n	No		AK19	DQ28	DQ14	DQ7	DQ3
2K	22	VREFB2KN0	IO	CLK_2K_0p		LVDS2K_13p	No		AL19	DQ28	DQ14	DQ7	DQ3
2K	21	VREFB2KN0	IO			LVDS2K_14n	Yes		AJ19	DQSn28	DQ14	DQ7	DQSn3/CQn3
2K	20	VREFB2KN0	IO			LVDS2K_14p	Yes		AH19	DQS28	DQ14	DQ7	DQS3/CQ3
2K	19	VREFB2KN0	IO	PLL_2K_CLKOUT0n		LVDS2K_15n	No		AM20	DQ28	DQ14	DQ7	DQ3
2K	18	VREFB2KN0	IO	PLL_2K_CLKOUT0p,PLL_2K_CLKOUT0,PLL_2K_FB0		LVDS2K_15p	No		AN20	DQ28	DQ14	DQ7	DQ3
2K	17	VREFB2KN0	IO			LVDS2K_16n	Yes		AL20	DQSn29	DQSn14/CQn14	DQ7	DQ3
2K	16	VREFB2KN0	IO			LVDS2K_16p	Yes		AK20	DQS29	DQS14/CQ14	DQ7	DQ3
2K	15	VREFB2KN0	IO			LVDS2K_17n	No		AN19	DQ29	DQ14	DQ7	DQ3
2K	14	VREFB2KN0	IO			LVDS2K_17p	No		AP19	DQ29	DQ14	DQ7	DQ3
2K	13	VREFB2KN0	IO			LVDS2K_18n	Yes		AJ18	DQ29	DQ14	DQ7	DQ3
2K	12	VREFB2KN0	IO			LVDS2K_18p	Yes		AH18	DQ29	DQ14	DQ7	DQ3
2K	11	VREFB2KN0	IO			LVDS2K_19n	No		AL18	DQ30	DQ15	DQ7	DQ3
2K	10	VREFB2KN0	IO			LVDS2K_19p	No		AM18	DQ30	DQ15	DQ7	DQ3
2K	9	VREFB2KN0	IO			LVDS2K_20n	Yes		AD17	DQSn30	DQ15	DQSn7/CQn7	DQ3
2K	8	VREFB2KN0	IO			LVDS2K_20p	Yes		AE17	DQS30	DQ15	DQS7/CQ7	DQ3
2K	7	VREFB2KN0	IO			LVDS2K_21n	No		AL17	DQ30	DQ15	DQ7	DQ3
2K	6	VREFB2KN0	IO			LVDS2K_21p	No		AM17	DQ30	DQ15	DQ7	DQ3
2K	5	VREFB2KN0	IO			LVDS2K_22n	Yes		AF17	DQSn31	DQSn15/CQn15	DQ7	DQ3
2K	4	VREFB2KN0	IO			LVDS2K_22p	Yes		AG17	DQS31	DQS15/CQ15	DQ7	DQ3
2K	3	VREFB2KN0	IO			LVDS2K_23n	No		AN18	DQ31	DQ15	DQ7	DQ3
2K	2	VREFB2KN0	IO			LVDS2K_23p	No		AP18	DQ31	DQ15	DQ7	DQ3
2K	1	VREFB2KN0	IO			LVDS2K_24n	Yes		AJ17	DQ31	DQ15	DQ7	DQ3
2K	0	VREFB2KN0	IO			LVDS2K_24p	Yes		AK17	DQ31	DQ15	DQ7	DQ3
3D		VREFB3DN0	IO	DIFF_3D_1n					L8				
3D		VREFB3DN0	IO	DIFF_3D_1p					L7				
3D		VREFB3DN0	IO	DIFF_3D_2n					J7				
3D		VREFB3DN0	IO	DIFF_3D_2p					K7				
3D		VREFB3DN0	IO	DIFF_3D_3n					M8				
3D		VREFB3DN0	IO	DIFF_3D_3p					M7				
3D		VREFB3DN0	IO	DIFF_3D_4n					J6				
3D		VREFB3DN0	IO	DIFF_3D_4p					K6				
3D		VREFB3DN0	IO	DIFF_3D_5n					N6				
3D		VREFB3DN0	IO	DIFF_3D_5p					M6				
3D		VREFB3DN0	IO	DIFF_3D_6n					L5				
3D		VREFB3DN0	IO	DIFF_3D_6p					K5				
3D		VREFB3DN0	IO	DIFF_3D_7n					H4				
3D		VREFB3DN0	IO	DIFF_3D_7p					J4				
3D		VREFB3DN0	IO	DIFF_3D_8n					G1				
3D		VREFB3DN0	IO	DIFF_3D_8p					H1				
3D		VREFB3DN0	IO	DIFF_3D_9n					H3				
3D		VREFB3DN0	IO	DIFF_3D_9p					J3				
3D		VREFB3DN0	IO	PLL_3D_CLKOUT1n		LVDS3D_10n	Yes		J2				
3D		VREFB3DN0	IO	PLL_3D_CLKOUT1p,PLL_3D_CLKOUT1,PLL_3D_FB1		LVDS3D_10p	Yes		K2				
3D		VREFB3DN0	IO	DIFF_3D_11n					K4				
3D		VREFB3DN0	IO	RZQ_3D,DIFF_3D_11p					L4				
3D		VREFB3DN0	IO	CLK_3D_1n		LVDS3D_12n	Yes		J1				
3D		VREFB3DN0	IO	CLK_3D_1p		LVDS3D_12p	Yes		K1				
3D		VREFB3DN0	IO	CLK_3D_0n		LVDS3D_13n	No		N5				
3D		VREFB3DN0	IO	CLK_3D_0p		LVDS3D_13p	No		M5				
3D		VREFB3DN0	IO	DIFF_3D_14n					M2				
3D		VREFB3DN0	IO	DIFF_3D_14p					L2				
3D		VREFB3DN0	IO	PLL_3D_CLKOUT0n		LVDS3D_15n	No		M3				
3D		VREFB3DN0	IO	PLL_3D_CLKOUT0p,PLL_3D_CLKOUT0,PLL_3D_FB0		LVDS3D_15p	No		L3				
3D		VREFB3DN0	IO	DIFF_3D_16n					N1				
3D		VREFB3DN0	IO	DIFF_3D_16p					M1				
3D		VREFB3DN0	IO	DIFF_3D_17n					N3				
3D		VREFB3DN0	IO	DIFF_3D_17p					N4				
3D		VREFB3DN0	IO	DIFF_3D_18n					P2				
3D		VREFB3DN0	IO	DIFF_3D_18p					P1				
3D		VREFB3DN0	IO	DIFF_3D_19n					P7				
3D		VREFB3DN0	IO	DIFF_3D_19p					P6				
3D		VREFB3DN0	IO	DIFF_3D_20n					P4				
3D		VREFB3DN0	IO	DIFF_3D_20p					P3				
3D		VREFB3DN0	IO	DIFF_3D_21n					R4				
3D		VREFB3DN0	IO	DIFF_3D_21p					R5				
3D		VREFB3DN0	IO	DIFF_3D_22n					R1				
3D		VREFB3DN0	IO	DIFF_3D_22p					R2				
3D		VREFB3DN0	IO	DIFF_3D_23n					R6				
3D		VREFB3DN0	IO	DIFF_3D_23p					R7				

Bank Number	Index within I/O Bank	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	GT support	HF35	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
3D		VREFB3DN0	IO	DIFF_3D_24n					T2				
3D		VREFB3DN0	IO	DIFF_3D_24p					T3				
3C	47	VREFB3CN0	IO			LVDS3C_1n	No		U5	DQ40	DQ20	DQ10	DQ5
3C	46	VREFB3CN0	IO			LVDS3C_1p	No		V5	DQ40	DQ20	DQ10	DQ5
3C	45	VREFB3CN0	IO			LVDS3C_2n	Yes		U1	DQSn40	DQ20	DQ10	DQ5
3C	44	VREFB3CN0	IO			LVDS3C_2p	Yes		V1	DQS40	DQ20	DQ10	DQ5
3C	43	VREFB3CN0	IO			LVDS3C_3n	No		U6	DQ40	DQ20	DQ10	DQ5
3C	42	VREFB3CN0	IO			LVDS3C_3p	No		V6	DQ40	DQ20	DQ10	DQ5
3C	41	VREFB3CN0	IO			LVDS3C_4n	Yes		U2	DQSn41	DQSn20/CQn20	DQ10	DQ5
3C	40	VREFB3CN0	IO			LVDS3C_4p	Yes		U3	DQS41	DQS20/CQ20	DQ10	DQ5
3C	39	VREFB3CN0	IO			LVDS3C_5n	No		U7	DQ41	DQ20	DQ10	DQ5
3C	38	VREFB3CN0	IO			LVDS3C_5p	No		T7	DQ41	DQ20	DQ10	DQ5
3C	37	VREFB3CN0	IO			LVDS3C_6n	Yes		T5	DQ41	DQ20	DQ10	DQ5
3C	36	VREFB3CN0	IO			LVDS3C_6p	Yes		T4	DQ41	DQ20	DQ10	DQ5
3C	35	VREFB3CN0	IO			LVDS3C_7n	No		V4	DQ42	DQ21	DQ10	DQ5
3C	34	VREFB3CN0	IO			LVDS3C_7p	No		W4	DQ42	DQ21	DQ10	DQ5
3C	33	VREFB3CN0	IO			LVDS3C_8n	Yes		W1	DQSn42	DQ21	DQSn10/CQn10	DQ5
3C	32	VREFB3CN0	IO			LVDS3C_8p	Yes		Y1	DQS42	DQ21	DQS10/CQ10	DQ5
3C	31	VREFB3CN0	IO			LVDS3C_9n	No		W6	DQ42	DQ21	DQ10	DQ5
3C	30	VREFB3CN0	IO			LVDS3C_9p	No		Y6	DQ42	DQ21	DQ10	DQ5
3C	29	VREFB3CN0	IO	PLL_3C_CLKOUT1n		LVDS3C_10n	Yes		W2	DQSn43	DQSn21/CQn21	DQ10	DQ5
3C	28	VREFB3CN0	IO	PLL_3C_CLKOUT1p,PLL_3C_CLKOUT1,PLL_3C_FB1		LVDS3C_10p	Yes		Y2	DQS43	DQS21/CQ21	DQ10	DQ5
3C	27	VREFB3CN0	IO			LVDS3C_11n	No		W7	DQ43	DQ21	DQ10	DQ5
3C	26	VREFB3CN0	IO	RZQ_3C		LVDS3C_11p	No		Y7	DQ43	DQ21	DQ10	DQ5
3C	25	VREFB3CN0	IO	CLK_3C_1n		LVDS3C_12n	Yes		V3	DQ43	DQ21	DQ10	DQ5
3C	24	VREFB3CN0	IO	CLK_3C_1p		LVDS3C_12p	Yes		W3	DQ43	DQ21	DQ10	DQ5
3C	23	VREFB3CN0	IO	CLK_3C_0n		LVDS3C_13n	No		AA4	DQ44	DQ22	DQ11	DQ5
3C	22	VREFB3CN0	IO	CLK_3C_0p		LVDS3C_13p	No		Y4	DQ44	DQ22	DQ11	DQ5
3C	21	VREFB3CN0	IO			LVDS3C_14n	Yes		AC1	DQSn44	DQ22	DQ11	DQSn5/CQn5
3C	20	VREFB3CN0	IO			LVDS3C_14p	Yes		AB1	DQS44	DQ22	DQ11	DQS5/CQ5
3C	19	VREFB3CN0	IO	PLL_3C_CLKOUT0n		LVDS3C_15n	No		AB3	DQ44	DQ22	DQ11	DQ5
3C	18	VREFB3CN0	IO	PLL_3C_CLKOUT0p,PLL_3C_CLKOUT0,PLL_3C_FB0		LVDS3C_15p	No		AA3	DQ44	DQ22	DQ11	DQ5
3C	17	VREFB3CN0	IO			LVDS3C_16n	Yes		AE1	DQSn45	DQSn22/CQn22	DQ11	DQ5
3C	16	VREFB3CN0	IO			LVDS3C_16p	Yes		AD1	DQS45	DQS22/CQ22	DQ11	DQ5
3C	15	VREFB3CN0	IO			LVDS3C_17n	No		Y5	DQ45	DQ22	DQ11	DQ5
3C	14	VREFB3CN0	IO			LVDS3C_17p	No		AA5	DQ45	DQ22	DQ11	DQ5
3C	13	VREFB3CN0	IO			LVDS3C_18n	Yes		AA2	DQ45	DQ22	DQ11	DQ5
3C	12	VREFB3CN0	IO			LVDS3C_18p	Yes		AB2	DQ45	DQ22	DQ11	DQ5
3C	11	VREFB3CN0	IO			LVDS3C_19n	No		AD2	DQ46	DQ23	DQ11	DQ5
3C	10	VREFB3CN0	IO			LVDS3C_19p	No		AE2	DQ46	DQ23	DQ11	DQ5
3C	9	VREFB3CN0	IO			LVDS3C_20n	Yes		AF2	DQSn46	DQ23	DQSn11/CQn11	DQ5
3C	8	VREFB3CN0	IO			LVDS3C_20p	Yes		AG2	DQS46	DQ23	DQS11/CQ11	DQ5
3C	7	VREFB3CN0	IO			LVDS3C_21n	No		AG3	DQ46	DQ23	DQ11	DQ5
3C	6	VREFB3CN0	IO			LVDS3C_21p	No		AF3	DQ46	DQ23	DQ11	DQ5
3C	5	VREFB3CN0	IO			LVDS3C_22n	Yes		AG1	DQSn47	DQSn23/CQn23	DQ11	DQ5
3C	4	VREFB3CN0	IO			LVDS3C_22p	Yes		AH1	DQS47	DQS23/CQ23	DQ11	DQ5
3C	3	VREFB3CN0	IO			LVDS3C_23n	No		AD3	DQ47	DQ23	DQ11	DQ5
3C	2	VREFB3CN0	IO			LVDS3C_23p	No		AC3	DQ47	DQ23	DQ11	DQ5
3C	1	VREFB3CN0	IO			LVDS3C_24n	Yes		AJ1	DQ47	DQ23	DQ11	DQ5
3C	0	VREFB3CN0	IO			LVDS3C_24p	Yes		AJ2	DQ47	DQ23	DQ11	DQ5
3B	47	VREFB3BN0	IO			LVDS3B_1n	No		AH3	DQ48	DQ24	DQ12	DQ6
3B	46	VREFB3BN0	IO			LVDS3B_1p	No		AJ3	DQ48	DQ24	DQ12	DQ6
3B	45	VREFB3BN0	IO			LVDS3B_2n	Yes		AL2	DQSn48	DQ24	DQ12	DQ6
3B	44	VREFB3BN0	IO			LVDS3B_2p	Yes		AM2	DQS48	DQ24	DQ12	DQ6
3B	43	VREFB3BN0	IO			LVDS3B_3n	No		AK1	DQ48	DQ24	DQ12	DQ6
3B	42	VREFB3BN0	IO			LVDS3B_3p	No		AK2	DQ48	DQ24	DQ12	DQ6
3B	41	VREFB3BN0	IO			LVDS3B_4n	Yes		AL3	DQSn49	DQSn24/CQn24	DQ12	DQ6
3B	40	VREFB3BN0	IO			LVDS3B_4p	Yes		AM3	DQS49	DQS24/CQ24	DQ12	DQ6
3B	39	VREFB3BN0	IO			LVDS3B_5n	No		AK4	DQ49	DQ24	DQ12	DQ6
3B	38	VREFB3BN0	IO			LVDS3B_5p	No		AL4	DQ49	DQ24	DQ12	DQ6
3B	37	VREFB3BN0	IO			LVDS3B_6n	Yes		AP3	DQ49	DQ24	DQ12	DQ6
3B	36	VREFB3BN0	IO			LVDS3B_6p	Yes		AN3	DQ49	DQ24	DQ12	DQ6
3B	35	VREFB3BN0	IO			LVDS3B_7n	No		AL5	DQ50	DQ25	DQ12	DQ6
3B	34	VREFB3BN0	IO			LVDS3B_7p	No		AK5	DQ50	DQ25	DQ12	DQ6
3B	33	VREFB3BN0	IO			LVDS3B_8n	Yes		AP4	DQSn50	DQ25	DQSn12/CQn12	DQ6
3B	32	VREFB3BN0	IO			LVDS3B_8p	Yes		AN4	DQS50	DQ25	DQS12/CQ12	DQ6
3B	31	VREFB3BN0	IO			LVDS3B_9n	No		AK6	DQ50	DQ25	DQ12	DQ6
3B	30	VREFB3BN0	IO			LVDS3B_9p	No		AJ6	DQ50	DQ25	DQ12	DQ6
3B	29	VREFB3BN0	IO	PLL_3B_CLKOUT1n		LVDS3B_10n	Yes		AN5	DQSn51	DQSn25/CQn25	DQ12	DQ6
3B	28	VREFB3BN0	IO	PLL_3B_CLKOUT1p,PLL_3B_CLKOUT1,PLL_3B_FB1		LVDS3B_10p	Yes		AM5	DQS51	DQS25/CQ25	DQ12	DQ6
3B	27	VREFB3BN0	IO			LVDS3B_11n	No		AK7	DQ51	DQ25	DQ12	DQ6
3B	26	VREFB3BN0	IO	RZQ_3B		LVDS3B_11p	No		AJ7	DQ51	DQ25	DQ12	DQ6
3B	25	VREFB3BN0	IO	CLK_3B_1n		LVDS3B_12n	Yes		AN6	DQ51	DQ25	DQ12	DQ6
3B	24	VREFB3BN0	IO	CLK_3B_1p		LVDS3B_12p	Yes		AM6	DQ51	DQ25	DQ12	DQ6
3B	23	VREFB3BN0	IO	CLK_3B_0n		LVDS3B_13n	No		AC5	DQ52	DQ26	DQ13	DQ6
3B	22	VREFB3BN0	IO	CLK_3B_0p		LVDS3B_13p	No		AB5	DQ52	DQ26	DQ13	DQ6
3B	21	VREFB3BN0	IO			LVDS3B_14n	Yes		AJ4	DQSn52	DQ26	DQ13	DQSn6/CQn6
3B	20	VREFB3BN0	IO			LVDS3B_14p	Yes		AH4	DQS52	DQ26	DQ13	DQS6/CQ6
3B	19	VREFB3BN0	IO	PLL_3B_CLKOUT0n		LVDS3B_15n	No		AD4	DQ52	DQ26	DQ13	DQ6
3B	18	VREFB3BN0	IO	PLL_3B_CLKOUT0p,PLL_3B_CLKOUT0,PLL_3B_FB0		LVDS3B_15p	No		AC4	DQ52	DQ26	DQ13	DQ6
3B	17	VREFB3BN0	IO			LVDS3B_16n	Yes		AG5	DQSn53	DQSn26/CQn26	DQ13	DQ6
3B	16	VREFB3BN0	IO			LVDS3B_16p	Yes		AH5	DQS53	DQS26/CQ26	DQ13	DQ6
3B	15	VREFB3BN0	IO			LVDS3B_17n	No		AF4	DQ53	DQ26	DQ13	DQ6
3B	14	VREFB3BN0	IO			LVDS3B_17p	No		AE4	DQ53	DQ26	DQ13	DQ6
3B	13	VREFB3BN0	IO			LVDS3B_18n	Yes		AE5	DQ53	DQ26	DQ13	DQ6
3B	12	VREFB3BN0	IO			LVDS3B_18p	Yes		AF5	DQ53	DQ26	DQ13	DQ6
3B	11	VREFB3BN0	IO			LVDS3B_19n	No		AB6	DQ54	DQ27	DQ13	DQ6
3B	10	VREFB3BN0	IO			LVDS3B_19p	No		AC6	DQ54	DQ27	DQ13	DQ6

Bank Number	Index within I/O Bank	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	GT support	HF35	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
3B	9	VREFB3BN0	IO			LVDS3B_20n	Yes		AH6	DQSn54	DQ27	DQSn13/CQn13	DQ6
3B	8	VREFB3BN0	IO			LVDS3B_20p	Yes		AG6	DQS54	DQ27	DQS13/CQ13	DQ6
3B	7	VREFB3BN0	IO			LVDS3B_21n	No		AD6	DQ54	DQ27	DQ13	DQ6
3B	6	VREFB3BN0	IO			LVDS3B_21p	No		AE6	DQ54	DQ27	DQ13	DQ6
3B	5	VREFB3BN0	IO			LVDS3B_22n	Yes		AG7	DQSn55	DQSn27/CQn27	DQ13	DQ6
3B	4	VREFB3BN0	IO			LVDS3B_22p	Yes		AF7	DQS55	DQS27/CQ27	DQ13	DQ6
3B	3	VREFB3BN0	IO			LVDS3B_23n	No		AA7	DQ55	DQ27	DQ13	DQ6
3B	2	VREFB3BN0	IO			LVDS3B_23p	No		AB7	DQ55	DQ27	DQ13	DQ6
3B	1	VREFB3BN0	IO			LVDS3B_24n	Yes		AE7	DQ55	DQ27	DQ13	DQ6
3B	0	VREFB3BN0	IO			LVDS3B_24p	Yes		AD7	DQ55	DQ27	DQ13	DQ6
3A		VREFB3AN0	IO	DIFF_3A_1n	AVST_DATA0				AL7				
3A		VREFB3AN0	IO	DIFF_3A_1p	AVST_DATA1				AM7				
3A		VREFB3AN0	IO	DIFF_3A_2n	AVST_DATA2				AP6				
3A		VREFB3AN0	IO	DIFF_3A_2p	AVST_DATA3				AP7				
3A		VREFB3AN0	IO	DIFF_3A_3n	AVST_DATA4				AM8				
3A		VREFB3AN0	IO	DIFF_3A_3p	AVST_DATA5				AL8				
3A		VREFB3AN0	IO	DIFF_3A_4n	AVST_DATA6				AP8				
3A		VREFB3AN0	IO	DIFF_3A_4p	AVST_DATA7				AN8				
3A		VREFB3AN0	IO	DIFF_3A_5n	AVST_DATA8				AK9				
3A		VREFB3AN0	IO	DIFF_3A_5p	AVST_DATA9				AL9				
3A		VREFB3AN0	IO	DIFF_3A_6n	AVST_DATA10				AN9				
3A		VREFB3AN0	IO	DIFF_3A_6p	AVST_DATA11				AP9				
3A		VREFB3AN0	IO	DIFF_3A_7n	AVST_DATA12				AL10				
3A		VREFB3AN0	IO	DIFF_3A_7p	AVST_DATA13				AK10				
3A		VREFB3AN0	IO	DIFF_3A_8n	AVST_DATA14				AN10				
3A		VREFB3AN0	IO	DIFF_3A_8p	AVST_DATA15				AM10				
3A		VREFB3AN0	IO	DIFF_3A_9n	AVST_DATA16				AK11				
3A		VREFB3AN0	IO	DIFF_3A_9p	AVST_DATA17				AJ11				
3A		VREFB3AN0	IO	PLL_3A_CLKOUT1n	AVST_DATA18	LVDS3A_10n	Yes		AP11				
3A		VREFB3AN0	IO	PLL_3A_CLKOUT1p,PLL_3A_CLKOUT1,PLL_3A_FB1	AVST_DATA19	LVDS3A_10p	Yes		AP12				
3A		VREFB3AN0	IO	DIFF_3A_11n					AH10				
3A		VREFB3AN0	IO	RZQ_3A,DIFF_3A_11p	AVST_VALID				AG10				
3A		VREFB3AN0	IO	CLK_3A_1n	AVST_DATA20	LVDS3A_12n	Yes		AN11				
3A		VREFB3AN0	IO	CLK_3A_1p	AVST_DATA21	LVDS3A_12p	Yes		AM11				
3A		VREFB3AN0	IO	CLK_3A_0n	AVST_DATA22	LVDS3A_13n	No		AD8				
3A		VREFB3AN0	IO	CLK_3A_0p	AVST_DATA23	LVDS3A_13p	No		AC8				
3A		VREFB3AN0	IO	DIFF_3A_14n	AVST_DATA24				AG8				
3A		VREFB3AN0	IO	DIFF_3A_14p	AVST_DATA25				AF8				
3A		VREFB3AN0	IO	PLL_3A_CLKOUT0n	AVST_DATA26	LVDS3A_15n	No		AE9				
3A		VREFB3AN0	IO	PLL_3A_CLKOUT0p,PLL_3A_CLKOUT0,PLL_3A_FB0	AVST_DATA27	LVDS3A_15p	No		AF9				
3A		VREFB3AN0	IO	DIFF_3A_16n	AVST_DATA28				AJ8				
3A		VREFB3AN0	IO	DIFF_3A_16p	AVST_DATA29				AH8				
3A		VREFB3AN0	IO	DIFF_3A_17n	AVST_DATA30				AC9				
3A		VREFB3AN0	IO	DIFF_3A_17p	AVST_DATA31				AD9				
3A		VREFB3AN0	IO	DIFF_3A_18n					AH9				
3A		VREFB3AN0	IO	DIFF_3A_18p					AJ9				
3A		VREFB3AN0	IO	DIFF_3A_19n					AF10				
3A		VREFB3AN0	IO	DIFF_3A_19p					AE10				
3A		VREFB3AN0	IO	DIFF_3A_20n					AH11				
3A		VREFB3AN0	IO	DIFF_3A_20p					AG11				
3A		VREFB3AN0	IO	DIFF_3A_21n					AE11				
3A		VREFB3AN0	IO	DIFF_3A_21p					AD11				
3A		VREFB3AN0	IO	DIFF_3A_22n					AG12				
3A		VREFB3AN0	IO	DIFF_3A_22p					AF12				
3A		VREFB3AN0	IO	DIFF_3A_23n					AC11				
3A		VREFB3AN0	IO	DIFF_3A_23p					AC10				
3A		VREFB3AN0	IO	DIFF_3A_24n					AE12				
3A		VREFB3AN0	IO	DIFF_3A_24p,63	AVST_CLK				AD12				
HPS			HPS_IOA_1	GPIO0_IO0,SPIM0_SS1_N,SPIS0_CLK,UART0_CTS_N,NAND_ADQ0,USB0_CLK,SDMMC_CCLK					A4				
HPS			HPS_IOA_2	GPIO0_IO1,SPIM1_SS1_N,SPIS0_MOSI,UART0_RTS_N,NAND_ADQ1,USB0_STP,SDMMC_CMD					C3				
HPS			HPS_IOA_3	GPIO0_IO2,SPIS0_SS0_N,UART0_TX,I2C1_SDA,NAND_WE_N,USB0_DIR,SDMMC_DATA0					B5				
HPS			HPS_IOA_4	GPIO0_IO3,SPIS0_MISO,UART0_RX,I2C1_SCL,NAND_RE_N,USB0_DATA0,SDMMC_DATA1					A3				
HPS			HPS_IOA_5	GPIO0_IO4,SPIM0_CLK,UART1_CTS_N,I2C0_SDA,NAND_WP_N,USB0_DATA1,SDMMC_DATA2					D2				
HPS			HPS_IOA_6	GPIO0_IO5,SPIM0_MOSI,UART1_RTS_N,I2C0_SCL,NAND_ADQ2,USB0_NXT,SDMMC_DATA3					A5				
HPS			HPS_IOA_7	GPIO0_IO6,SPIM0_MISO,MDIO2_MDIO,UART1_TX,I2C_EMAC2_SDA,NAND_ADQ3,USB0_DATA2,SDMMC_DATA4					D3				
HPS			HPS_IOA_8	GPIO0_IO7,SPIM0_SS0_N,MDIO2_MDC,UART1_RX,I2C_EMAC2_SCL,NAND_CLE,USB0_DATA3,SDMMC_DATA5					D6				
HPS			HPS_IOA_9	GPIO0_IO8,SPIM1_CLK,SPIS1_CLK,MDIO1_MDIO,I2C_EMAC1_SDA,NAND_ADQ4,USB0_DATA4,SDMMC_DATA6					D4				
HPS			HPS_IOA_10	GPIO0_IO9,SPIM1_MOSI,SPIS1_MOSI,MDIO1_MDC,I2C_EMAC1_SCL,NAND_ADQ5,USB0_DATA5,SDMMC_DATA7					B6				
HPS			HPS_IOA_11	GPIO0_IO10,SPIM1_MISO,SPIS1_SS0_N,MDIO0_MDIO,I2C_EMAC0_SDA,NAND_ADQ6,USB0_DATA6					C5				
HPS			HPS_IOA_12	GPIO0_IO11,SPIM1_SS0_N,SPIS1_MISO,MDIO0_MDC,I2C_EMAC0_SCL,NAND_ADQ7,USB0_DATA7					B2				
HPS			HPS_IOA_13	GPIO0_IO12,NAND_ALE,USB1_CLK,EMAC0_TX_CLK					D7				
HPS			HPS_IOA_14	GPIO0_IO13,NAND_RB,USB1_STP,EMAC0_TX_CTL					E6				
HPS			HPS_IOA_15	GPIO0_IO14,NAND_CE_N,USB1_DIR,EMAC0_RX_CLK					C1				
HPS			HPS_IOA_16	GPIO0_IO15,USB1_DATA0,EMAC0_RX_CTL					B7				
HPS			HPS_IOA_17	GPIO0_IO16,NAND_ADQ8,USB1_DATA1,EMAC0_TXD0					B3				
HPS			HPS_IOA_18	GPIO0_IO17,NAND_ADQ9,USB1_NXT,EMAC0_TXD1					C6				
HPS			HPS_IOA_19	GPIO0_IO18,NAND_ADQ10,USB1_DATA2,EMAC0_RXD0					F3				
HPS			HPS_IOA_20	GPIO0_IO19,SPIM1_SS1_N,NAND_ADQ11,USB1_DATA3,EMAC0_RXD1					E7				
HPS			HPS_IOA_21	GPIO0_IO20,SPIM1_CLK,SPIS0_CLK,UART0_CTS_N,I2C1_SDA,NAND_ADQ12,USB1_DATA4,EMAC0_TXD2					C4				
HPS			HPS_IOA_22	GPIO0_IO21,SPIM1_MOSI,SPIS0_MOSI,UART0_RTS_N,I2C1_SCL,NAND_ADQ13,USB1_DATA5,EMAC0_TXD3					J8				
HPS			HPS_IOA_23	GPIO0_IO22,SPIM1_MISO,SPIS0_SS0_N,UART0_TX,I2C0_SDA,NAND_ADQ14,USB1_DATA6,EMAC0_RXD2					A7				
HPS			HPS_IOA_24	GPIO0_IO23,SPIM1_SS0_N,SPIS0_MISO,UART0_RX,I2C0_SCL,NAND_ADQ15,USB1_DATA7,EMAC0_RXD3					G5				
HPS			HPS_IOB_1	GPIO1_IO0,SPIM1_CLK,UART0_CTS_N,NAND_ADQ0,EMAC1_TX_CLK					H8				
HPS			HPS_IOB_2	GPIO1_IO1,SPIM1_MOSI,UART0_RTS_N,NAND_ADQ1,EMAC1_TX_CTL					G6				
HPS			HPS_IOB_3	GPIO1_IO2,SPIM1_MISO,UART0_TX,I2C0_SDA,NAND_WE_N,EMAC1_RX_CLK					F7				
HPS			HPS_IOB_4	GPIO1_IO3,SPIM1_SS0_N,UART0_RX,I2C0_SCL,NAND_RE_N,EMAC1_RX_CTL					E2				
HPS			HPS_IOB_5	GPIO1_IO4,SPIM1_SS1_N,SPIS1_CLK,UART1_CTS_N,NAND_WP_N,EMAC1_TXD0					G3				
HPS			HPS_IOB_6	GPIO1_IO5,SPIS1_MOSI,UART1_RTS_N,NAND_ADQ2,EMAC1_TXD1					H9				

Bank Number	Index within I/O Bank	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	GT support	HF35	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
HPS			HPS_IOB_7	GPIO1_IO6,SPIS1_SS0_N,UART1_TX,I2C1_SDA,NAND_ADQ3,EMAC1_RXD0					F2				
HPS			HPS_IOB_8	GPIO1_IO7,SPIS1_MISO,UART1_RX,I2C1_SCL,NAND_CLE,EMAC1_RXD1					E5				
HPS			HPS_IOB_9	GPIO1_IO8,JTAG_TCK,SPIS0_CLK,MDIO2_MDIO,I2C_EMAC2_SDA,NAND_ADQ4,EMAC1_TXD2					K10				
HPS			HPS_IOB_10	GPIO1_IO9,JTAG_TMS,SPIS0_MOSI,MDIO2_MDC,I2C_EMAC2_SCL,NAND_ADQ5,EMAC1_TXD3					H10				
HPS			HPS_IOB_11	GPIO1_IO10,JTAG_TDO,SPIS0_SS0_N,MDIO0_MDIO,I2C_EMAC0_SDA,NAND_ADQ6,EMAC1_RXD2					E4				
HPS			HPS_IOB_12	GPIO1_IO11,JTAG_TDI,SPIS0_MISO,MDIO0_MDC,I2C_EMAC0_SCL,NAND_ADQ7,EMAC1_RXD3					G2				
HPS			HPS_IOB_13	GPIO1_IO12,I2C1_SDA,NAND_ALE,SDMMC_DATA0,EMAC2_TX_CLK					G10				
HPS			HPS_IOB_14	GPIO1_IO13,I2C1_SCL,NAND_RB,SDMMC_CMD,EMAC2_TX_CTL					F4				
HPS			HPS_IOB_15	GPIO1_IO14,UART1_TX,NAND_CE_N,SDMMC_CCLK,EMAC2_RX_CLK					H5				
HPS			HPS_IOB_16	GPIO1_IO15,UART1_RX,SDMMC_DATA1,EMAC2_RX_CTL					G8				
HPS			HPS_IOB_17	GPIO1_IO16,UART1_CTS_N,NAND_ADQ8,SDMMC_DATA2,EMAC2_TXD0					L10				
HPS			HPS_IOB_18	GPIO1_IO17,SPIM0_SS1_N,UART1_RTS_N,NAND_ADQ9,SDMMC_DATA3,EMAC2_TXD1					G7				
HPS			HPS_IOB_19	GPIO1_IO18,SPIM0_MISO,MDIO1_MDIO,I2C_EMAC1_SDA,NAND_ADQ10,SDMMC_DATA4,EMAC2_RXD0					H6				
HPS			HPS_IOB_20	GPIO1_IO19,SPIM0_SS0_N,MDIO1_MDC,I2C_EMAC1_SCL,NAND_ADQ11,SDMMC_DATA5,EMAC2_RXD1					F8				
HPS			HPS_IOB_21	GPIO1_IO20,SPIM0_CLK,SPIS1_CLK,I2C_EMAC2_SDA,NAND_ADQ12,SDMMC_DATA6,EMAC2_TXD2					J9				
HPS			HPS_IOB_22	GPIO1_IO21,SPIM0_MOSI,SPIS1_MOSI,I2C_EMAC2_SCL,NAND_ADQ13,SDMMC_DATA7,EMAC2_TXD3					L9				
HPS			HPS_IOB_23	GPIO1_IO22,SPIM0_MISO,SPIS1_SS0_N,MDIO0_MDIO,I2C_EMAC0_SDA,NAND_ADQ14,EMAC2_RXD2					F5				
HPS			HPS_IOB_24	GPIO1_IO23,SPIM0_SS0_N,SPIS1_MISO,MDIO0_MDC,I2C_EMAC0_SCL,NAND_ADQ15,EMAC2_RXD3					K9				
SDM			TDO						AL12				
SDM			TMS						AM12				
SDM			TCK						AJ13				
SDM			TDI						AJ14				
SDM			OSC_CLK_1						AE15				
SDM			SDM_IO0	PWRMGT_SCL					AJ12				
SDM			SDM_IO1	AVSTx8_DATA2,AS_DATA1					AE14				
SDM			SDM_IO5	AS_nCSO0,MSEL0					AE16				
SDM			SDM_IO3	AVSTx8_DATA3,AS_DATA2					AF14				
SDM			nCONFIG						AG13				
SDM			SDM_IO4	AVSTx8_DATA1,AS_DATA0					AD13				
SDM			SDM_IO2	AVSTx8_DATA0,AS_CLK					AH13				
SDM			SDM_IO7	AS_nCSO2,MSEL1					AD16				
SDM			SDM_IO11	AVSTx8_VALID,PWRMGT_SDA					AF15				
SDM			nSTATUS						AH16				
SDM			SDM_IO16	PWRMGT_SDA					AP17				
SDM			SDM_IO13	AVSTx8_DATA5					AG15				
SDM			SDM_IO9	AS_nCSO1,MSEL2					AG16				
SDM			SDM_IO6	AVSTx8_DATA4,AS_DATA3					AD14				
SDM			SDM_IO10	AVSTx8_DATA7					AH15				
SDM			SDM_IO8	AVST_READY,AS_nCSO3					AJ16				
SDM			SDM_IO12	PWRMGT_SDA					AH14				
SDM			SDM_IO15	AVSTx8_DATA6					AF13				
SDM			SDM_IO14	AVSTx8_CLK,PWRMGT_SCL					AP16				
SDM			RREF_SDM						AP14				
SDM			VSIGP_0						AM13				
SDM			VSIGN_0						AL13				
SDM			VSIGP_1						AM15				
SDM			VSIGN_1						AL15				
			GND						AL14				
			GND						AK14				
			GND						Y8				
			GND						Y32				
			GND						Y31				
			GND						Y30				
			GND						Y3				
			GND						Y29				
			GND						Y26				
			GND						Y23				
			GND						Y21				
			GND						Y18				
			GND						Y16				
			GND						Y14				
			GND						Y12				
			GND						W5				
			GND						W34				
			GND						W33				
			GND						W32				
			GND						W29				
			GND						W28				
			GND						W27				
			GND						W26				
			GND						W23				
			GND						W21				
			GND						W19				
			GND						W17				
			GND						W15				
			GND						W13				
			GND						W11				
			GND						V7				
			GND						V32				
			GND						V31				
			GND						V30				
			GND						V29				
			GND						V26				
			GND						V24				
			GND						V22				
			GND						V20				
			GND						V2				
			GND						V18				

Bank Number	Index within I/O Bank	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	GT support	HF35	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
			GND						V16				
			GND						V12				
			GND						V10				
			GND						U9				
			GND						U4				
			GND						U34				
			GND						U33				
			GND						U32				
			GND						U29				
			GND						U28				
			GND						U27				
			GND						U26				
			GND						U23				
			GND						U21				
			GND						U19				
			GND						U17				
			GND						U13				
			GND						U11				
			GND						T6				
			GND						T32				
			GND						T31				
			GND						T30				
			GND						T29				
			GND						T26				
			GND						T24				
			GND						T22				
			GND						T18				
			GND						T16				
			GND						T14				
			GND						T12				
			GND						T1				
			GND						R8				
			GND						R34				
			GND						R33				
			GND						R32				
			GND						R3				
			GND						R29				
			GND						R28				
			GND						R27				
			GND						R26				
			GND						R23				
			GND						R21				
			GND						R19				
			GND						R15				
			GND						R13				
			GND						R11				
			GND						P5				
			GND						P32				
			GND						P31				
			GND						P30				
			GND						P29				
			GND						P26				
			GND						P23				
			GND						P21				
			GND						P16				
			GND						P14				
			GND						P12				
			GND						P10				
			GND						N7				
			GND						N34				
			GND						N33				
			GND						N32				
			GND						N29				
			GND						N28				
			GND						N27				
			GND						N26				
			GND						N25				
			GND						N24				
			GND						N23				
			GND						N22				
			GND						N21				
			GND						N2				
			GND						N19				
			GND						N17				
			GND						N11				
			GND						M9				
			GND						M4				
			GND						M32				
			GND						M31				
			GND						M30				
			GND						M29				
			GND						M26				
			GND						M25				
			GND						M14				
			GND						L6				
			GND						L34				
			GND						L33				
			GND						L32				

Bank Number	Index within I/O Bank	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	GT support	HF35	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
			GND						L29				
			GND						L28				
			GND						L27				
			GND						L26				
			GND						L21				
			GND						L16				
			GND						L11				
			GND						L1				
			GND						K8				
			GND						K32				
			GND						K31				
			GND						K30				
			GND						K3				
			GND						K29				
			GND						K26				
			GND						K23				
			GND						K18				
			GND						K13				
			GND						J5				
			GND						J34				
			GND						J33				
			GND						J32				
			GND						J29				
			GND						J28				
			GND						J27				
			GND						J26				
			GND						J25				
			GND						J20				
			GND						J15				
			GND						J10				
			GND						H7				
			GND						H32				
			GND						H31				
			GND						H30				
			GND						H29				
			GND						H26				
			GND						H22				
			GND						H2				
			GND						H17				
			GND						H12				
			GND						G9				
			GND						G4				
			GND						G34				
			GND						G33				
			GND						G32				
			GND						G29				
			GND						G28				
			GND						G27				
			GND						G26				
			GND						G24				
			GND						G19				
			GND						G14				
			GND						F6				
			GND						F32				
			GND						F31				
			GND						F30				
			GND						F29				
			GND						F26				
			GND						F21				
			GND						F16				
			GND						F11				
			GND						F1				
			GND						E8				
			GND						E34				
			GND						E33				
			GND						E32				
			GND						E3				
			GND						E29				
			GND						E28				
			GND						E27				
			GND						E26				
			GND						E23				
			GND						E18				
			GND						E13				
			GND						D5				
			GND						D32				
			GND						D31				
			GND						D30				
			GND						D29				
			GND						D26				
			GND						D25				
			GND						D20				
			GND						D15				
			GND						D10				
			GND						C7				
			GND						C34				
			GND						C33				
			GND						C32				

Bank Number	Index within I/O Bank	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	GT support	HF35	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
			GND						C29				
			GND						C28				
			GND						C27				
			GND						C26				
			GND						C22				
			GND						C2				
			GND						C17				
			GND						C12				
			GND						B9				
			GND						B4				
			GND						B34				
			GND						B33				
			GND						B32				
			GND						B31				
			GND						B30				
			GND						B29				
			GND						B26				
			GND						B24				
			GND						B19				
			GND						B14				
			GND						B1				
			GND						AP5				
			GND						AP33				
			GND						AP32				
			GND						AP31				
			GND						AP30				
			GND						AP29				
			GND						AP25				
			GND						AP20				
			GND						AP2				
			GND						AP15				
			GND						AP13				
			GND						AP10				
			GND						AN7				
			GND						AN34				
			GND						AN33				
			GND						AN32				
			GND						AN29				
			GND						AN28				
			GND						AN27				
			GND						AN26				
			GND						AN22				
			GND						AN2				
			GND						AN17				
			GND						AN13				
			GND						AN12				
			GND						AN1				
			GND						AM9				
			GND						AM4				
			GND						AM32				
			GND						AM31				
			GND						AM30				
			GND						AM29				
			GND						AM26				
			GND						AM25				
			GND						AM24				
			GND						AM23				
			GND						AM19				
			GND						AM14				
			GND						AM1				
			GND						AL6				
			GND						AL34				
			GND						AL33				
			GND						AL32				
			GND						AL29				
			GND						AL28				
			GND						AL27				
			GND						AL26				
			GND						AL23				
			GND						AL21				
			GND						AL16				
			GND						AL11				
			GND						AL1				
			GND						AK8				
			GND						AK32				
			GND						AK31				
			GND						AK30				
			GND						AK3				
			GND						AK29				
			GND						AK26				
			GND						AK23				
			GND						AK18				
			GND						AK13				
			GND						AK12				
			GND						AJ5				
			GND						AJ34				
			GND						AJ33				
			GND						AJ32				

Bank Number	Index within I/O Bank	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	GT support	HF35	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
			GND						AJ29				
			GND						AJ28				
			GND						AJ27				
			GND						AJ26				
			GND						AJ23				
			GND						AJ20				
			GND						AJ15				
			GND						AJ10				
			GND						AH7				
			GND						AH32				
			GND						AH31				
			GND						AH30				
			GND						AH29				
			GND						AH26				
			GND						AH23				
			GND						AH22				
			GND						AH2				
			GND						AH17				
			GND						AH12				
			GND						AG9				
			GND						AG4				
			GND						AG34				
			GND						AG33				
			GND						AG32				
			GND						AG29				
			GND						AG28				
			GND						AG27				
			GND						AG26				
			GND						AG23				
			GND						AG19				
			GND						AG14				
			GND						AF6				
			GND						AF32				
			GND						AF31				
			GND						AF30				
			GND						AF29				
			GND						AF26				
			GND						AF23				
			GND						AF21				
			GND						AF16				
			GND						AF11				
			GND						AF1				
			GND						AE8				
			GND						AE34				
			GND						AE33				
			GND						AE32				
			GND						AE3				
			GND						AE29				
			GND						AE28				
			GND						AE27				
			GND						AE26				
			GND						AE23				
			GND						AE22				
			GND						AE21				
			GND						AE18				
			GND						AE13				
			GND						AD5				
			GND						AD32				
			GND						AD31				
			GND						AD30				
			GND						AD29				
			GND						AD26				
			GND						AD23				
			GND						AD21				
			GND						AD20				
			GND						AD15				
			GND						AD10				
			GND						AC7				
			GND						AC34				
			GND						AC33				
			GND						AC32				
			GND						AC29				
			GND						AC28				
			GND						AC27				
			GND						AC26				
			GND						AC23				
			GND						AC22				
			GND						AC21				
			GND						AC2				
			GND						AC17				
			GND						AC12				
			GND						AB9				
			GND						AB4				
			GND						AB32				
			GND						AB31				
			GND						AB30				
			GND						AB29				
			GND						AB26				

Bank Number	Index within I/O Bank	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	GT support	HF35	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
			GND						AB25				
			GND						AB24				
			GND						AB23				
			GND						AB21				
			GND						AB18				
			GND						AB16				
			GND						AB14				
			GND						AA6				
			GND						AA34				
			GND						AA33				
			GND						AA32				
			GND						AA29				
			GND						AA28				
			GND						AA27				
			GND						AA26				
			GND						AA23				
			GND						AA22				
			GND						AA19				
			GND						AA13				
			GND						AA11				
			GND						AA1				
			GND						A6				
			GND						A33				
			GND						A32				
			GND						A29				
			GND						A28				
			GND						A27				
			GND						A26				
			GND						A21				
			GND						A2				
			GND						A16				
			GND						A11				
			GNDSENSE						U14				
			VCC						Y19				
			VCC						Y15				
			VCC						Y13				
			VCC						Y11				
			VCC						W20				
			VCC						W18				
			VCC						W16				
			VCC						W14				
			VCC						W12				
			VCC						W10				
			VCC						V19				
			VCC						U20				
			VCC						T19				
			VCC						T15				
			VCC						T13				
			VCC						T11				
			VCC						R18				
			VCC						R16				
			VCC						P19				
			VCC						P17				
			VCC						P15				
			VCC						P13				
			VCC						P11				
			VCC						N18				
			VCC						N16				
			VCC						N12				
			VCC						N10				
			VCC						AB19				
			VCC						AB15				
			VCC						AB11				
			VCC						AA16				
			VCC						AA14				
			VCCPT						V17				
			VCCPT						V15				
			VCCPT						V11				
			VCCPT						U18				
			VCCPT						U16				
			VCCPT						U12				
			VCCPT						U10				
			DNU						AP24				
			DNU						AP27				
			DNU						AP26				
			DNU						AP28				
			DNU						AN23				
			DNU						AP23				
			DNU						E1				
			DNU						D1				
			DNU						AN14				
			DNU						AN15				
			DNU						AN16				
			DNU						AK16				
			TEMPDIODE0n						AM16				
			TEMPDIODE0p						AK15				
			TEMPDIODE1n						AN24				
			TEMPDIODE1p						AN25				

Bank Number	Index within I/O Bank	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	GT support	HF35	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
			VCCBAT						AC14				
			VCCA_PLL						V14				
			VCCA_PLL						V13				
			VCCIO2K						AC20				
			VCCIO2K						AC19				
			VCCIO2K						AC18				
			VCCIO2L						M20				
			VCCIO2L						M19				
			VCCIO2L						L19				
			VCCIO2M						M18				
			VCCIO2M						M17				
			VCCIO2M						L18				
			VCCIO2N						M16				
			VCCIO2N						M15				
			VCCIO2N						L15				
			VCCIO3A						AB8				
			VCCIO3A						AA9				
			VCCIO3A						AA8				
			VCCIO3B						W9				
			VCCIO3B						W8				
			VCCIO3B						V9				
			VCCIO3C						U8				
			VCCIO3C						T9				
			VCCIO3C						T8				
			VCCIO3D						R9				
			VCCIO3D						P9				
			VCCIO3D						P8				
			VCCIO_HPS						M12				
			VCCIO_HPS						M11				
			VCCIO_SDM						AB13				
2K		VREFB2KN0	VREFB2KN0						AB17				
2L		VREFB2LN0	VREFB2LN0						L20				
2M		VREFB2MN0	VREFB2MN0						L17				
2N		VREFB2NN0	VREFB2NN0						L14				
3A		VREFB3AN0	VREFB3AN0						AB10				
3B		VREFB3BN0	VREFB3BN0						Y9				
3C		VREFB3CN0	VREFB3CN0						V8				
3D		VREFB3DN0	VREFB3DN0						N8				
			VCCRTPLL_GXEL1						V23				
			VCCRTPLL_GXEL1						T23				
			VCCRT_GXEL1						Y25				
			VCCRT_GXEL1						Y24				
			VCCRT_GXEL1						W25				
			VCCRT_GXEL1						W24				
			VCCRT_GXEL1						V25				
			VCCRT_GXEL1						U25				
			VCCRT_GXEL1						U24				
			VCCRT_GXEL1						T25				
			VCCRT_GXEL1						R25				
			VCCRT_GXEL1						R24				
			VCCRT_GXEL1						P25				
			VCCRT_GXEL1						P24				
			VCCRT_GXEL1						AA25				
			VCCRT_GXEL1						AA24				
			IO_AUX_RREF10						AD22				
			VCCADC						AB12				
			VCCCLK_GXEL1						AB22				
			VCCERAM						Y20				
			VCCERAM						V21				
			VCCERAM						T21				
			VCCERAM						T20				
			VCCERAM						R20				
			VCCERAM						R14				
			VCCERAM						R12				
			VCCERAM						P20				
			VCCERAM						P18				
			VCCERAM						N20				
			VCCERAM						AB20				
			VCCERAM						AA21				
			VCCERAM						AA20				
			VCCERAM						AA18				
			VCCERAM						AA15				
			VCCERAM						AA12				
			VCCFUSEWR_SDM						AC13				
			VCCH_GXEL1						Y22				
			VCCH_GXEL1						W22				
			VCCH_GXEL1						U22				
			VCCH_GXEL1						R22				
			VCCH_GXEL1						P22				
			VCCLSENSE						U15				
			VCCL_HPS						N15				
			VCCL_HPS						N14				
			VCCL_HPS						N13				
			VCCL_HPS						M13				
			VCCP						Y17				
			VCCP						Y10				
			VCCP						T17				
			VCCP						T10				

Bank Number	Index within I/O Bank	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	GT support	HF35	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
			VCCP						R17				
			VCCP						R10				
			VCCP						AA17				
			VCCP						AA10				
			VCCPLLDIG_HPS						M10				
			VCCPLLDIG_SDM						AC15				
			VCCPLL_HPS						N9				
			VCCPLL_SDM						AC16				

July 2019	2019.07.12	Initial release.
October 2019	2019.10.30	- Removed LVDS and EMIF on Banks 3A and 3D in Pin List HF35. - Removed INIT_DONE, CONF_DONE, NAND*, and PWRMGT_PWM0 on SDM banks in Pin List HF35.
January 2020	2020.01.06	Added note (iii) to the I/O Resource Count tab.
October 2020	2020.10.27	Removed SD/MMC configuration mode support from Intel Stratix 10 devices.

(1) For more information about pin definition and pin connection guidelines, refer to the Intel® Stratix® 10 Device Family Pin Connection Guidelines