

TYPE	BANK	NF43 Package
Transceiver I/O	1C	28
Transceiver I/O	1D	28
Transceiver I/O	1E	28
Transceiver I/O	1F	28
Transceiver I/O	1K	28
Transceiver I/O	1L	28
Transceiver I/O	1M	28
Transceiver I/O	1N	28
LVDS I/O	2C	48
LVDS I/O	2F	48
LVDS I/O	2K	48
LVDS I/O	2L	48
LVDS I/O	2M	48
LVDS I/O	2N	48
LVDS I/O	3A	48
LVDS I/O	3B	48
LVDS I/O	3C	48
LVDS I/O	3D	48
LVDS I/O	3I	48
LVDS I/O	3J	48
LVDS I/O	3K	48
LVDS I/O	3L	48
3V I/O	6A	8
3V I/O	6C	8
SDM shared LVDS I/O	SDM	29

- i. Total LVDS channels per bank supporting SERDES Non-DPA and DPA mode is equivalent to (LVDS I/O per bank)/2, inclusive of clock pair. Please refer to Dedicated Tx/Rx Channel column in the pin-out table for the channel availability.
- ii. Total LVDS channels supporting SERDES Soft-CDR mode is 12 pairs per bank. Please refer to Soft CDR column in the pin out table for the channel availability.

Bank Number	Index within I/O Bank	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	GT support	NF43	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
1N			REFCLK_GXBLIN_CHTp										H34
1N			REFCLK_GXBLIN_CHTn										H33
1N			GXBLIN_TX_CH5n										B33
1N			GXBLIN_TX_CH5p										B34
1N			GXBLIN_RX_CH5n,GXBLIN_REFCLK5n										F29
1N			GXBLIN_RX_CH5p,GXBLIN_REFCLK5p										F30
1N			GXBLIN_TX_CH4n					Yes					A35
1N			GXBLIN_TX_CH4p					Yes					A36
1N			GXBLIN_RX_CH4n,GXBLIN_REFCLK4n					Yes					D29
1N			GXBLIN_RX_CH4p,GXBLIN_REFCLK4p					Yes					D30
1N			GXBLIN_TX_CH3n					Yes					B37
1N			GXBLIN_TX_CH3p					Yes					B38
1N			GXBLIN_RX_CH3n,GXBLIN_REFCLK3n					Yes					A27
1N			GXBLIN_RX_CH3p,GXBLIN_REFCLK3p					Yes					A28
1N			GXBLIN_TX_CH2n										D37
1N			GXBLIN_TX_CH2p										D38
1N			GXBLIN_RX_CH2n,GXBLIN_REFCLK2n										E31
1N			GXBLIN_RX_CH2p,GXBLIN_REFCLK2p										E32
1N			GXBLIN_TX_CH1n					Yes					C39
1N			GXBLIN_TX_CH1p					Yes					C40
1N			GXBLIN_RX_CH1n,GXBLIN_REFCLK1n					Yes					B29
1N			GXBLIN_RX_CH1p,GXBLIN_REFCLK1p					Yes					B30
1N			GXBLIN_TX_CH0n					Yes					F37
1N			GXBLIN_TX_CH0p					Yes					F38
1N			GXBLIN_RX_CH0n,GXBLIN_REFCLK0n					Yes					C31
1N			GXBLIN_RX_CH0p,GXBLIN_REFCLK0p					Yes					C32
1M			REFCLK_GXBLIN_CH8p										K34
1M			REFCLK_GXBLIN_CH8n										K33
1M			REFCLK_GXBLIM_CHTp										M34
1M			REFCLK_GXBLIM_CHTn										M33
1M			GXBLIM_TX_CH5n										E39
1M			GXBLIM_TX_CH5p										E40
1M			GXBLIM_RX_CH5n,GXBLIM_REFCLK5n										D33
1M			GXBLIM_RX_CH5p,GXBLIM_REFCLK5p										D34
1M			GXBLIM_TX_CH4n					Yes					D41
1M			GXBLIM_TX_CH4p					Yes					D42
1M			GXBLIM_RX_CH4n,GXBLIM_REFCLK4n					Yes					A31
1M			GXBLIM_RX_CH4p,GXBLIM_REFCLK4p					Yes					A32
1M			GXBLIM_TX_CH3n					Yes					F41
1M			GXBLIM_TX_CH3p					Yes					F42
1M			GXBLIM_RX_CH3n,GXBLIM_REFCLK3n					Yes					E35
1M			GXBLIM_RX_CH3p,GXBLIM_REFCLK3p					Yes					E36
1M			GXBLIM_TX_CH2n										G39
1M			GXBLIM_TX_CH2p										G40
1M			GXBLIM_RX_CH2n,GXBLIM_REFCLK2n										C35
1M			GXBLIM_RX_CH2p,GXBLIM_REFCLK2p										C36
1M			GXBLIM_TX_CH1n					Yes					H41
1M			GXBLIM_TX_CH1p					Yes					H42
1M			GXBLIM_RX_CH1n,GXBLIM_REFCLK1n					Yes					G35
1M			GXBLIM_RX_CH1p,GXBLIM_REFCLK1p					Yes					G36
1M			GXBLIM_TX_CH0n					Yes					J39
1M			GXBLIM_TX_CH0p					Yes					J40
1M			GXBLIM_RX_CH0n,GXBLIM_REFCLK0n					Yes					J35
1M			GXBLIM_RX_CH0p,GXBLIM_REFCLK0p					Yes					J36
1M			REFCLK_GXBLIM_CH8p										P34
1M			REFCLK_GXBLIM_CH8n										P33
1L			REFCLK_GXBL1L_CHTp										T34
1L			REFCLK_GXBL1L_CHTn										T33
1L			GXBL1L_TX_CH5n										K41
1L			GXBL1L_TX_CH5p										K42
1L			GXBL1L_RX_CH5n,GXBL1L_REFCLK5n										H37
1L			GXBL1L_RX_CH5p,GXBL1L_REFCLK5p										H38
1L			GXBL1L_TX_CH4n					Yes					L39
1L			GXBL1L_TX_CH4p					Yes					L40
1L			GXBL1L_RX_CH4n,GXBL1L_REFCLK4n					Yes					L35
1L			GXBL1L_RX_CH4p,GXBL1L_REFCLK4p					Yes					L36
1L			GXBL1L_TX_CH3n					Yes					M41
1L			GXBL1L_TX_CH3p					Yes					M42
1L			GXBL1L_RX_CH3n,GXBL1L_REFCLK3n					Yes					K37
1L			GXBL1L_RX_CH3p,GXBL1L_REFCLK3p					Yes					K38
1L			GXBL1L_TX_CH2n										N39
1L			GXBL1L_TX_CH2p										N40
1L			GXBL1L_RX_CH2n,GXBL1L_REFCLK2n										M37
1L			GXBL1L_RX_CH2p,GXBL1L_REFCLK2p										M38
1L			GXBL1L_TX_CH1n					Yes					P41
1L			GXBL1L_TX_CH1p					Yes					P42
1L			GXBL1L_RX_CH1n,GXBL1L_REFCLK1n					Yes					N35

Bank Number	Index within I/O Bank	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	GT support	NF43	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
1L			GXBL1L_RX_CH1p,GXBL1L_REFCLK1p					Yes	N36				
1L			GXBL1L_TX_CH0n					Yes	R39				
1L			GXBL1L_TX_CH0p					Yes	R40				
1L			GXBL1L_RX_CH0n,GXBL1L_REFCLK0n					Yes	P37				
1L			GXBL1L_RX_CH0p,GXBL1L_REFCLK0p					Yes	P38				
1L			REFCLK_GXBL1L_CH8p						V34				
1L			REFCLK_GXBL1L_CH8n						V33				
1K			REFCLK_GXBL1K_CHTp						Y34				
1K			REFCLK_GXBL1K_CHTn						Y33				
1K			GXBL1K_TX_CH5n						T41				
1K			GXBL1K_TX_CH5p						T42				
1K			GXBL1K_RX_CH5n,GXBL1K_REFCLK5n						R35				
1K			GXBL1K_RX_CH5p,GXBL1K_REFCLK5p						R36				
1K			GXBL1K_TX_CH4n					Yes	U39				
1K			GXBL1K_TX_CH4p					Yes	U40				
1K			GXBL1K_RX_CH4n,GXBL1K_REFCLK4n					Yes	T37				
1K			GXBL1K_RX_CH4p,GXBL1K_REFCLK4p					Yes	T38				
1K			GXBL1K_TX_CH3n					Yes	V41				
1K			GXBL1K_TX_CH3p					Yes	V42				
1K			GXBL1K_RX_CH3n,GXBL1K_REFCLK3n					Yes	V37				
1K			GXBL1K_RX_CH3p,GXBL1K_REFCLK3p					Yes	V38				
1K			GXBL1K_TX_CH2n						W39				
1K			GXBL1K_TX_CH2p						W40				
1K			GXBL1K_RX_CH2n,GXBL1K_REFCLK2n						U35				
1K			GXBL1K_RX_CH2p,GXBL1K_REFCLK2p						U36				
1K			GXBL1K_TX_CH1n					Yes	Y41				
1K			GXBL1K_TX_CH1p					Yes	Y42				
1K			GXBL1K_RX_CH1n,GXBL1K_REFCLK1n					Yes	Y37				
1K			GXBL1K_RX_CH1p,GXBL1K_REFCLK1p					Yes	Y38				
1K			GXBL1K_TX_CH0n					Yes	AA39				
1K			GXBL1K_TX_CH0p					Yes	AA40				
1K			GXBL1K_RX_CH0n,GXBL1K_REFCLK0n					Yes	W35				
1K			GXBL1K_RX_CH0p,GXBL1K_REFCLK0p					Yes	W36				
1K			REFCLK_GXBL1K_CH8p						AB34				
1K			REFCLK_GXBL1K_CH8n						AB33				
1F			REFCLK_GXBL1F_CHTp						AD34				
1F			REFCLK_GXBL1F_CHTn						AD33				
1F			GXBL1F_TX_CH5n						AB41				
1F			GXBL1F_TX_CH5p						AB42				
1F			GXBL1F_RX_CH5n,GXBL1F_REFCLK5n						AA35				
1F			GXBL1F_RX_CH5p,GXBL1F_REFCLK5p						AA36				
1F			GXBL1F_TX_CH4n					Yes	AC39				
1F			GXBL1F_TX_CH4p					Yes	AC40				
1F			GXBL1F_RX_CH4n,GXBL1F_REFCLK4n					Yes	AC35				
1F			GXBL1F_RX_CH4p,GXBL1F_REFCLK4p					Yes	AC36				
1F			GXBL1F_TX_CH3n					Yes	AD41				
1F			GXBL1F_TX_CH3p					Yes	AD42				
1F			GXBL1F_RX_CH3n,GXBL1F_REFCLK3n					Yes	AB37				
1F			GXBL1F_RX_CH3p,GXBL1F_REFCLK3p					Yes	AB38				
1F			GXBL1F_TX_CH2n						AE39				
1F			GXBL1F_TX_CH2p						AE40				
1F			GXBL1F_RX_CH2n,GXBL1F_REFCLK2n						AE35				
1F			GXBL1F_RX_CH2p,GXBL1F_REFCLK2p						AE36				
1F			GXBL1F_TX_CH1n					Yes	AF41				
1F			GXBL1F_TX_CH1p					Yes	AF42				
1F			GXBL1F_RX_CH1n,GXBL1F_REFCLK1n					Yes	AD37				
1F			GXBL1F_RX_CH1p,GXBL1F_REFCLK1p					Yes	AD38				
1F			GXBL1F_TX_CH0n					Yes	AG39				
1F			GXBL1F_TX_CH0p					Yes	AG40				
1F			GXBL1F_RX_CH0n,GXBL1F_REFCLK0n					Yes	AG35				
1F			GXBL1F_RX_CH0p,GXBL1F_REFCLK0p					Yes	AG36				
1F			REFCLK_GXBL1F_CH8p						AF34				
1F			REFCLK_GXBL1F_CH8n						AF33				
1E			REFCLK_GXBL1E_CHTp						AH34				
1E			REFCLK_GXBL1E_CHTn						AH33				
1E			GXBL1E_TX_CH5n						AH41				
1E			GXBL1E_TX_CH5p						AH42				
1E			GXBL1E_RX_CH5n,GXBL1E_REFCLK5n						AF37				
1E			GXBL1E_RX_CH5p,GXBL1E_REFCLK5p						AF38				
1E			GXBL1E_TX_CH4n					Yes	AJ39				
1E			GXBL1E_TX_CH4p					Yes	AJ40				
1E			GXBL1E_RX_CH4n,GXBL1E_REFCLK4n					Yes	AH37				
1E			GXBL1E_RX_CH4p,GXBL1E_REFCLK4p					Yes	AH38				
1E			GXBL1E_TX_CH3n					Yes	AK41				
1E			GXBL1E_TX_CH3p					Yes	AK42				
1E			GXBL1E_RX_CH3n,GXBL1E_REFCLK3n					Yes	AJ35				
1E			GXBL1E_RX_CH3p,GXBL1E_REFCLK3p					Yes	AJ36				

Bank Number	Index within I/O Bank	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	GT support	NF43	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
1E			GXBL1E_TX_CH2n						AL39				
1E			GXBL1E_TX_CH2p						AL40				
1E			GXBL1E_RX_CH2n,GXBL1E_REFCLK2n						AK37				
1E			GXBL1E_RX_CH2p,GXBL1E_REFCLK2p						AK38				
1E			GXBL1E_TX_CH1n					Yes	AM41				
1E			GXBL1E_TX_CH1p					Yes	AM42				
1E			GXBL1E_RX_CH1n,GXBL1E_REFCLK1n					Yes	AM37				
1E			GXBL1E_RX_CH1p,GXBL1E_REFCLK1p					Yes	AM38				
1E			GXBL1E_TX_CH0n					Yes	AN39				
1E			GXBL1E_TX_CH0p					Yes	AN40				
1E			GXBL1E_RX_CH0n,GXBL1E_REFCLK0n					Yes	AL35				
1E			GXBL1E_RX_CH0p,GXBL1E_REFCLK0p					Yes	AL36				
1E			REFCLK_GXBL1E_CHBp						AK34				
1E			REFCLK_GXBL1E_CHBn						AK33				
1D			REFCLK_GXBL1D_CHTp						AM34				
1D			REFCLK_GXBL1D_CHTn						AM33				
1D			GXBL1D_TX_CH5n						AP41				
1D			GXBL1D_TX_CH5p						AP42				
1D			GXBL1D_RX_CH5n,GXBL1D_REFCLK5n						AP37				
1D			GXBL1D_RX_CH5p,GXBL1D_REFCLK5p						AP38				
1D			GXBL1D_TX_CH4n					Yes	AR39				
1D			GXBL1D_TX_CH4p					Yes	AR40				
1D			GXBL1D_RX_CH4n,GXBL1D_REFCLK4n					Yes	AT37				
1D			GXBL1D_RX_CH4p,GXBL1D_REFCLK4p					Yes	AT38				
1D			GXBL1D_TX_CH3n					Yes	AT41				
1D			GXBL1D_TX_CH3p					Yes	AT42				
1D			GXBL1D_RX_CH3n,GXBL1D_REFCLK3n					Yes	AN35				
1D			GXBL1D_RX_CH3p,GXBL1D_REFCLK3p					Yes	AN36				
1D			GXBL1D_TX_CH2n						AU39				
1D			GXBL1D_TX_CH2p						AU40				
1D			GXBL1D_RX_CH2n,GXBL1D_REFCLK2n						AR35				
1D			GXBL1D_RX_CH2p,GXBL1D_REFCLK2p						AR36				
1D			GXBL1D_TX_CH1n					Yes	AV41				
1D			GXBL1D_TX_CH1p					Yes	AV42				
1D			GXBL1D_RX_CH1n,GXBL1D_REFCLK1n					Yes	AW35				
1D			GXBL1D_RX_CH1p,GXBL1D_REFCLK1p					Yes	AW36				
1D			GXBL1D_TX_CH0n					Yes	AW39				
1D			GXBL1D_TX_CH0p					Yes	AW40				
1D			GXBL1D_RX_CH0n,GXBL1D_REFCLK0n					Yes	AU35				
1D			GXBL1D_RX_CH0p,GXBL1D_REFCLK0p					Yes	AU36				
1D			REFCLK_GXBL1D_CHBp						AP34				
1D			REFCLK_GXBL1D_CHBn						AP33				
1C			REFCLK_GXBL1C_CHTp						AT34				
1C			REFCLK_GXBL1C_CHTn						AT33				
1C			GXBL1C_TX_CH5n						AV37				
1C			GXBL1C_TX_CH5p						AV38				
1C			GXBL1C_RX_CH5n,GXBL1C_REFCLK5n						AY33				
1C			GXBL1C_RX_CH5p,GXBL1C_REFCLK5p						AY34				
1C			GXBL1C_TX_CH4n					Yes	BA39				
1C			GXBL1C_TX_CH4p					Yes	BA40				
1C			GXBL1C_RX_CH4n,GXBL1C_REFCLK4n					Yes	BA31				
1C			GXBL1C_RX_CH4p,GXBL1C_REFCLK4p					Yes	BA32				
1C			GXBL1C_TX_CH3n					Yes	AY37				
1C			GXBL1C_TX_CH3p					Yes	AY38				
1C			GXBL1C_RX_CH3n,GXBL1C_REFCLK3n					Yes	AW31				
1C			GXBL1C_RX_CH3p,GXBL1C_REFCLK3p					Yes	AW32				
1C			GXBL1C_TX_CH2n						BB37				
1C			GXBL1C_TX_CH2p						BB38				
1C			GXBL1C_RX_CH2n,GXBL1C_REFCLK2n						BB29				
1C			GXBL1C_RX_CH2p,GXBL1C_REFCLK2p						BB30				
1C			GXBL1C_TX_CH1n					Yes	BA35				
1C			GXBL1C_TX_CH1p					Yes	BA36				
1C			GXBL1C_RX_CH1n,GXBL1C_REFCLK1n					Yes	AY29				
1C			GXBL1C_RX_CH1p,GXBL1C_REFCLK1p					Yes	AY30				
1C			GXBL1C_TX_CH0n					Yes	BB33				
1C			GXBL1C_TX_CH0p					Yes	BB34				
1C			GXBL1C_RX_CH0n,GXBL1C_REFCLK0n					Yes	AV29				
1C			GXBL1C_RX_CH0p,GXBL1C_REFCLK0p					Yes	AV30				
1C			REFCLK_GXBL1C_CHBp						AV34				
1C			REFCLK_GXBL1C_CHBn						AV33				
2N	47	VREFB2NND	IO			LVDS2N_1n	No		H22	DQ0	DQ0	DQ0	DQ0
2N	46	VREFB2NND	IO			LVDS2N_1p	No		G22	DQ0	DQ0	DQ0	DQ0
2N	45	VREFB2NND	IO			LVDS2N_2n	Yes		F21	DQS0	DQ0	DQ0	DQ0
2N	44	VREFB2NND	IO			LVDS2N_2p	Yes		E21	DQS0	DQ0	DQ0	DQ0
2N	43	VREFB2NND	IO			LVDS2N_3n	No		J21	DQ0	DQ0	DQ0	DQ0
2N	42	VREFB2NND	IO			LVDS2N_3p	No		H21	DQ0	DQ0	DQ0	DQ0
2N	41	VREFB2NND	IO			LVDS2N_4n	Yes		H23	DQS0n1	DQS0n0/CQ0n	DQ0	DQ0

Bank Number	Index within I/O Bank	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	GT support	NF43	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
2N		40	VREFB2NNO	IO		LVD52N_4p	Yes		J23	DQS1	DQ00/CQ0	DQ0	DQ0
2N		39	VREFB2NNO	IO		LVD52N_5n	No		E22	DQ1	DQ0	DQ0	DQ0
2N		38	VREFB2NNO	IO		LVD52N_5p	No		F22	DQ1	DQ0	DQ0	DQ0
2N		37	VREFB2NNO	IO		LVD52N_6n	Yes		D21	DQ1	DQ0	DQ0	DQ0
2N		36	VREFB2NNO	IO		LVD52N_6p	Yes		C21	DQ1	DQ0	DQ0	DQ0
2N		35	VREFB2NNO	IO		LVD52N_7n	No		P24	DQ2	DQ1	DQ0	DQ0
2N		34	VREFB2NNO	IO		LVD52N_7p	No		P23	DQ2	DQ1	DQ0	DQ0
2N		33	VREFB2NNO	IO		LVD52N_8n	Yes		K22	DQSn2	DQ1	DQ0/CQn0	DQ0
2N		32	VREFB2NNO	IO		LVD52N_8p	Yes		K23	DQSn2	DQ1	DQ0/CQ0	DQ0
2N		31	VREFB2NNO	IO		LVD52N_9n	No		M22	DQ2	DQ1	DQ0	DQ0
2N		30	VREFB2NNO	IO		LVD52N_9p	No		L22	DQ2	DQ1	DQ0	DQ0
2N		29	VREFB2NNO	IO	PLL_2N_CLKOUT1n	LVD52N_10n	Yes		R24	DQSn3	DQSn1/CQn1	DQ0	DQ0
2N		28	VREFB2NNO	IO	PLL_2N_CLKOUT1p,PLL_2N_CLKOUT1,PLL_2N_FB1	LVD52N_10p	Yes		T23	DQSn3	DQSn1/CQ1	DQ0	DQ0
2N		27	VREFB2NNO	IO		LVD52N_11n	No		N23	DQ3	DQ1	DQ0	DQ0
2N		26	VREFB2NNO	IO	RZQ_2N	LVD52N_11p	No		N22	DQ3	DQ1	DQ0	DQ0
2N		25	VREFB2NNO	IO	CLK_2N_1n	LVD52N_12n	Yes		M23	DQ3	DQ1	DQ0	DQ0
2N		24	VREFB2NNO	IO	CLK_2N_1p	LVD52N_12p	Yes		M24	DQ3	DQ1	DQ0	DQ0
2N		23	VREFB2NNO	IO	CLK_2N_0n	LVD52N_13n	No		G24	DQ4	DQ2	DQ1	DQ0
2N		22	VREFB2NNO	IO	CLK_2N_0p	LVD52N_13p	No		G25	DQ4	DQ2	DQ1	DQ0
2N		21	VREFB2NNO	IO		LVD52N_14n	Yes		M25	DQSn4	DQ2	DQ1	DQ0/CQn0
2N		20	VREFB2NNO	IO		LVD52N_14p	Yes		L25	DQSn4	DQ2	DQ1	DQ0/CQ0
2N		19	VREFB2NNO	IO	PLL_2N_CLKOUT0n	LVD52N_15n	No		J24	DQ4	DQ2	DQ1	DQ0
2N		18	VREFB2NNO	IO	PLL_2N_CLKOUT0p,PLL_2N_CLKOUT0,PLL_2N_FB0	LVD52N_15p	No		J25	DQ4	DQ2	DQ1	DQ0
2N		17	VREFB2NNO	IO		LVD52N_16n	Yes		P25	DQSn5	DQSn2/CQn2	DQ1	DQ0
2N		16	VREFB2NNO	IO		LVD52N_16p	Yes		N25	DQSn5	DQSn2/CQ2	DQ1	DQ0
2N		15	VREFB2NNO	IO		LVD52N_17n	No		L24	DQ5	DQ2	DQ1	DQ0
2N		14	VREFB2NNO	IO		LVD52N_17p	No		K24	DQ5	DQ2	DQ1	DQ0
2N		13	VREFB2NNO	IO		LVD52N_18n	Yes		H26	DQ5	DQ2	DQ1	DQ0
2N		12	VREFB2NNO	IO		LVD52N_18p	Yes		H25	DQ5	DQ2	DQ1	DQ0
2N		11	VREFB2NNO	IO		LVD52N_19n	No		G23	DQ6	DQ3	DQ1	DQ0
2N		10	VREFB2NNO	IO		LVD52N_19p	No		F24	DQ6	DQ3	DQ1	DQ0
2N		9	VREFB2NNO	IO		LVD52N_20n	Yes		E24	DQSn6	DQ3	DQSn1/CQn1	DQ0
2N		8	VREFB2NNO	IO		LVD52N_20p	Yes		D24	DQSn6	DQ3	DQSn1/CQ1	DQ0
2N		7	VREFB2NNO	IO		LVD52N_21n	No		E23	DQ6	DQ3	DQ1	DQ0
2N		6	VREFB2NNO	IO		LVD52N_21p	No		D23	DQ6	DQ3	DQ1	DQ0
2N		5	VREFB2NNO	IO		LVD52N_22n	Yes		C22	DQSn7	DQSn3/CQn3	DQ1	DQ0
2N		4	VREFB2NNO	IO		LVD52N_22p	Yes		C23	DQSn7	DQSn3/CQ3	DQ1	DQ0
2N		3	VREFB2NNO	IO		LVD52N_23n	No		A21	DQ7	DQ3	DQ1	DQ0
2N		2	VREFB2NNO	IO		LVD52N_23p	No		A22	DQ7	DQ3	DQ1	DQ0
2N		1	VREFB2NNO	IO		LVD52N_24n	Yes		B22	DQ7	DQ3	DQ1	DQ0
2N		0	VREFB2NNO	IO		LVD52N_24p	Yes		B23	DQ7	DQ3	DQ1	DQ0
2M		47	VREFB2MNO	IO		LVD52M_1n	No		F25	DQ8	DQ4	DQ2	DQ1
2M		46	VREFB2MNO	IO		LVD52M_1p	No		F26	DQ8	DQ4	DQ2	DQ1
2M		45	VREFB2MNO	IO		LVD52M_2n	Yes		C26	DQSn8	DQ4	DQ2	DQ1
2M		44	VREFB2MNO	IO		LVD52M_2p	Yes		C27	DQSn8	DQ4	DQ2	DQ1
2M		43	VREFB2MNO	IO		LVD52M_3n	No		E26	DQ8	DQ4	DQ2	DQ1
2M		42	VREFB2MNO	IO		LVD52M_3p	No		D26	DQ8	DQ4	DQ2	DQ1
2M		41	VREFB2MNO	IO		LVD52M_4n	Yes		B25	DQSn9	DQSn4/CQn4	DQ2	DQ1
2M		40	VREFB2MNO	IO		LVD52M_4p	Yes		B24	DQSn9	DQSn4/CQ4	DQ2	DQ1
2M		39	VREFB2MNO	IO		LVD52M_5n	No		C25	DQ9	DQ4	DQ2	DQ1
2M		38	VREFB2MNO	IO		LVD52M_5p	No		D25	DQ9	DQ4	DQ2	DQ1
2M		37	VREFB2MNO	IO		LVD52M_6n	Yes		A24	DQ9	DQ4	DQ2	DQ1
2M		36	VREFB2MNO	IO		LVD52M_6p	Yes		A25	DQ9	DQ4	DQ2	DQ1
2M		35	VREFB2MNO	IO		LVD52M_7n	No		F27	DQ10	DQ5	DQ2	DQ1
2M		34	VREFB2MNO	IO		LVD52M_7p	No		G27	DQ10	DQ5	DQ2	DQ1
2M		33	VREFB2MNO	IO		LVD52M_8n	Yes		H27	DQSn10	DQ5	DQSn2/CQn2	DQ1
2M		32	VREFB2MNO	IO		LVD52M_8p	Yes		H28	DQSn10	DQ5	DQSn2/CQ2	DQ1
2M		31	VREFB2MNO	IO		LVD52M_9n	No		H30	DQ10	DQ5	DQ2	DQ1
2M		30	VREFB2MNO	IO		LVD52M_9p	No		H31	DQ10	DQ5	DQ2	DQ1
2M		29	VREFB2MNO	IO	PLL_2M_CLKOUT1n	LVD52M_10n	Yes		K28	DQSn11	DQSn5/CQn5	DQ2	DQ1
2M		28	VREFB2MNO	IO	PLL_2M_CLKOUT1p,PLL_2M_CLKOUT1,PLL_2M_FB1	LVD52M_10p	Yes		J28	DQSn11	DQSn5/CQ5	DQ2	DQ1
2M		27	VREFB2MNO	IO		LVD52M_11n	No		J29	DQ11	DQ5	DQ2	DQ1
2M		26	VREFB2MNO	IO	RZQ_2M	LVD52M_11p	No		J30	DQ11	DQ5	DQ2	DQ1
2M		25	VREFB2MNO	IO	CLK_2M_1n	LVD52M_12n	Yes		E27	DQ11	DQ5	DQ2	DQ1
2M		24	VREFB2MNO	IO	CLK_2M_1p	LVD52M_12p	Yes		D27	DQ11	DQ5	DQ2	DQ1
2M		23	VREFB2MNO	IO	CLK_2M_0n	LVD52M_13n	No		M27	DQ12	DQ6	DQ3	DQ1
2M		22	VREFB2MNO	IO	CLK_2M_0p	LVD52M_13p	No		L27	DQ12	DQ6	DQ3	DQ1
2M		21	VREFB2MNO	IO		LVD52M_14n	Yes		N27	DQSn12	DQ6	DQ3	DQSn1/CQn1
2M		20	VREFB2MNO	IO		LVD52M_14p	Yes		N26	DQSn12	DQ6	DQ3	DQSn1/CQ1
2M		19	VREFB2MNO	IO	PLL_2M_CLKOUT0n	LVD52M_15n	No		K27	DQ12	DQ6	DQ3	DQ1
2M		18	VREFB2MNO	IO	PLL_2M_CLKOUT0p,PLL_2M_CLKOUT0,PLL_2M_FB0	LVD52M_15p	No		K26	DQ12	DQ6	DQ3	DQ1
2M		17	VREFB2MNO	IO		LVD52M_16n	Yes		R27	DQSn13	DQSn6/CQn6	DQ3	DQ1
2M		16	VREFB2MNO	IO		LVD52M_16p	Yes		P28	DQSn13	DQSn6/CQ6	DQ3	DQ1
2M		15	VREFB2MNO	IO		LVD52M_17n	No		P26	DQ13	DQ6	DQ3	DQ1
2M		14	VREFB2MNO	IO		LVD52M_17p	No		R26	DQ13	DQ6	DQ3	DQ1
2M		13	VREFB2MNO	IO		LVD52M_18n	Yes		N28	DQ13	DQ6	DQ3	DQ1
2M		12	VREFB2MNO	IO		LVD52M_18p	Yes		M28	DQ13	DQ6	DQ3	DQ1

Bank Number	Index within I/O Bank	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	GT support	NF43	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
2M		11	VREFB2MNO	IO		LVD52M_19n	No		P29	DQ14	DQ7	DQ3	DQ1
2M		10	VREFB2MNO	IO		LVD52M_19p	No		P30	DQ14	DQ7	DQ3	DQ1
2M		9	VREFB2MNO	IO		LVD52M_20n	Yes		L30	DQSn14	DQ7	DQSn3/CQn3	DQ1
2M		8	VREFB2MNO	IO		LVD52M_20p	Yes		K31	DQSn14	DQ7	DQSn3/CQn3	DQ1
2M		7	VREFB2MNO	IO		LVD52M_21n	No		M31	DQ14	DQ7	DQ3	DQ1
2M		6	VREFB2MNO	IO		LVD52M_21p	No		M30	DQ14	DQ7	DQ3	DQ1
2M		5	VREFB2MNO	IO		LVD52M_22n	Yes		K29	DQSn15	DQSn7/CQn7	DQ3	DQ1
2M		4	VREFB2MNO	IO		LVD52M_22p	Yes		K30	DQSn15	DQSn7/CQn7	DQ3	DQ1
2M		3	VREFB2MNO	IO		LVD52M_23n	No		L29	DQ15	DQ7	DQ3	DQ1
2M		2	VREFB2MNO	IO		LVD52M_23p	No		M29	DQ15	DQ7	DQ3	DQ1
2M		1	VREFB2MNO	IO		LVD52M_24n	Yes		P31	DQ15	DQ7	DQ3	DQ1
2M		0	VREFB2MNO	IO		LVD52M_24p	Yes		N30	DQ15	DQ7	DQ3	DQ1
2L		47	VREFB2LNO	IO		LVD52L_1n	No		H16	DQ16	DQ8	DQ4	DQ2
2L		46	VREFB2LNO	IO		LVD52L_1p	No		H17	DQ16	DQ8	DQ4	DQ2
2L		45	VREFB2LNO	IO		LVD52L_2n	Yes		N18	DQSn16	DQ8	DQ4	DQ2
2L		44	VREFB2LNO	IO		LVD52L_2p	Yes		M18	DQSn16	DQ8	DQ4	DQ2
2L		43	VREFB2LNO	IO		LVD52L_3n	No		F17	DQ16	DQ8	DQ4	DQ2
2L		42	VREFB2LNO	IO		LVD52L_3p	No		G17	DQ16	DQ8	DQ4	DQ2
2L		41	VREFB2LNO	IO		LVD52L_4n	Yes		M17	DQSn17	DQSn8/CQn8	DQ4	DQ2
2L		40	VREFB2LNO	IO		LVD52L_4p	Yes		N17	DQSn17	DQSn8/CQn8	DQ4	DQ2
2L		39	VREFB2LNO	IO		LVD52L_5n	No		L17	DQ17	DQ8	DQ4	DQ2
2L		38	VREFB2LNO	IO		LVD52L_5p	No		K17	DQ17	DQ8	DQ4	DQ2
2L		37	VREFB2LNO	IO		LVD52L_6n	Yes		E16	DQ17	DQ8	DQ4	DQ2
2L		36	VREFB2LNO	IO		LVD52L_6p	Yes		F16	DQ17	DQ8	DQ4	DQ2
2L		35	VREFB2LNO	IO		LVD52L_7n	No		L15	DQ18	DQ9	DQ4	DQ2
2L		34	VREFB2LNO	IO		LVD52L_7p	No		L16	DQ18	DQ9	DQ4	DQ2
2L		33	VREFB2LNO	IO		LVD52L_8n	Yes		N15	DQSn18	DQ9	DQSn4/CQn4	DQ2
2L		32	VREFB2LNO	IO		LVD52L_8p	Yes		M15	DQSn18	DQ9	DQSn4/CQn4	DQ2
2L		31	VREFB2LNO	IO		LVD52L_9n	No		N16	DQ18	DQ9	DQ4	DQ2
2L		30	VREFB2LNO	IO		LVD52L_9p	No		P16	DQ18	DQ9	DQ4	DQ2
2L		29	VREFB2LNO	IO	PLL_2L_CLKOUT1n	LVD52L_10n	Yes		P18	DQSn19	DQSn9/CQn9	DQ4	DQ2
2L		28	VREFB2LNO	IO	PLL_2L_CLKOUT1p,PLL_2L_CLKOUT1,PLL_2L_FB1	LVD52L_10p	Yes		R17	DQSn19	DQSn9/CQn9	DQ4	DQ2
2L		27	VREFB2LNO	IO		LVD52L_11n	No		J16	DQ19	DQ9	DQ4	DQ2
2L		26	VREFB2LNO	IO	RZQ_2L	LVD52L_11p	No		K16	DQ19	DQ9	DQ4	DQ2
2L		25	VREFB2LNO	IO	CLK_2L_1n	LVD52L_12n	Yes		P15	DQ19	DQ9	DQ4	DQ2
2L		24	VREFB2LNO	IO	CLK_2L_1p	LVD52L_12p	Yes		R16	DQ19	DQ9	DQ4	DQ2
2L		23	VREFB2LNO	IO	CLK_2L_0n	LVD52L_13n	No		F15	DQ20	DQ10	DQ5	DQ2
2L		22	VREFB2LNO	IO	CLK_2L_0p	LVD52L_13p	No		G15	DQ20	DQ10	DQ5	DQ2
2L		21	VREFB2LNO	IO		LVD52L_14n	Yes		D14	DQSn20	DQ10	DQ5	DQSn2/CQn2
2L		20	VREFB2LNO	IO		LVD52L_14p	Yes		D15	DQSn20	DQ10	DQ5	DQSn2/CQn2
2L		19	VREFB2LNO	IO	PLL_2L_CLKOUT0n	LVD52L_15n	No		H15	DQ20	DQ10	DQ5	DQ2
2L		18	VREFB2LNO	IO	PLL_2L_CLKOUT0p,PLL_2L_CLKOUT0,PLL_2L_FBO	LVD52L_15p	No		J15	DQ20	DQ10	DQ5	DQ2
2L		17	VREFB2LNO	IO		LVD52L_16n	Yes		F14	DQSn21	DQSn10/CQn10	DQ5	DQ2
2L		16	VREFB2LNO	IO		LVD52L_16p	Yes		E14	DQSn21	DQSn10/CQn10	DQ5	DQ2
2L		15	VREFB2LNO	IO		LVD52L_17n	No		G13	DQ21	DQ10	DQ5	DQ2
2L		14	VREFB2LNO	IO		LVD52L_17p	No		G14	DQ21	DQ10	DQ5	DQ2
2L		13	VREFB2LNO	IO		LVD52L_18n	Yes		E13	DQ21	DQ10	DQ5	DQ2
2L		12	VREFB2LNO	IO		LVD52L_18p	Yes		D13	DQ21	DQ10	DQ5	DQ2
2L		11	VREFB2LNO	IO		LVD52L_19n	No		E12	DQ22	DQ11	DQ5	DQ2
2L		10	VREFB2LNO	IO		LVD52L_19p	No		D11	DQ22	DQ11	DQ5	DQ2
2L		9	VREFB2LNO	IO		LVD52L_20n	Yes		C11	DQSn22	DQ11	DQSn5/CQn5	DQ2
2L		8	VREFB2LNO	IO		LVD52L_20p	Yes		C10	DQSn22	DQ11	DQSn5/CQn5	DQ2
2L		7	VREFB2LNO	IO		LVD52L_21n	No		F12	DQ22	DQ11	DQ5	DQ2
2L		6	VREFB2LNO	IO		LVD52L_21p	No		G12	DQ22	DQ11	DQ5	DQ2
2L		5	VREFB2LNO	IO		LVD52L_22n	Yes		C8	DQSn23	DQSn11/CQn11	DQ5	DQ2
2L		4	VREFB2LNO	IO		LVD52L_22p	Yes		D8	DQSn23	DQSn11/CQn11	DQ5	DQ2
2L		3	VREFB2LNO	IO		LVD52L_23n	No		E11	DQ23	DQ11	DQ5	DQ2
2L		2	VREFB2LNO	IO		LVD52L_23p	No		F11	DQ23	DQ11	DQ5	DQ2
2L		1	VREFB2LNO	IO		LVD52L_24n	Yes		D10	DQ23	DQ11	DQ5	DQ2
2L		0	VREFB2LNO	IO		LVD52L_24p	Yes		D9	DQ23	DQ11	DQ5	DQ2
2K		47	VREFB2KNO	IO		LVD52K_1n	No		AN17	DQ24	DQ12	DQ6	DQ3
2K		46	VREFB2KNO	IO		LVD52K_1p	No		AM17	DQ24	DQ12	DQ6	DQ3
2K		45	VREFB2KNO	IO		LVD52K_2n	Yes		AK18	DQSn24	DQ12	DQ6	DQ3
2K		44	VREFB2KNO	IO		LVD52K_2p	Yes		AJ19	DQSn24	DQ12	DQ6	DQ3
2K		43	VREFB2KNO	IO		LVD52K_3n	No		AL19	DQ24	DQ12	DQ6	DQ3
2K		42	VREFB2KNO	IO		LVD52K_3p	No		AK19	DQ24	DQ12	DQ6	DQ3
2K		41	VREFB2KNO	IO		LVD52K_4n	Yes		AJ18	DQSn25	DQSn12/CQn12	DQ6	DQ3
2K		40	VREFB2KNO	IO		LVD52K_4p	Yes		AH18	DQSn25	DQSn12/CQn12	DQ6	DQ3
2K		39	VREFB2KNO	IO		LVD52K_5n	No		AM20	DQ25	DQ12	DQ6	DQ3
2K		38	VREFB2KNO	IO		LVD52K_5p	No		AM19	DQ25	DQ12	DQ6	DQ3
2K		37	VREFB2KNO	IO		LVD52K_6n	Yes		AK17	DQ25	DQ12	DQ6	DQ3
2K		36	VREFB2KNO	IO		LVD52K_6p	Yes		AL17	DQ25	DQ12	DQ6	DQ3
2K		35	VREFB2KNO	IO		LVD52K_7n	No		AH24	DQ26	DQ13	DQ6	DQ3
2K		34	VREFB2KNO	IO		LVD52K_7p	No		AJ23	DQ26	DQ13	DQ6	DQ3
2K		33	VREFB2KNO	IO		LVD52K_8n	Yes		AK24	DQSn26	DQ13	DQSn6/CQn6	DQ3
2K		32	VREFB2KNO	IO		LVD52K_8p	Yes		AJ24	DQSn26	DQ13	DQSn6/CQn6	DQ3
2K		31	VREFB2KNO	IO		LVD52K_9n	No		AL21	DQ26	DQ13	DQ6	DQ3

Bank Number	Index within I/O Bank	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	GT support	NF43	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
2K		30	VREFB2KNO	IO		LVD52K_9p	No		AL20	DQ26	DQ13	DQ6	DQ3
2K		29	VREFB2KNO	IO	PLL_2K_CLKOUT1n	LVD52K_10n	Yes		AK21	DQS27	DQSn13/CQn13	DQ6	DQ3
2K		28	VREFB2KNO	IO	PLL_2K_CLKOUT1p,PLL_2K_CLKOUT1,PLL_2K_FB1	LVD52K_10p	Yes		AK22	DQS27	DQSn13/CQ13	DQ6	DQ3
2K		27	VREFB2KNO	IO		LVD52K_11n	No		AL22	DQ27	DQ13	DQ6	DQ3
2K		26	VREFB2KNO	IO	RZQ_2K	LVD52K_11p	No		AK23	DQ27	DQ13	DQ6	DQ3
2K		25	VREFB2KNO	IO	CLK_2K_1n	LVD52K_12n	Yes		AJ25	DQ27	DQ13	DQ6	DQ3
2K		24	VREFB2KNO	IO	CLK_2K_1p	LVD52K_12p	Yes		AJ26	DQ27	DQ13	DQ6	DQ3
2K		23	VREFB2KNO	IO	CLK_2K_0n	LVD52K_13n	No		AP18	DQ28	DQ14	DQ7	DQ3
2K		22	VREFB2KNO	IO	CLK_2K_0p	LVD52K_13p	No		AP19	DQ28	DQ14	DQ7	DQ3
2K		21	VREFB2KNO	IO		LVD52K_14n	Yes		AR17	DQSn28	DQ14	DQ7	DQSn3/CQn3
2K		20	VREFB2KNO	IO		LVD52K_14p	Yes		AR18	DQSn28	DQ14	DQ7	DQSn3/CQ3
2K		19	VREFB2KNO	IO	PLL_2K_CLKOUT0n	LVD52K_15n	No		AT19	DQ28	DQ14	DQ7	DQ3
2K		18	VREFB2KNO	IO	PLL_2K_CLKOUT0p,PLL_2K_CLKOUT0,PLL_2K_FB0	LVD52K_15p	No		AR19	DQ28	DQ14	DQ7	DQ3
2K		17	VREFB2KNO	IO		LVD52K_16n	Yes		AN18	DQSn29	DQSn14/CQn14	DQ7	DQ3
2K		16	VREFB2KNO	IO		LVD52K_16p	Yes		AM18	DQSn29	DQSn14/CQ14	DQ7	DQ3
2K		15	VREFB2KNO	IO		LVD52K_17n	No		AR16	DQ29	DQ14	DQ7	DQ3
2K		14	VREFB2KNO	IO		LVD52K_17p	No		AT16	DQ29	DQ14	DQ7	DQ3
2K		13	VREFB2KNO	IO		LVD52K_18n	Yes		AT17	DQ29	DQ14	DQ7	DQ3
2K		12	VREFB2KNO	IO		LVD52K_18p	Yes		AU17	DQ29	DQ14	DQ7	DQ3
2K		11	VREFB2KNO	IO		LVD52K_19n	No		AY18	DQ30	DQ15	DQ7	DQ3
2K		10	VREFB2KNO	IO		LVD52K_19p	No		AW18	DQ30	DQ15	DQ7	DQ3
2K		9	VREFB2KNO	IO		LVD52K_20n	Yes		AV17	DQSn30	DQ15	DQ7	DQSn7/CQn7
2K		8	VREFB2KNO	IO		LVD52K_20p	Yes		AV16	DQSn30	DQ15	DQ7	DQSn7/CQ7
2K		7	VREFB2KNO	IO		LVD52K_21n	No		AV18	DQ30	DQ15	DQ7	DQ3
2K		6	VREFB2KNO	IO		LVD52K_21p	No		AU18	DQ30	DQ15	DQ7	DQ3
2K		5	VREFB2KNO	IO		LVD52K_22n	Yes		BB17	DQSn31	DQSn15/CQn15	DQ7	DQ3
2K		4	VREFB2KNO	IO		LVD52K_22p	Yes		BB18	DQSn31	DQSn15/CQ15	DQ7	DQ3
2K		3	VREFB2KNO	IO		LVD52K_23n	No		AW16	DQ31	DQ15	DQ7	DQ3
2K		2	VREFB2KNO	IO		LVD52K_23p	No		AY16	DQ31	DQ15	DQ7	DQ3
2K		1	VREFB2KNO	IO		LVD52K_24n	Yes		BA17	DQ31	DQ15	DQ7	DQ3
2K		0	VREFB2KNO	IO		LVD52K_24p	Yes		AY17	DQ31	DQ15	DQ7	DQ3
2F		47	VREFB2FNO	IO		LVD52F_1n	No		AR21	DQ32	DQ16	DQ8	DQ4
2F		46	VREFB2FNO	IO		LVD52F_1p	No		AP21	DQ32	DQ16	DQ8	DQ4
2F		45	VREFB2FNO	IO		LVD52F_2n	Yes		AT20	DQSn32	DQ16	DQ8	DQ4
2F		44	VREFB2FNO	IO		LVD52F_2p	Yes		AT21	DQSn32	DQ16	DQ8	DQ4
2F		43	VREFB2FNO	IO		LVD52F_3n	No		AM22	DQ32	DQ16	DQ8	DQ4
2F		42	VREFB2FNO	IO		LVD52F_3p	No		AM23	DQ32	DQ16	DQ8	DQ4
2F		41	VREFB2FNO	IO		LVD52F_4n	Yes		AU20	DQSn33	DQSn16/CQn16	DQ8	DQ4
2F		40	VREFB2FNO	IO		LVD52F_4p	Yes		AU19	DQSn33	DQSn16/CQ16	DQ8	DQ4
2F		39	VREFB2FNO	IO		LVD52F_5n	No		AN21	DQ33	DQ16	DQ8	DQ4
2F		38	VREFB2FNO	IO		LVD52F_5p	No		AN22	DQ33	DQ16	DQ8	DQ4
2F		37	VREFB2FNO	IO		LVD52F_6n	Yes		AP20	DQ33	DQ16	DQ8	DQ4
2F		36	VREFB2FNO	IO		LVD52F_6p	Yes		AN20	DQ33	DQ16	DQ8	DQ4
2F		35	VREFB2FNO	IO		LVD52F_7n	No		AV20	DQ34	DQ17	DQ8	DQ4
2F		34	VREFB2FNO	IO		LVD52F_7p	No		AW20	DQ34	DQ17	DQ8	DQ4
2F		33	VREFB2FNO	IO		LVD52F_8n	Yes		BA20	DQSn34	DQ17	DQSn8/CQn8	DQ4
2F		32	VREFB2FNO	IO		LVD52F_8p	Yes		BB20	DQSn34	DQ17	DQSn8/CQ8	DQ4
2F		31	VREFB2FNO	IO		LVD52F_9n	No		AV21	DQ34	DQ17	DQ8	DQ4
2F		30	VREFB2FNO	IO		LVD52F_9p	No		AW21	DQ34	DQ17	DQ8	DQ4
2F		29	VREFB2FNO	IO	PLL_2F_CLKOUT1n	LVD52F_10n	Yes		BA19	DQSn35	DQSn17/CQn17	DQ8	DQ4
2F		28	VREFB2FNO	IO	PLL_2F_CLKOUT1p,PLL_2F_CLKOUT1,PLL_2F_FB1	LVD52F_10p	Yes		BB19	DQSn35	DQSn17/CQ17	DQ8	DQ4
2F		27	VREFB2FNO	IO		LVD52F_11n	No		AY21	DQ35	DQ17	DQ8	DQ4
2F		26	VREFB2FNO	IO	RZQ_2F	LVD52F_11p	No		BA21	DQ35	DQ17	DQ8	DQ4
2F		25	VREFB2FNO	IO	CLK_2F_1n	LVD52F_12n	Yes		AW19	DQ35	DQ17	DQ8	DQ4
2F		24	VREFB2FNO	IO	CLK_2F_1p	LVD52F_12p	Yes		AY19	DQ35	DQ17	DQ8	DQ4
2F		23	VREFB2FNO	IO	CLK_2F_0n	LVD52F_13n	No		AR24	DQ36	DQ18	DQ9	DQ4
2F		22	VREFB2FNO	IO	CLK_2F_0p	LVD52F_13p	No		AR23	DQ36	DQ18	DQ9	DQ4
2F		21	VREFB2FNO	IO		LVD52F_14n	Yes		AN23	DQSn36	DQ18	DQ9	DQSn4/CQn4
2F		20	VREFB2FNO	IO		LVD52F_14p	Yes		AP23	DQSn36	DQ18	DQ9	DQSn4/CQ4
2F		19	VREFB2FNO	IO	PLL_2F_CLKOUT0n	LVD52F_15n	No		AL25	DQ36	DQ18	DQ9	DQ4
2F		18	VREFB2FNO	IO	PLL_2F_CLKOUT0p,PLL_2F_CLKOUT0,PLL_2F_FB0	LVD52F_15p	No		AL26	DQ36	DQ18	DQ9	DQ4
2F		17	VREFB2FNO	IO		LVD52F_16n	Yes		AM24	DQSn37	DQSn18/CQn18	DQ9	DQ4
2F		16	VREFB2FNO	IO		LVD52F_16p	Yes		AL24	DQSn37	DQSn18/CQ18	DQ9	DQ4
2F		15	VREFB2FNO	IO		LVD52F_17n	No		AP25	DQ37	DQ18	DQ9	DQ4
2F		14	VREFB2FNO	IO		LVD52F_17p	No		AP24	DQ37	DQ18	DQ9	DQ4
2F		13	VREFB2FNO	IO		LVD52F_18n	Yes		AN25	DQ37	DQ18	DQ9	DQ4
2F		12	VREFB2FNO	IO		LVD52F_18p	Yes		AM25	DQ37	DQ18	DQ9	DQ4
2F		11	VREFB2FNO	IO		LVD52F_19n	No		AW23	DQ38	DQ19	DQ9	DQ4
2F		10	VREFB2FNO	IO		LVD52F_19p	No		AY23	DQ38	DQ19	DQ9	DQ4
2F		9	VREFB2FNO	IO		LVD52F_20n	Yes		AV22	DQSn38	DQ19	DQSn9/CQn9	DQ4
2F		8	VREFB2FNO	IO		LVD52F_20p	Yes		AU22	DQSn38	DQ19	DQSn9/CQ9	DQ4
2F		7	VREFB2FNO	IO		LVD52F_21n	No		AU23	DQ38	DQ19	DQ9	DQ4
2F		6	VREFB2FNO	IO		LVD52F_21p	No		AV23	DQ38	DQ19	DQ9	DQ4
2F		5	VREFB2FNO	IO		LVD52F_22n	Yes		BB22	DQSn39	DQSn19/CQn19	DQ9	DQ4
2F		4	VREFB2FNO	IO		LVD52F_22p	Yes		BB23	DQSn39	DQSn19/CQ19	DQ9	DQ4
2F		3	VREFB2FNO	IO		LVD52F_23n	No		AR22	DQ39	DQ19	DQ9	DQ4
2F		2	VREFB2FNO	IO		LVD52F_23p	No		AT22	DQ39	DQ19	DQ9	DQ4

Bank Number	Index within I/O Bank	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	GT support	NF43	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
2F	1	VREFB2FN0	IO			LVD52F_24n	Yes		AY22	DQ39	DQ19	DQ9	DQ4
2F	0	VREFB2FN0	IO			LVD52F_24p	Yes		BA22	DQ39	DQ19	DQ9	DQ4
2C	47	VREFB2CNO	IO			LVD52C_1n	No		AT31	DQ40	DQ20	DQ10	DQ5
2C	46	VREFB2CNO	IO			LVD52C_1p	No		AT30	DQ40	DQ20	DQ10	DQ5
2C	45	VREFB2CNO	IO			LVD52C_2n	Yes		AM30	DQSn40	DQ20	DQ10	DQ5
2C	44	VREFB2CNO	IO			LVD52C_2p	Yes		AL30	DQSn40	DQ20	DQ10	DQ5
2C	43	VREFB2CNO	IO			LVD52C_3n	No		AP30	DQ40	DQ20	DQ10	DQ5
2C	42	VREFB2CNO	IO			LVD52C_3p	No		AN30	DQ40	DQ20	DQ10	DQ5
2C	41	VREFB2CNO	IO			LVD52C_4n	Yes		AR30	DQSn41	DQSn20/CQn20	DQ10	DQ5
2C	40	VREFB2CNO	IO			LVD52C_4p	Yes		AP29	DQSn41	DQSn20/CQn20	DQ10	DQ5
2C	39	VREFB2CNO	IO			LVD52C_5n	No		AR28	DQ41	DQ20	DQ10	DQ5
2C	38	VREFB2CNO	IO			LVD52C_5p	No		AP28	DQ41	DQ20	DQ10	DQ5
2C	37	VREFB2CNO	IO			LVD52C_6n	Yes		AT29	DQ41	DQ20	DQ10	DQ5
2C	36	VREFB2CNO	IO			LVD52C_6p	Yes		AR29	DQ41	DQ20	DQ10	DQ5
2C	35	VREFB2CNO	IO			LVD52C_7n	No		AL27	DQ42	DQ21	DQ10	DQ5
2C	34	VREFB2CNO	IO			LVD52C_7p	No		AM27	DQ42	DQ21	DQ10	DQ5
2C	33	VREFB2CNO	IO			LVD52C_8n	Yes		AK30	DQSn42	DQ21	DQSn10/CQn10	DQ5
2C	32	VREFB2CNO	IO			LVD52C_8p	Yes		AK29	DQSn42	DQ21	DQSn10/CQn10	DQ5
2C	31	VREFB2CNO	IO			LVD52C_9n	No		AN27	DQ42	DQ21	DQ10	DQ5
2C	30	VREFB2CNO	IO			LVD52C_9p	No		AP26	DQ42	DQ21	DQ10	DQ5
2C	29	VREFB2CNO	IO	PLL_2C_CLKOUT1n		LVD52C_10n	Yes		AK27	DQSn43	DQSn21/CQn21	DQ10	DQ5
2C	28	VREFB2CNO	IO	PLL_2C_CLKOUT1p,PLL_2C_CLKOUT1,PLL_2C_FB1		LVD52C_10p	Yes		AK28	DQSn43	DQSn21/CQn21	DQ10	DQ5
2C	27	VREFB2CNO	IO			LVD52C_11n	No		AN28	DQ43	DQ21	DQ10	DQ5
2C	26	VREFB2CNO	IO			LVD52C_11p	No		AM28	DQ43	DQ21	DQ10	DQ5
2C	25	VREFB2CNO	IO	RZQ_2C		LVD52C_12n	Yes		AL29	DQ43	DQ21	DQ10	DQ5
2C	24	VREFB2CNO	IO	CLK_2C_1n		LVD52C_12p	Yes		AM29	DQ43	DQ21	DQ10	DQ5
2C	23	VREFB2CNO	IO	CLK_2C_1p		LVD52C_13n	No		AV26	DQ44	DQ22	DQ11	DQ5
2C	22	VREFB2CNO	IO	CLK_2C_0n		LVD52C_13p	No		AV27	DQ44	DQ22	DQ11	DQ5
2C	21	VREFB2CNO	IO	CLK_2C_0p		LVD52C_14n	Yes		BB27	DQSn44	DQ22	DQ11	DQSn5/CQn5
2C	20	VREFB2CNO	IO			LVD52C_14p	Yes		BA27	DQSn44	DQ22	DQ11	DQSn5/CQn5
2C	19	VREFB2CNO	IO	PLL_2C_CLKOUT0n		LVD52C_15n	No		AY27	DQ44	DQ22	DQ11	DQ5
2C	18	VREFB2CNO	IO	PLL_2C_CLKOUT0p,PLL_2C_CLKOUT0,PLL_2C_FB0		LVD52C_15p	No		BA26	DQ44	DQ22	DQ11	DQ5
2C	17	VREFB2CNO	IO			LVD52C_16n	Yes		BA25	DQSn45	DQSn22/CQn22	DQ11	DQ5
2C	16	VREFB2CNO	IO			LVD52C_16p	Yes		BB25	DQSn45	DQSn22/CQn22	DQ11	DQ5
2C	15	VREFB2CNO	IO			LVD52C_17n	No		AY26	DQ45	DQ22	DQ11	DQ5
2C	14	VREFB2CNO	IO			LVD52C_17p	No		AW26	DQ45	DQ22	DQ11	DQ5
2C	13	VREFB2CNO	IO			LVD52C_18n	Yes		BA24	DQ45	DQ22	DQ11	DQ5
2C	12	VREFB2CNO	IO			LVD52C_18p	Yes		BB24	DQ45	DQ22	DQ11	DQ5
2C	11	VREFB2CNO	IO			LVD52C_19n	No		AU24	DQ46	DQ23	DQ11	DQ5
2C	10	VREFB2CNO	IO			LVD52C_19p	No		AT24	DQ46	DQ23	DQ11	DQ5
2C	9	VREFB2CNO	IO			LVD52C_20n	Yes		AW25	DQSn46	DQ23	DQSn11/CQn11	DQ5
2C	8	VREFB2CNO	IO			LVD52C_20p	Yes		AV25	DQSn46	DQ23	DQSn11/CQn11	DQ5
2C	7	VREFB2CNO	IO			LVD52C_21n	No		AT26	DQ46	DQ23	DQ11	DQ5
2C	6	VREFB2CNO	IO			LVD52C_21p	No		AR27	DQ46	DQ23	DQ11	DQ5
2C	5	VREFB2CNO	IO			LVD52C_22n	Yes		AU27	DQSn47	DQSn23/CQn23	DQ11	DQ5
2C	4	VREFB2CNO	IO			LVD52C_22p	Yes		AT27	DQSn47	DQSn23/CQn23	DQ11	DQ5
2C	3	VREFB2CNO	IO			LVD52C_23n	No		AY24	DQ47	DQ23	DQ11	DQ5
2C	2	VREFB2CNO	IO			LVD52C_23p	No		AW24	DQ47	DQ23	DQ11	DQ5
2C	1	VREFB2CNO	IO			LVD52C_24n	Yes		AU25	DQ47	DQ23	DQ11	DQ5
2C	0	VREFB2CNO	IO			LVD52C_24p	Yes		AT25	DQ47	DQ23	DQ11	DQ5
3L	47	VREFB3LNO	IO			LVD53L_1n	No		A7	DQ64	DQ32	DQ16	DQ8
3L	46	VREFB3LNO	IO			LVD53L_1p	No		A6	DQ64	DQ32	DQ16	DQ8
3L	45	VREFB3LNO	IO			LVD53L_2n	Yes		E8	DQSn64	DQ32	DQ16	DQ8
3L	44	VREFB3LNO	IO			LVD53L_2p	Yes		E9	DQSn64	DQ32	DQ16	DQ8
3L	43	VREFB3LNO	IO			LVD53L_3n	No		A5	DQ64	DQ32	DQ16	DQ8
3L	42	VREFB3LNO	IO			LVD53L_3p	No		B5	DQ64	DQ32	DQ16	DQ8
3L	41	VREFB3LNO	IO			LVD53L_4n	Yes		B7	DQSn65	DQSn32/CQn32	DQ16	DQ8
3L	40	VREFB3LNO	IO			LVD53L_4p	Yes		C7	DQSn65	DQSn32/CQn32	DQ16	DQ8
3L	39	VREFB3LNO	IO			LVD53L_5n	No		D6	DQ65	DQ32	DQ16	DQ8
3L	38	VREFB3LNO	IO			LVD53L_5p	No		C6	DQ65	DQ32	DQ16	DQ8
3L	37	VREFB3LNO	IO			LVD53L_6n	Yes		E7	DQ65	DQ32	DQ16	DQ8
3L	36	VREFB3LNO	IO			LVD53L_6p	Yes		E6	DQ65	DQ32	DQ16	DQ8
3L	35	VREFB3LNO	IO			LVD53L_7n	No		F10	DQ66	DQ33	DQ16	DQ8
3L	34	VREFB3LNO	IO			LVD53L_7p	No		F9	DQ66	DQ33	DQ16	DQ8
3L	33	VREFB3LNO	IO			LVD53L_8n	Yes		H13	DQSn66	DQ33	DQSn16/CQn16	DQ8
3L	32	VREFB3LNO	IO			LVD53L_8p	Yes		J13	DQSn66	DQ33	DQSn16/CQn16	DQ8
3L	31	VREFB3LNO	IO			LVD53L_9n	No		J11	DQ66	DQ33	DQ16	DQ8
3L	30	VREFB3LNO	IO			LVD53L_9p	No		J10	DQ66	DQ33	DQ16	DQ8
3L	29	VREFB3LNO	IO	PLL_3L_CLKOUT1n		LVD53L_10n	Yes		G9	DQSn67	DQSn33/CQn33	DQ16	DQ8
3L	28	VREFB3LNO	IO	PLL_3L_CLKOUT1p,PLL_3L_CLKOUT1,PLL_3L_FB1		LVD53L_10p	Yes		G8	DQSn67	DQSn33/CQn33	DQ16	DQ8
3L	27	VREFB3LNO	IO			LVD53L_11n	No		H12	DQ67	DQ33	DQ16	DQ8
3L	26	VREFB3LNO	IO			LVD53L_11p	No		H11	DQ67	DQ33	DQ16	DQ8
3L	25	VREFB3LNO	IO	RZQ_3L		LVD53L_12n	Yes		G10	DQ67	DQ33	DQ16	DQ8
3L	24	VREFB3LNO	IO	CLK_3L_1n		LVD53L_12p	Yes		H10	DQ67	DQ33	DQ16	DQ8
3L	23	VREFB3LNO	IO	CLK_3L_1p		LVD53L_13n	No		B3	DQ68	DQ34	DQ17	DQ8
3L	22	VREFB3LNO	IO	CLK_3L_0n		LVD53L_13p	No		B2	DQ68	DQ34	DQ17	DQ8
3L	21	VREFB3LNO	IO	CLK_3L_0p		LVD53L_14n	Yes		B4	DQSn68	DQ34	DQ17	DQSn8/CQn8



Bank Number	Index within I/O Bank	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	GT support	NF43	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
3L		20	VREFB3LNO	IO		LVD53L_14p	Yes		A4	DQS68	DQ34	DQ17	DQS8/CQ8
3L		19	VREFB3LNO	IO	PLL_3L_CLKOUT0n	LVD53L_15n	No		C3	DQ68	DQ34	DQ17	DQ8
3L		18	VREFB3LNO	IO	PLL_3L_CLKOUT0p,PLL_3L_CLKOUT0,PLL_3L_FB0	LVD53L_15p	No		C2	DQ68	DQ34	DQ17	DQ8
3L		17	VREFB3LNO	IO		LVD53L_16n	Yes		D5	DQS69	DQS34/CQn34	DQ17	DQ8
3L		16	VREFB3LNO	IO		LVD53L_16p	Yes		C5	DQS69	DQS34/CQ34	DQ17	DQ8
3L		15	VREFB3LNO	IO		LVD53L_17n	No		D1	DQ69	DQ34	DQ17	DQ8
3L		14	VREFB3LNO	IO		LVD53L_17p	No		E1	DQ69	DQ34	DQ17	DQ8
3L		13	VREFB3LNO	IO		LVD53L_18n	Yes		D4	DQ69	DQ34	DQ17	DQ8
3L		12	VREFB3LNO	IO		LVD53L_18p	Yes		D3	DQ69	DQ34	DQ17	DQ8
3L		11	VREFB3LNO	IO		LVD53L_19n	No		F7	DQ70	DQ35	DQ17	DQ8
3L		10	VREFB3LNO	IO		LVD53L_19p	No		G7	DQ70	DQ35	DQ17	DQ8
3L		9	VREFB3LNO	IO		LVD53L_20n	Yes		E2	DQS70	DQ35	DQS17/CQn17	DQ8
3L		8	VREFB3LNO	IO		LVD53L_20p	Yes		E3	DQS70	DQ35	DQS17/CQ17	DQ8
3L		7	VREFB3LNO	IO		LVD53L_21n	No		H8	DQ70	DQ35	DQ17	DQ8
3L		6	VREFB3LNO	IO		LVD53L_21p	No		H7	DQ70	DQ35	DQ17	DQ8
3L		5	VREFB3LNO	IO		LVD53L_22n	Yes		E4	DQS71	DQS35/CQn35	DQ17	DQ8
3L		4	VREFB3LNO	IO		LVD53L_22p	Yes		F4	DQS71	DQS35/CQ35	DQ17	DQ8
3L		3	VREFB3LNO	IO		LVD53L_23n	No		J9	DQ71	DQ35	DQ17	DQ8
3L		2	VREFB3LNO	IO		LVD53L_23p	No		J8	DQ71	DQ35	DQ17	DQ8
3L		1	VREFB3LNO	IO		LVD53L_24n	Yes		F6	DQ71	DQ35	DQ17	DQ8
3L		0	VREFB3LNO	IO		LVD53L_24p	Yes		F5	DQ71	DQ35	DQ17	DQ8
3K		47	VREFB3KNO	IO		LVD53K_1n	No		K9	DQ72	DQ36	DQ18	DQ9
3K		46	VREFB3KNO	IO		LVD53K_1p	No		L9	DQ72	DQ36	DQ18	DQ9
3K		45	VREFB3KNO	IO		LVD53K_2n	Yes		K12	DQS72	DQ36	DQ18	DQ9
3K		44	VREFB3KNO	IO		LVD53K_2p	Yes		K11	DQS72	DQ36	DQ18	DQ9
3K		43	VREFB3KNO	IO		LVD53K_3n	No		L10	DQ72	DQ36	DQ18	DQ9
3K		42	VREFB3KNO	IO		LVD53K_3p	No		L11	DQ72	DQ36	DQ18	DQ9
3K		41	VREFB3KNO	IO		LVD53K_4n	Yes		L12	DQS73	DQS36/CQn36	DQ18	DQ9
3K		40	VREFB3KNO	IO		LVD53K_4p	Yes		M12	DQS73	DQS36/CQ36	DQ18	DQ9
3K		39	VREFB3KNO	IO		LVD53K_5n	No		M13	DQ73	DQ36	DQ18	DQ9
3K		38	VREFB3KNO	IO		LVD53K_5p	No		M14	DQ73	DQ36	DQ18	DQ9
3K		37	VREFB3KNO	IO		LVD53K_6n	Yes		K13	DQ73	DQ36	DQ18	DQ9
3K		36	VREFB3KNO	IO		LVD53K_6p	Yes		K14	DQ73	DQ36	DQ18	DQ9
3K		35	VREFB3KNO	IO		LVD53K_7n	No		G5	DQ74	DQ37	DQ18	DQ9
3K		34	VREFB3KNO	IO		LVD53K_7p	No		G4	DQ74	DQ37	DQ18	DQ9
3K		33	VREFB3KNO	IO		LVD53K_8n	Yes		H6	DQS74	DQ37	DQS18/CQn18	DQ9
3K		32	VREFB3KNO	IO		LVD53K_8p	Yes		H5	DQS74	DQ37	DQS18/CQ18	DQ9
3K		31	VREFB3KNO	IO		LVD53K_9n	No		G3	DQ74	DQ37	DQ18	DQ9
3K		30	VREFB3KNO	IO		LVD53K_9p	No		H3	DQ74	DQ37	DQ18	DQ9
3K		29	VREFB3KNO	IO	PLL_3K_CLKOUT1n	LVD53K_10n	Yes		J6	DQS75	DQS37/CQn37	DQ18	DQ9
3K		28	VREFB3KNO	IO	PLL_3K_CLKOUT1p,PLL_3K_CLKOUT1,PLL_3K_FB1	LVD53K_10p	Yes		K6	DQS75	DQS37/CQ37	DQ18	DQ9
3K		27	VREFB3KNO	IO		LVD53K_11n	No		J4	DQ75	DQ37	DQ18	DQ9
3K		26	VREFB3KNO	IO	RZQ_3K	LVD53K_11p	No		J5	DQ75	DQ37	DQ18	DQ9
3K		25	VREFB3KNO	IO	CLK_3K_1n	LVD53K_12n	Yes		K7	DQ75	DQ37	DQ18	DQ9
3K		24	VREFB3KNO	IO	CLK_3K_1p	LVD53K_12p	Yes		K8	DQ75	DQ37	DQ18	DQ9
3K		23	VREFB3KNO	IO	CLK_3K_0n	LVD53K_13n	No		J3	DQ76	DQ38	DQ19	DQ9
3K		22	VREFB3KNO	IO	CLK_3K_0p	LVD53K_13p	No		K3	DQ76	DQ38	DQ19	DQ9
3K		21	VREFB3KNO	IO		LVD53K_14n	Yes		H2	DQS76	DQ38	DQ19	DQS9/CQn9
3K		20	VREFB3KNO	IO		LVD53K_14p	Yes		G2	DQS76	DQ38	DQ19	DQS9/CQ9
3K		19	VREFB3KNO	IO	PLL_3K_CLKOUT0n	LVD53K_15n	No		K1	DQ76	DQ38	DQ19	DQ9
3K		18	VREFB3KNO	IO	PLL_3K_CLKOUT0p,PLL_3K_CLKOUT0,PLL_3K_FB0	LVD53K_15p	No		L1	DQ76	DQ38	DQ19	DQ9
3K		17	VREFB3KNO	IO		LVD53K_16n	Yes		F1	DQS77	DQS38/CQn38	DQ19	DQ9
3K		16	VREFB3KNO	IO		LVD53K_16p	Yes		F2	DQS77	DQS38/CQ38	DQ19	DQ9
3K		15	VREFB3KNO	IO		LVD53K_17n	No		K2	DQ77	DQ38	DQ19	DQ9
3K		14	VREFB3KNO	IO		LVD53K_17p	No		L2	DQ77	DQ38	DQ19	DQ9
3K		13	VREFB3KNO	IO		LVD53K_18n	Yes		J1	DQ77	DQ38	DQ19	DQ9
3K		12	VREFB3KNO	IO		LVD53K_18p	Yes		H1	DQ77	DQ38	DQ19	DQ9
3K		11	VREFB3KNO	IO		LVD53K_19n	No		K4	DQ78	DQ39	DQ19	DQ9
3K		10	VREFB3KNO	IO		LVD53K_19p	No		L4	DQ78	DQ39	DQ19	DQ9
3K		9	VREFB3KNO	IO		LVD53K_20n	Yes		L7	DQS78	DQ39	DQS19/CQn19	DQ9
3K		8	VREFB3KNO	IO		LVD53K_20p	Yes		L6	DQS78	DQ39	DQS19/CQ19	DQ9
3K		7	VREFB3KNO	IO		LVD53K_21n	No		M3	DQ78	DQ39	DQ19	DQ9
3K		6	VREFB3KNO	IO		LVD53K_21p	No		M4	DQ78	DQ39	DQ19	DQ9
3K		5	VREFB3KNO	IO		LVD53K_22n	Yes		M7	DQS79	DQS39/CQn39	DQ19	DQ9
3K		4	VREFB3KNO	IO		LVD53K_22p	Yes		M8	DQS79	DQS39/CQ39	DQ19	DQ9
3K		3	VREFB3KNO	IO		LVD53K_23n	No		L5	DQ79	DQ39	DQ19	DQ9
3K		2	VREFB3KNO	IO		LVD53K_23p	No		M5	DQ79	DQ39	DQ19	DQ9
3K		1	VREFB3KNO	IO		LVD53K_24n	Yes		M9	DQ79	DQ39	DQ19	DQ9
3K		0	VREFB3KNO	IO		LVD53K_24p	Yes		M10	DQ79	DQ39	DQ19	DQ9
3J		47	VREFB3JNO	IO		LVD53J_1n	No		R1	DQ80	DQ40	DQ20	DQ10
3J		46	VREFB3JNO	IO		LVD53J_1p	No		T1	DQ80	DQ40	DQ20	DQ10
3J		45	VREFB3JNO	IO		LVD53J_2n	Yes		M2	DQS80	DQ40	DQ20	DQ10
3J		44	VREFB3JNO	IO		LVD53J_2p	Yes		N2	DQS80	DQ40	DQ20	DQ10
3J		43	VREFB3JNO	IO		LVD53J_3n	No		R2	DQ80	DQ40	DQ20	DQ10
3J		42	VREFB3JNO	IO		LVD53J_3p	No		T2	DQ80	DQ40	DQ20	DQ10
3J		41	VREFB3JNO	IO		LVD53J_4n	Yes		N1	DQS81	DQS40/CQn40	DQ20	DQ10
3J		40	VREFB3JNO	IO		LVD53J_4p	Yes		P1	DQS81	DQS40/CQ40	DQ20	DQ10

Bank Number	Index within I/O Bank	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	GT support	NF43	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
3J		39	VREFB3JNO	IO		LVD53j_5n	No		R4	DQ81	DQ40	DQ20	DQ10
3J		38	VREFB3JNO	IO		LVD53j_5p	No		R3	DQ81	DQ40	DQ20	DQ10
3J		37	VREFB3JNO	IO		LVD53j_6n	Yes		P3	DQ81	DQ40	DQ20	DQ10
3J		36	VREFB3JNO	IO		LVD53j_6p	Yes		N3	DQ81	DQ40	DQ20	DQ10
3J		35	VREFB3JNO	IO		LVD53j_7n	No		N8	DQ82	DQ41	DQ20	DQ10
3J		34	VREFB3JNO	IO		LVD53j_7p	No		N7	DQ82	DQ41	DQ20	DQ10
3J		33	VREFB3JNO	IO		LVD53j_8n	Yes		P6	DQSn82	DQ41	DQSn20/CQn20	DQ10
3J		32	VREFB3JNO	IO		LVD53j_8p	Yes		R6	DQSn82	DQ41	DQSn20/CQn20	DQ10
3J		31	VREFB3JNO	IO		LVD53j_9n	No		N6	DQ82	DQ41	DQ20	DQ10
3J		30	VREFB3JNO	IO		LVD53j_9p	No		N5	DQ82	DQ41	DQ20	DQ10
3J		29	VREFB3JNO	IO	PLL_3j_CLKOUT1n	LVD53j_10n	Yes		P8	DQSn83	DQSn41/CQn41	DQ20	DQ10
3J		28	VREFB3JNO	IO	PLL_3j_CLKOUT1p,PLL_3j_CLKOUT1,PLL_3j_FB1	LVD53j_10p	Yes		P9	DQSn83	DQSn41/CQn41	DQ20	DQ10
3J		27	VREFB3JNO	IO		LVD53j_11n	No		P4	DQ83	DQ41	DQ20	DQ10
3J		26	VREFB3JNO	IO	RZQ_3j	LVD53j_11p	No		P5	DQ83	DQ41	DQ20	DQ10
3J		25	VREFB3JNO	IO	CLK_3j_1n	LVD53j_12n	Yes		N10	DQ83	DQ41	DQ20	DQ10
3J		24	VREFB3JNO	IO	CLK_3j_1p	LVD53j_12p	Yes		P10	DQ83	DQ41	DQ20	DQ10
3J		23	VREFB3JNO	IO	CLK_3j_0n	LVD53j_13n	No		U2	DQ84	DQ42	DQ21	DQ10
3J		22	VREFB3JNO	IO	CLK_3j_0p	LVD53j_13p	No		U3	DQ84	DQ42	DQ21	DQ10
3J		21	VREFB3JNO	IO		LVD53j_14n	Yes		R8	DQSn84	DQ42	DQ21	DQSn10/CQn10
3J		20	VREFB3JNO	IO		LVD53j_14p	Yes		R7	DQSn84	DQ42	DQ21	DQSn10/CQn10
3J		19	VREFB3JNO	IO	PLL_3j_CLKOUT0n	LVD53j_15n	No		T4	DQ84	DQ42	DQ21	DQ10
3J		18	VREFB3JNO	IO	PLL_3j_CLKOUT0p,PLL_3j_CLKOUT0,PLL_3j_FB0	LVD53j_15p	No		U4	DQ84	DQ42	DQ21	DQ10
3J		17	VREFB3JNO	IO		LVD53j_16n	Yes		T7	DQSn85	DQSn42/CQn42	DQ21	DQ10
3J		16	VREFB3JNO	IO		LVD53j_16p	Yes		T6	DQSn85	DQSn42/CQn42	DQ21	DQ10
3J		15	VREFB3JNO	IO		LVD53j_17n	No		T5	DQ85	DQ42	DQ21	DQ10
3J		14	VREFB3JNO	IO		LVD53j_17p	No		U5	DQ85	DQ42	DQ21	DQ10
3J		13	VREFB3JNO	IO		LVD53j_18n	Yes		T9	DQ85	DQ42	DQ21	DQ10
3J		12	VREFB3JNO	IO		LVD53j_18p	Yes		R9	DQ85	DQ42	DQ21	DQ10
3J		11	VREFB3JNO	IO		LVD53j_19n	No		N11	DQ86	DQ43	DQ21	DQ10
3J		10	VREFB3JNO	IO		LVD53j_19p	No		N12	DQ86	DQ43	DQ21	DQ10
3J		9	VREFB3JNO	IO		LVD53j_20n	Yes		P11	DQSn86	DQ43	DQSn21/CQn21	DQ10
3J		8	VREFB3JNO	IO		LVD53j_20p	Yes		R11	DQSn86	DQ43	DQSn21/CQn21	DQ10
3J		7	VREFB3JNO	IO		LVD53j_21n	No		R12	DQ86	DQ43	DQ21	DQ10
3J		6	VREFB3JNO	IO		LVD53j_21p	No		T12	DQ86	DQ43	DQ21	DQ10
3J		5	VREFB3JNO	IO		LVD53j_22n	Yes		N13	DQSn87	DQSn43/CQn43	DQ21	DQ10
3J		4	VREFB3JNO	IO		LVD53j_22p	Yes		P13	DQSn87	DQSn43/CQn43	DQ21	DQ10
3J		3	VREFB3JNO	IO		LVD53j_23n	No		R14	DQ87	DQ43	DQ21	DQ10
3J		2	VREFB3JNO	IO		LVD53j_23p	No		R13	DQ87	DQ43	DQ21	DQ10
3J		1	VREFB3JNO	IO		LVD53j_24n	Yes		T11	DQ87	DQ43	DQ21	DQ10
3J		0	VREFB3JNO	IO		LVD53j_24p	Yes		T10	DQ87	DQ43	DQ21	DQ10
3I		47	VREFB3JNO	IO		LVD53j_1n	No		V6	DQ88	DQ44	DQ22	DQ11
3I		46	VREFB3JNO	IO		LVD53j_1p	No		V7	DQ88	DQ44	DQ22	DQ11
3I		45	VREFB3JNO	IO		LVD53j_2n	Yes		U7	DQSn88	DQ44	DQ22	DQ11
3I		44	VREFB3JNO	IO		LVD53j_2p	Yes		U8	DQSn88	DQ44	DQ22	DQ11
3I		43	VREFB3JNO	IO		LVD53j_3n	No		V8	DQ88	DQ44	DQ22	DQ11
3I		42	VREFB3JNO	IO		LVD53j_3p	No		V8	DQ88	DQ44	DQ22	DQ11
3I		41	VREFB3JNO	IO		LVD53j_4n	Yes		U9	DQSn89	DQSn44/CQn44	DQ22	DQ11
3I		40	VREFB3JNO	IO		LVD53j_4p	Yes		U10	DQSn89	DQSn44/CQn44	DQ22	DQ11
3I		39	VREFB3JNO	IO		LVD53j_5n	No		V11	DQ89	DQ44	DQ22	DQ11
3I		38	VREFB3JNO	IO		LVD53j_5p	No		V10	DQ89	DQ44	DQ22	DQ11
3I		37	VREFB3JNO	IO		LVD53j_6n	Yes		U12	DQ89	DQ44	DQ22	DQ11
3I		36	VREFB3JNO	IO		LVD53j_6p	Yes		V12	DQ89	DQ44	DQ22	DQ11
3I		35	VREFB3JNO	IO		LVD53j_7n	No		V1	DQ90	DQ45	DQ22	DQ11
3I		34	VREFB3JNO	IO		LVD53j_7p	No		W1	DQ90	DQ45	DQ22	DQ11
3I		33	VREFB3JNO	IO		LVD53j_8n	Yes		V2	DQSn90	DQ45	DQSn22/CQn22	DQ11
3I		32	VREFB3JNO	IO		LVD53j_8p	Yes		V3	DQSn90	DQ45	DQSn22/CQn22	DQ11
3I		31	VREFB3JNO	IO		LVD53j_9n	No		Y1	DQ90	DQ45	DQ22	DQ11
3I		30	VREFB3JNO	IO		LVD53j_9p	No		AA1	DQ90	DQ45	DQ22	DQ11
3I		29	VREFB3JNO	IO	PLL_3j_CLKOUT1n	LVD53j_10n	Yes		W3	DQSn91	DQSn45/CQn45	DQ22	DQ11
3I		28	VREFB3JNO	IO	PLL_3j_CLKOUT1p,PLL_3j_CLKOUT1,PLL_3j_FB1	LVD53j_10p	Yes		W4	DQSn91	DQSn45/CQn45	DQ22	DQ11
3I		27	VREFB3JNO	IO		LVD53j_11n	No		Y2	DQ91	DQ45	DQ22	DQ11
3I		26	VREFB3JNO	IO	RZQ_3j	LVD53j_11p	No		Y3	DQ91	DQ45	DQ22	DQ11
3I		25	VREFB3JNO	IO	CLK_3j_1n	LVD53j_12n	Yes		V5	DQ91	DQ45	DQ22	DQ11
3I		24	VREFB3JNO	IO	CLK_3j_1p	LVD53j_12p	Yes		W5	DQ91	DQ45	DQ22	DQ11
3I		23	VREFB3JNO	IO	CLK_3j_0n	LVD53j_13n	No		Y4	DQ92	DQ46	DQ23	DQ11
3I		22	VREFB3JNO	IO	CLK_3j_0p	LVD53j_13p	No		AA4	DQ92	DQ46	DQ23	DQ11
3I		21	VREFB3JNO	IO		LVD53j_14n	Yes		Y6	DQSn92	DQ46	DQ23	DQSn11/CQn11
3I		20	VREFB3JNO	IO		LVD53j_14p	Yes		W6	DQSn92	DQ46	DQ23	DQSn11/CQn11
3I		19	VREFB3JNO	IO	PLL_3j_CLKOUT0n	LVD53j_15n	No		AA2	DQ92	DQ46	DQ23	DQ11
3I		18	VREFB3JNO	IO	PLL_3j_CLKOUT0p,PLL_3j_CLKOUT0,PLL_3j_FB0	LVD53j_15p	No		AB2	DQ92	DQ46	DQ23	DQ11
3I		17	VREFB3JNO	IO		LVD53j_16n	Yes		AA6	DQSn93	DQSn46/CQn46	DQ23	DQ11
3I		16	VREFB3JNO	IO		LVD53j_16p	Yes		AA5	DQSn93	DQSn46/CQn46	DQ23	DQ11
3I		15	VREFB3JNO	IO		LVD53j_17n	No		AB3	DQ93	DQ46	DQ23	DQ11
3I		14	VREFB3JNO	IO		LVD53j_17p	No		AB4	DQ93	DQ46	DQ23	DQ11
3I		13	VREFB3JNO	IO		LVD53j_18n	Yes		AA7	DQ93	DQ46	DQ23	DQ11
3I		12	VREFB3JNO	IO		LVD53j_18p	Yes		Y7	DQ93	DQ46	DQ23	DQ11
3I		11	VREFB3JNO	IO		LVD53j_19n	No		Y12	DQ94	DQ47	DQ23	DQ11

Bank Number	Index within I/O Bank	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	GT support	NF43	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
3I		10	VREFB3I0	IO		LVD53_19p	No		Y13	DQ94	DQ47	DQ23	DQ11
3I		9	VREFB3I0	IO		LVD53_20n	No		W10	DQSn94	DQ47	DQSn23/CQn23	DQ11
3I		8	VREFB3I0	IO		LVD53_20p	Yes		W9	DQSn94	DQ47	DQSn23/CQn23	DQ11
3I		7	VREFB3I0	IO		LVD53_21n	No		AA9	DQ94	DQ47	DQ23	DQ11
3I		6	VREFB3I0	IO		LVD53_21p	No		AA10	DQ94	DQ47	DQ23	DQ11
3I		5	VREFB3I0	IO		LVD53_22n	Yes		W11	DQSn95	DQSn47/CQn47	DQ23	DQ11
3I		4	VREFB3I0	IO		LVD53_22p	Yes		Y11	DQSn95	DQSn47/CQn47	DQ23	DQ11
3I		3	VREFB3I0	IO		LVD53_23n	No		AA11	DQ95	DQ47	DQ23	DQ11
3I		2	VREFB3I0	IO		LVD53_23p	No		AA12	DQ95	DQ47	DQ23	DQ11
3I		1	VREFB3I0	IO		LVD53_24n	Yes		Y9	DQ95	DQ47	DQ23	DQ11
3I		0	VREFB3I0	IO		LVD53_24p	Yes		Y8	DQ95	DQ47	DQ23	DQ11
3D		47	VREFB3D0	IO		LVD53D_1n	No		AB10	DQ96	DQ48	DQ24	DQ12
3D		46	VREFB3D0	IO		LVD53D_1p	No		AB9	DQ96	DQ48	DQ24	DQ12
3D		45	VREFB3D0	IO		LVD53D_2n	Yes		AB12	DQSn96	DQ48	DQ24	DQ12
3D		44	VREFB3D0	IO		LVD53D_2p	Yes		AB13	DQSn96	DQ48	DQ24	DQ12
3D		43	VREFB3D0	IO		LVD53D_3n	No		AB8	DQ96	DQ48	DQ24	DQ12
3D		42	VREFB3D0	IO		LVD53D_3p	No		AB7	DQ96	DQ48	DQ24	DQ12
3D		41	VREFB3D0	IO		LVD53D_4n	Yes		AC13	DQSn97	DQSn48/CQn48	DQ24	DQ12
3D		40	VREFB3D0	IO		LVD53D_4p	Yes		AC12	DQSn97	DQSn48/CQn48	DQ24	DQ12
3D		39	VREFB3D0	IO		LVD53D_5n	No		AC11	DQ97	DQ48	DQ24	DQ12
3D		38	VREFB3D0	IO		LVD53D_5p	No		AC10	DQ97	DQ48	DQ24	DQ12
3D		37	VREFB3D0	IO		LVD53D_6n	Yes		AD10	DQ97	DQ48	DQ24	DQ12
3D		36	VREFB3D0	IO		LVD53D_6p	Yes		AD11	DQ97	DQ48	DQ24	DQ12
3D		35	VREFB3D0	IO		LVD53D_7n	No		AC2	DQ98	DQ49	DQ24	DQ12
3D		34	VREFB3D0	IO		LVD53D_7p	No		AC3	DQ98	DQ49	DQ24	DQ12
3D		33	VREFB3D0	IO		LVD53D_8n	Yes		AB5	DQSn98	DQ49	DQSn24/CQn24	DQ12
3D		32	VREFB3D0	IO		LVD53D_8p	Yes		AC6	DQSn98	DQ49	DQSn24/CQn24	DQ12
3D		31	VREFB3D0	IO		LVD53D_9n	No		AC5	DQ98	DQ49	DQ24	DQ12
3D		30	VREFB3D0	IO		LVD53D_9p	No		AD5	DQ98	DQ49	DQ24	DQ12
3D		29	VREFB3D0	IO	PLL_3D_CLKOUT1n	LVD53D_10n	Yes		AC8	DQSn99	DQSn49/CQn49	DQ24	DQ12
3D		28	VREFB3D0	IO	PLL_3D_CLKOUT1p,PLL_3D_CLKOUT1,PLL_3D_F81	LVD53D_10p	Yes		AC7	DQSn99	DQSn49/CQn49	DQ24	DQ12
3D		27	VREFB3D0	IO		LVD53D_11n	No		AD4	DQ99	DQ49	DQ24	DQ12
3D		26	VREFB3D0	IO	RZQ_3D	LVD53D_11p	No		AD3	DQ99	DQ49	DQ24	DQ12
3D		25	VREFB3D0	IO	CLK_3D_1n	LVD53D_12n	Yes		AD9	DQ99	DQ49	DQ24	DQ12
3D		24	VREFB3D0	IO	CLK_3D_1p	LVD53D_12p	Yes		AD8	DQ99	DQ49	DQ24	DQ12
3D		23	VREFB3D0	IO	CLK_3D_0n	LVD53D_13n	No		AD6	DQ100	DQ50	DQ25	DQ12
3D		22	VREFB3D0	IO	CLK_3D_0p	LVD53D_13p	No		AE6	DQ100	DQ50	DQ25	DQ12
3D		21	VREFB3D0	IO		LVD53D_14n	Yes		AE4	DQSn100	DQ50	DQ25	DQSn12/CQn12
3D		20	VREFB3D0	IO		LVD53D_14p	Yes		AE3	DQSn100	DQ50	DQ25	DQSn12/CQn12
3D		19	VREFB3D0	IO	PLL_3D_CLKOUT0n	LVD53D_15n	No		AC1	DQ100	DQ50	DQ25	DQ12
3D		18	VREFB3D0	IO	PLL_3D_CLKOUT0p,PLL_3D_CLKOUT0,PLL_3D_F80	LVD53D_15p	No		AD1	DQ100	DQ50	DQ25	DQ12
3D		17	VREFB3D0	IO		LVD53D_16n	Yes		AF7	DQSn101	DQSn50/CQn50	DQ25	DQ12
3D		16	VREFB3D0	IO		LVD53D_16p	Yes		AE7	DQSn101	DQSn50/CQn50	DQ25	DQ12
3D		15	VREFB3D0	IO		LVD53D_17n	No		AE1	DQ101	DQ50	DQ25	DQ12
3D		14	VREFB3D0	IO		LVD53D_17p	No		AE2	DQ101	DQ50	DQ25	DQ12
3D		13	VREFB3D0	IO		LVD53D_18n	Yes		AF6	DQ101	DQ50	DQ25	DQ12
3D		12	VREFB3D0	IO		LVD53D_18p	Yes		AF5	DQ101	DQ50	DQ25	DQ12
3D		11	VREFB3D0	IO		LVD53D_19n	No		AE9	DQ102	DQ51	DQ25	DQ12
3D		10	VREFB3D0	IO		LVD53D_19p	No		AE8	DQ102	DQ51	DQ25	DQ12
3D		9	VREFB3D0	IO		LVD53D_20n	Yes		AF11	DQSn102	DQ51	DQSn25/CQn25	DQ12
3D		8	VREFB3D0	IO		LVD53D_20p	Yes		AF12	DQSn102	DQ51	DQSn25/CQn25	DQ12
3D		7	VREFB3D0	IO		LVD53D_21n	No		AF10	DQ102	DQ51	DQ25	DQ12
3D		6	VREFB3D0	IO		LVD53D_21p	No		AG10	DQ102	DQ51	DQ25	DQ12
3D		5	VREFB3D0	IO		LVD53D_22n	Yes		AE11	DQSn103	DQSn51/CQn51	DQ25	DQ12
3D		4	VREFB3D0	IO		LVD53D_22p	Yes		AE12	DQSn103	DQSn51/CQn51	DQ25	DQ12
3D		3	VREFB3D0	IO		LVD53D_23n	No		AF9	DQ103	DQ51	DQ25	DQ12
3D		2	VREFB3D0	IO		LVD53D_23p	No		AG9	DQ103	DQ51	DQ25	DQ12
3D		1	VREFB3D0	IO		LVD53D_24n	Yes		AG12	DQ103	DQ51	DQ25	DQ12
3D		0	VREFB3D0	IO		LVD53D_24p	Yes		AG13	DQ103	DQ51	DQ25	DQ12
3C		47	VREFB3C0	IO		LVD53C_1n	No		AG8	DQ104	DQ52	DQ26	DQ13
3C		46	VREFB3C0	IO		LVD53C_1p	No		AG7	DQ104	DQ52	DQ26	DQ13
3C		45	VREFB3C0	IO		LVD53C_2n	Yes		AH12	DQSn104	DQ52	DQ26	DQ13
3C		44	VREFB3C0	IO		LVD53C_2p	Yes		AH11	DQSn104	DQ52	DQ26	DQ13
3C		43	VREFB3C0	IO		LVD53C_3n	No		AJ8	DQ104	DQ52	DQ26	DQ13
3C		42	VREFB3C0	IO		LVD53C_3p	No		AH8	DQ104	DQ52	DQ26	DQ13
3C		41	VREFB3C0	IO		LVD53C_4n	Yes		AJ11	DQSn105	DQSn52/CQn52	DQ26	DQ13
3C		40	VREFB3C0	IO		LVD53C_4p	Yes		AH10	DQSn105	DQSn52/CQn52	DQ26	DQ13
3C		39	VREFB3C0	IO		LVD53C_5n	No		AJ9	DQ105	DQ52	DQ26	DQ13
3C		38	VREFB3C0	IO		LVD53C_5p	No		AJ10	DQ105	DQ52	DQ26	DQ13
3C		37	VREFB3C0	IO		LVD53C_6n	Yes		AH13	DQ105	DQ52	DQ26	DQ13
3C		36	VREFB3C0	IO		LVD53C_6p	Yes		AJ13	DQ105	DQ52	DQ26	DQ13
3C		35	VREFB3C0	IO		LVD53C_7n	No		AF2	DQ106	DQ53	DQ26	DQ13
3C		34	VREFB3C0	IO		LVD53C_7p	No		AF1	DQ106	DQ53	DQ26	DQ13
3C		33	VREFB3C0	IO		LVD53C_8n	Yes		AF4	DQSn106	DQ53	DQSn26/CQn26	DQ13
3C		32	VREFB3C0	IO		LVD53C_8p	Yes		AG4	DQSn106	DQ53	DQSn26/CQn26	DQ13
3C		31	VREFB3C0	IO		LVD53C_9n	No		AG2	DQ106	DQ53	DQ26	DQ13
3C		30	VREFB3C0	IO		LVD53C_9p	No		AH2	DQ106	DQ53	DQ26	DQ13

Bank Number	Index within I/O Bank	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	GT support	NF43	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
3C	29	VREFB3C0	IO	PLL_3C_CLKOUT1n		LVD53C_10n	Yes		AG5	DQSn107	DQSn53/CQn53	DQ26	DQ13
3C	28	VREFB3C0	IO	PLL_3C_CLKOUT1p,PLL_3C_CLKOUT1,PLL_3C_FB1		LVD53C_10p	Yes		AH5	DQS107	DQ553/CQ53	DQ26	DQ13
3C	27	VREFB3C0	IO			LVD53C_11n	No		AG3	DQ107	DQ53	DQ26	DQ13
3C	26	VREFB3C0	IO	RZQ_3C		LVD53C_11p	No		AH3	DQ107	DQ53	DQ26	DQ13
3C	25	VREFB3C0	IO	CLK_3C_1n		LVD53C_12n	Yes		AH7	DQ107	DQ53	DQ26	DQ13
3C	24	VREFB3C0	IO	CLK_3C_1p		LVD53C_12p	Yes		AH6	DQ107	DQ53	DQ26	DQ13
3C	23	VREFB3C0	IO	CLK_3C_0n		LVD53C_13n	No		AJ4	DQ108	DQ54	DQ27	DQ13
3C	22	VREFB3C0	IO	CLK_3C_0p		LVD53C_13p	No		AJ3	DQ108	DQ54	DQ27	DQ13
3C	21	VREFB3C0	IO			LVD53C_14n	Yes		AJ5	DQSn108	DQ54	DQ27	DQSn13/CQn13
3C	20	VREFB3C0	IO			LVD53C_14p	Yes		AJ6	DQSn108	DQ54	DQ27	DQSn13/CQn13
3C	19	VREFB3C0	IO	PLL_3C_CLKOUT0n		LVD53C_15n	No		AH1	DQ108	DQ54	DQ27	DQ13
3C	18	VREFB3C0	IO	PLL_3C_CLKOUT0p,PLL_3C_CLKOUT0,PLL_3C_FB0		LVD53C_15p	No		AJ1	DQ108	DQ54	DQ27	DQ13
3C	17	VREFB3C0	IO			LVD53C_16n	Yes		AK7	DQSn109	DQSn54/CQn54	DQ27	DQ13
3C	16	VREFB3C0	IO			LVD53C_16p	Yes		AK6	DQSn109	DQSn54/CQ54	DQ27	DQ13
3C	15	VREFB3C0	IO			LVD53C_17n	No		AK1	DQ109	DQ54	DQ27	DQ13
3C	14	VREFB3C0	IO			LVD53C_17p	No		AK2	DQ109	DQ54	DQ27	DQ13
3C	13	VREFB3C0	IO			LVD53C_18n	Yes		AK4	DQ109	DQ54	DQ27	DQ13
3C	12	VREFB3C0	IO			LVD53C_18p	Yes		AK3	DQ109	DQ54	DQ27	DQ13
3C	11	VREFB3C0	IO			LVD53C_19n	No		AK9	DQ110	DQ55	DQ27	DQ13
3C	10	VREFB3C0	IO			LVD53C_19p	No		AL9	DQ110	DQ55	DQ27	DQ13
3C	9	VREFB3C0	IO			LVD53C_20n	Yes		AK13	DQSn110	DQ55	DQSn27/CQn27	DQ13
3C	8	VREFB3C0	IO			LVD53C_20p	Yes		AK12	DQSn110	DQ55	DQSn27/CQ27	DQ13
3C	7	VREFB3C0	IO			LVD53C_21n	No		AK8	DQ110	DQ55	DQ27	DQ13
3C	6	VREFB3C0	IO			LVD53C_21p	No		AL7	DQ110	DQ55	DQ27	DQ13
3C	5	VREFB3C0	IO			LVD53C_22n	Yes		AL10	DQSn111	DQSn55/CQn55	DQ27	DQ13
3C	4	VREFB3C0	IO			LVD53C_22p	Yes		AL11	DQSn111	DQSn55/CQ55	DQ27	DQ13
3C	3	VREFB3C0	IO			LVD53C_23n	No		AK11	DQ111	DQ55	DQ27	DQ13
3C	2	VREFB3C0	IO			LVD53C_23p	No		AK12	DQ111	DQ55	DQ27	DQ13
3C	1	VREFB3C0	IO			LVD53C_24n	Yes		AK14	DQ111	DQ55	DQ27	DQ13
3C	0	VREFB3C0	IO			LVD53C_24p	Yes		AL14	DQ111	DQ55	DQ27	DQ13
3B	47	VREFB3B0	IO			LVD53B_1n	No		AN7	DQ112	DQ56	DQ28	DQ14
3B	46	VREFB3B0	IO			LVD53B_1p	No		AN6	DQ112	DQ56	DQ28	DQ14
3B	45	VREFB3B0	IO			LVD53B_2n	Yes		AM13	DQSn112	DQ56	DQ28	DQ14
3B	44	VREFB3B0	IO			LVD53B_2p	Yes		AM12	DQSn112	DQ56	DQ28	DQ14
3B	43	VREFB3B0	IO			LVD53B_3n	No		AM7	DQ112	DQ56	DQ28	DQ14
3B	42	VREFB3B0	IO			LVD53B_3p	No		AM8	DQ112	DQ56	DQ28	DQ14
3B	41	VREFB3B0	IO			LVD53B_4n	Yes		AN11	DQSn113	DQSn56/CQn56	DQ28	DQ14
3B	40	VREFB3B0	IO			LVD53B_4p	Yes		AN10	DQSn113	DQSn56/CQ56	DQ28	DQ14
3B	39	VREFB3B0	IO			LVD53B_5n	No		AM10	DQ113	DQ56	DQ28	DQ14
3B	38	VREFB3B0	IO			LVD53B_5p	No		AM9	DQ113	DQ56	DQ28	DQ14
3B	37	VREFB3B0	IO			LVD53B_6n	Yes		AN13	DQ113	DQ56	DQ28	DQ14
3B	36	VREFB3B0	IO			LVD53B_6p	Yes		AN12	DQ113	DQ56	DQ28	DQ14
3B	35	VREFB3B0	IO			LVD53B_7n	No		AL2	DQ114	DQ57	DQ28	DQ14
3B	34	VREFB3B0	IO			LVD53B_7p	No		AL1	DQ114	DQ57	DQ28	DQ14
3B	33	VREFB3B0	IO			LVD53B_8n	Yes		AL4	DQSn114	DQ57	DQSn28/CQn28	DQ14
3B	32	VREFB3B0	IO			LVD53B_8p	Yes		AM4	DQSn114	DQ57	DQSn28/CQ28	DQ14
3B	31	VREFB3B0	IO			LVD53B_9n	No		AM3	DQ114	DQ57	DQ28	DQ14
3B	30	VREFB3B0	IO			LVD53B_9p	No		AM2	DQ114	DQ57	DQ28	DQ14
3B	29	VREFB3B0	IO	PLL_3B_CLKOUT1n		LVD53B_10n	Yes		AM5	DQSn115	DQSn57/CQn57	DQ28	DQ14
3B	28	VREFB3B0	IO	PLL_3B_CLKOUT1p,PLL_3B_CLKOUT1,PLL_3B_FB1		LVD53B_10p	Yes		AN5	DQSn115	DQSn57/CQ57	DQ28	DQ14
3B	27	VREFB3B0	IO			LVD53B_11n	No		AN2	DQ115	DQ57	DQ28	DQ14
3B	26	VREFB3B0	IO	RZQ_3B		LVD53B_11p	No		AN3	DQ115	DQ57	DQ28	DQ14
3B	25	VREFB3B0	IO	CLK_3B_1n		LVD53B_12n	Yes		AL6	DQ115	DQ57	DQ28	DQ14
3B	24	VREFB3B0	IO	CLK_3B_1p		LVD53B_12p	Yes		AL5	DQ115	DQ57	DQ28	DQ14
3B	23	VREFB3B0	IO	CLK_3B_0n		LVD53B_13n	No		AT1	DQ116	DQ58	DQ29	DQ14
3B	22	VREFB3B0	IO	CLK_3B_0p		LVD53B_13p	No		AT2	DQ116	DQ58	DQ29	DQ14
3B	21	VREFB3B0	IO			LVD53B_14n	Yes		AP3	DQSn116	DQ58	DQ29	DQSn14/CQn14
3B	20	VREFB3B0	IO			LVD53B_14p	Yes		AP4	DQSn116	DQ58	DQ29	DQSn14/CQ14
3B	19	VREFB3B0	IO	PLL_3B_CLKOUT0n		LVD53B_15n	No		AN1	DQ116	DQ58	DQ29	DQ14
3B	18	VREFB3B0	IO	PLL_3B_CLKOUT0p,PLL_3B_CLKOUT0,PLL_3B_FB0		LVD53B_15p	No		AP1	DQ116	DQ58	DQ29	DQ14
3B	17	VREFB3B0	IO			LVD53B_16n	Yes		AR4	DQSn117	DQSn58/CQn58	DQ29	DQ14
3B	16	VREFB3B0	IO			LVD53B_16p	Yes		AR3	DQSn117	DQSn58/CQ58	DQ29	DQ14
3B	15	VREFB3B0	IO			LVD53B_17n	No		AR1	DQ117	DQ58	DQ29	DQ14
3B	14	VREFB3B0	IO			LVD53B_17p	No		AR2	DQ117	DQ58	DQ29	DQ14
3B	13	VREFB3B0	IO			LVD53B_18n	Yes		AT5	DQ117	DQ58	DQ29	DQ14
3B	12	VREFB3B0	IO			LVD53B_18p	Yes		AT4	DQ117	DQ58	DQ29	DQ14
3B	11	VREFB3B0	IO			LVD53B_19n	No		AP5	DQ118	DQ59	DQ29	DQ14
3B	10	VREFB3B0	IO			LVD53B_19p	No		AP6	DQ118	DQ59	DQ29	DQ14
3B	9	VREFB3B0	IO			LVD53B_20n	Yes		AP11	DQSn118	DQ59	DQSn29/CQn29	DQ14
3B	8	VREFB3B0	IO			LVD53B_20p	Yes		AP10	DQSn118	DQ59	DQSn29/CQ29	DQ14
3B	7	VREFB3B0	IO			LVD53B_21n	No		AR6	DQ118	DQ59	DQ29	DQ14
3B	6	VREFB3B0	IO			LVD53B_21p	No		AT6	DQ118	DQ59	DQ29	DQ14
3B	5	VREFB3B0	IO			LVD53B_22n	Yes		AN8	DQSn119	DQSn59/CQn59	DQ29	DQ14
3B	4	VREFB3B0	IO			LVD53B_22p	Yes		AP8	DQSn119	DQSn59/CQ59	DQ29	DQ14
3B	3	VREFB3B0	IO			LVD53B_23n	No		AR7	DQ119	DQ59	DQ29	DQ14
3B	2	VREFB3B0	IO			LVD53B_23p	No		AR8	DQ119	DQ59	DQ29	DQ14
3B	1	VREFB3B0	IO			LVD53B_24n	Yes		AP9	DQ119	DQ59	DQ29	DQ14

Bank Number	Index within I/O Bank	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	GT support	NF43	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
3B		0	VREFB3BNO	IO		LVD53B_24p	Yes		AR9	DQ119	DQ59	DQ29	DQ14
3A		47	VREFB3ANO	IO		LVD53A_1n	No		AT9	DQ120	DQ60	DQ30	DQ15
3A		46	VREFB3ANO	IO		AVST_DATA1	No		AT10	DQ120	DQ60	DQ30	DQ15
3A		45	VREFB3ANO	IO		AVST_DATA2	Yes		AP13	DQSn120	DQ60	DQ30	DQ15
3A		44	VREFB3ANO	IO		AVST_DATA3	Yes		AR13	DQSn120	DQ60	DQ30	DQ15
3A		43	VREFB3ANO	IO		AVST_DATA4	No		AT7	DQ120	DQ60	DQ30	DQ15
3A		42	VREFB3ANO	IO		AVST_DATA5	No		AU7	DQ120	DQ60	DQ30	DQ15
3A		41	VREFB3ANO	IO		AVST_DATA6	Yes		AR11	DQSn121	DQSn60/CQn60	DQ30	DQ15
3A		40	VREFB3ANO	IO		AVST_DATA7	Yes		AT11	DQSn121	DQSn60/CQn60	DQ30	DQ15
3A		39	VREFB3ANO	IO		AVST_DATA8	No		AU9	DQ121	DQ60	DQ30	DQ15
3A		38	VREFB3ANO	IO		AVST_DATA9	No		AU8	DQ121	DQ60	DQ30	DQ15
3A		37	VREFB3ANO	IO		AVST_DATA10	Yes		AT12	DQ121	DQ60	DQ30	DQ15
3A		36	VREFB3ANO	IO		AVST_DATA11	Yes		AR12	DQ121	DQ60	DQ30	DQ15
3A		35	VREFB3ANO	IO		AVST_DATA12	No		AU5	DQ122	DQ61	DQ30	DQ15
3A		34	VREFB3ANO	IO		AVST_DATA13	No		AU4	DQ122	DQ61	DQ30	DQ15
3A		33	VREFB3ANO	IO		AVST_DATA14	Yes		AV1	DQSn122	DQ61	DQSn30/CQn30	DQ15
3A		32	VREFB3ANO	IO		AVST_DATA15	Yes		AW1	DQSn122	DQ61	DQSn30/CQn30	DQ15
3A		31	VREFB3ANO	IO		AVST_DATA16	No		AU2	DQ122	DQ61	DQ30	DQ15
3A		30	VREFB3ANO	IO		AVST_DATA17	No		AV2	DQ122	DQ61	DQ30	DQ15
3A		29	VREFB3ANO	IO	PLL_3A_CLKOUT1n	AVST_DATA18	Yes		AV5	DQSn123	DQSn61/CQn61	DQ30	DQ15
3A		28	VREFB3ANO	IO	PLL_3A_CLKOUT1p,PLL_3A_CLKOUT1,PLL_3A_FB1	AVST_DATA19	Yes		AV6	DQSn123	DQSn61/CQn61	DQ30	DQ15
3A		27	VREFB3ANO	IO		LVD53A_11n	No		AU3	DQ123	DQ61	DQ30	DQ15
3A		26	VREFB3ANO	IO	RZQ_3A	AVST_VALID	No		AV3	DQ123	DQ61	DQ30	DQ15
3A		25	VREFB3ANO	IO	CLK_3A_1n	AVST_DATA20	Yes		AV7	DQ123	DQ61	DQ30	DQ15
3A		24	VREFB3ANO	IO	CLK_3A_1p	AVST_DATA21	Yes		AV8	DQ123	DQ61	DQ30	DQ15
3A		23	VREFB3ANO	IO	CLK_3A_0n	AVST_DATA22	No		AW3	DQ124	DQ62	DQ31	DQ15
3A		22	VREFB3ANO	IO	CLK_3A_0p	AVST_DATA23	No		AW4	DQ124	DQ62	DQ31	DQ15
3A		21	VREFB3ANO	IO		AVST_DATA24	Yes		AW6	DQSn124	DQ62	DQ31	DQSn15/CQn15
3A		20	VREFB3ANO	IO		AVST_DATA25	Yes		AW5	DQSn124	DQ62	DQ31	DQSn15/CQn15
3A		19	VREFB3ANO	IO	PLL_3A_CLKOUT0n	AVST_DATA26	No		AY3	DQ124	DQ62	DQ31	DQ15
3A		18	VREFB3ANO	IO	PLL_3A_CLKOUT0p,PLL_3A_CLKOUT0,PLL_3A_FB0	AVST_DATA27	No		AY4	DQ124	DQ62	DQ31	DQ15
3A		17	VREFB3ANO	IO		AVST_DATA28	Yes		BB4	DQSn125	DQSn62/CQn62	DQ31	DQ15
3A		16	VREFB3ANO	IO		AVST_DATA29	Yes		BA4	DQSn125	DQSn62/CQn62	DQ31	DQ15
3A		15	VREFB3ANO	IO		AVST_DATA30	No		AY2	DQ125	DQ62	DQ31	DQ15
3A		14	VREFB3ANO	IO		AVST_DATA31	No		BA2	DQ125	DQ62	DQ31	DQ15
3A		13	VREFB3ANO	IO		LVD53A_18n	Yes		BB5	DQ125	DQ62	DQ31	DQ15
3A		12	VREFB3ANO	IO		LVD53A_18p	Yes		BA5	DQ125	DQ62	DQ31	DQ15
3A		11	VREFB3ANO	IO		LVD53A_19n	No		AY6	DQ126	DQ63	DQ31	DQ15
3A		10	VREFB3ANO	IO		LVD53A_19p	No		AY7	DQ126	DQ63	DQ31	DQ15
3A		9	VREFB3ANO	IO		LVD53A_20n	Yes		AU12	DQSn126	DQ63	DQSn31/CQn31	DQ15
3A		8	VREFB3ANO	IO		LVD53A_20p	Yes		AU13	DQSn126	DQ63	DQSn31/CQn31	DQ15
3A		7	VREFB3ANO	IO		LVD53A_21n	No		AW8	DQ126	DQ63	DQ31	DQ15
3A		6	VREFB3ANO	IO		LVD53A_21p	No		AW9	DQ126	DQ63	DQ31	DQ15
3A		5	VREFB3ANO	IO		LVD53A_22n	Yes		AU10	DQSn127	DQSn63/CQn63	DQ31	DQ15
3A		4	VREFB3ANO	IO		LVD53A_22p	Yes		AV10	DQSn127	DQSn63/CQn63	DQ31	DQ15
3A		3	VREFB3ANO	IO		LVD53A_23n	No		AW11	DQ127	DQ63	DQ31	DQ15
3A		2	VREFB3ANO	IO		LVD53A_23p	No		AW10	DQ127	DQ63	DQ31	DQ15
3A		1	VREFB3ANO	IO		LVD53A_24n	Yes		AV11	DQ127	DQ63	DQ31	DQ15
3A		0	VREFB3ANO	IO		AVST_CLK	Yes		AV12	DQ127	DQ63	DQ31	DQ15
SDM				TDO					AW13				
SDM				TMS					AY12				
SDM				TCK					AY11				
SDM				TDI					BA10				
SDM				OSC_CLK_1					AY9				
SDM				SDM_IO0	INIT_DONE,PWRMGT_PWM0,PWRMGT_SCL				AN16				
SDM				SDM_IO1	AVSTX8_DATA2,AS_DATA1,SDMMC_CFG_DATA1,NAND_RE_N				AP15				
SDM				SDM_IO5	INIT_DONE,AS_nCS00,SDMMC_CFG_CCLK,NAND_WE_N,MSEL0,CONF_DONE				AY8				
SDM				SDM_IO3	AVSTX8_DATA3,AS_DATA2,SDMMC_CFG_DATA2,NAND_ADO2				AT15				
SDM				nCONFIG					AP16				
SDM				SDM_IO4	AVSTX8_DATA1,AS_DATA0,SDMMC_CFG_CMD,NAND_ADO1				AN15				
SDM				SDM_IO2	AVSTX8_DATA0,AS_CLK,SDMMC_CFG_DATA0,NAND_ADO0				AU15				
SDM				SDM_IO7	AS_nCS02,NAND_ALE,MSEL1				AV13				
SDM				SDM_IO11	AVSTX8_VALID,PWRMGT_SDA,NAND_ADO6				BA9				
SDM				nSTATUS					BA6				
SDM				SDM_IO16	INIT_DONE,CONF_DONE,PWRMGT_SDA				AV15				
SDM				SDM_IO13	AVSTX8_DATA5,SDMMC_CFG_DATA5,NAND_CE_N				BB7				
SDM				SDM_IO9	AS_nCS01,NAND_CLE,MSEL2				AR14				
SDM				SDM_IO6	AVSTX8_DATA4,AS_DATA3,SDMMC_CFG_DATA3,NAND_ADO3				AT14				
SDM				SDM_IO10	AVSTX8_DATA7,SDMMC_CFG_DATA7,NAND_ADO5				BA7				
SDM				SDM_IO8	AVST_READY,AS_nCS03,SDMMC_CFG_DATA4,NAND_RB				BB10				
SDM				SDM_IO12	PWRMGT_PWM0,PWRMGT_SDA,NAND_WP_N				AU14				
SDM				SDM_IO15	AVSTX8_DATA6,SDMMC_CFG_DATA6,NAND_ADO4				BB9				
SDM				SDM_IO14	AVSTX8_CLK,PWRMGT_SCL,NAND_ADO7				BB8				
SDM				RREF_SDM					BB15				
SDM				VSIGP_0					AY14				
SDM				VSIGN_0					AY13				
SDM				VSIGP_1					BA12				

Bank Number	Index within I/O Bank	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	GT support	NF43	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
SDM			VSIGN_1						BA11				
GA			I03V0_10		nPERSTL0				AC26				
GA			I03V1_10						AC27				
GA			I03V2_10						AD28				
GA			I03V3_10						AB28				
GA			I03V4_10						AC28				
GA			I03V5_10						AB30				
GA			I03V6_10						AB29				
GA			I03V7_10						AB31				
6C			I03V0_12		nPERSTL2				AA28				
6C			I03V1_12						Y29				
6C			I03V2_12						AA29				
6C			I03V3_12						Y28				
6C			I03V4_12						W28				
6C			I03V5_12						W29				
6C			I03V6_12						V30				
6C			I03V7_12						V31				
			GND						BB13				
			GND						BB12				
			GND						Y5				
			GND						Y40				
			GND						Y39				
			GND						Y36				
			GND						Y35				
			GND						Y32				
			GND						Y30				
			GND						Y20				
			GND						W7				
			GND						W42				
			GND						W41				
			GND						W38				
			GND						W37				
			GND						W31				
			GND						W30				
			GND						W27				
			GND						W22				
			GND						W2				
			GND						W17				
			GND						W15				
			GND						V9				
			GND						V40				
			GND						V4				
			GND						V39				
			GND						V36				
			GND						V35				
			GND						V32				
			GND						V29				
			GND						V24				
			GND						V19				
			GND						V13				
			GND						U6				
			GND						U42				
			GND						U41				
			GND						U38				
			GND						U37				
			GND						U31				
			GND						U26				
			GND						U21				
			GND						U17				
			GND						U13				
			GND						U11				
			GND						U1				
			GND						T8				
			GND						T40				
			GND						T39				
			GND						T36				
			GND						T35				
			GND						T32				
			GND						T3				
			GND						T18				
			GND						T13				
			GND						R5				
			GND						R42				
			GND						R41				
			GND						R38				
			GND						R37				
			GND						R31				

Bank Number	Index within I/O Bank	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	GT support	NF43	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
			GND						R28				
			GND						R25				
			GND						R23				
			GND						R15				
			GND						P40				
			GND						P39				
			GND						P36				
			GND						P35				
			GND						P32				
			GND						P27				
			GND						P22				
			GND						P2				
			GND						N9				
			GND						N42				
			GND						N41				
			GND						N4				
			GND						N38				
			GND						N37				
			GND						N31				
			GND						N24				
			GND						N19				
			GND						N14				
			GND						M6				
			GND						M40				
			GND						M39				
			GND						M36				
			GND						M35				
			GND						M32				
			GND						M26				
			GND						M21				
			GND						M1				
			GND						L42				
			GND						L41				
			GND						L38				
			GND						L37				
			GND						L31				
			GND						L3				
			GND						L23				
			GND						L19				
			GND						L13				
			GND						K5				
			GND						K40				
			GND						K39				
			GND						K36				
			GND						K35				
			GND						K32				
			GND						K25				
			GND						K15				
			GND						J7				
			GND						J42				
			GND						J41				
			GND						J38				
			GND						J37				
			GND						J31				
			GND						J27				
			GND						J2				
			GND						J17				
			GND						H40				
			GND						H4				
			GND						H39				
			GND						H36				
			GND						H35				
			GND						H32				
			GND						H19				
			GND						H14				
			GND						G6				
			GND						G42				
			GND						G41				
			GND						G38				
			GND						G37				
			GND						G21				
			GND						G20				
			GND						G29				
			GND						G28				
			GND						G21				
			GND						G16				
			GND						G1				

Bank Number	Index within I/O Bank	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	GT support	NF43	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
			GND						F8				
			GND						F40				
			GND						F39				
			GND						F36				
			GND						F35				
			GND						F34				
			GND						F33				
			GND						F32				
			GND						F31				
			GND						F3				
			GND						F28				
			GND						F23				
			GND						F18				
			GND						F13				
			GND						E5				
			GND						E42				
			GND						E41				
			GND						E38				
			GND						E37				
			GND						E34				
			GND						E33				
			GND						E30				
			GND						E29				
			GND						E28				
			GND						E25				
			GND						E20				
			GND						E15				
			GND						E10				
			GND						D7				
			GND						D40				
			GND						D39				
			GND						D36				
			GND						D35				
			GND						D32				
			GND						D31				
			GND						D28				
			GND						D22				
			GND						D2				
			GND						D17				
			GND						D12				
			GND						C9				
			GND						C42				
			GND						C41				
			GND						C4				
			GND						C38				
			GND						C37				
			GND						C34				
			GND						C33				
			GND						C30				
			GND						C29				
			GND						C28				
			GND						C24				
			GND						C19				
			GND						C14				
			GND						C1				
			GND						BB6				
			GND						BB41				
			GND						BB40				
			GND						BB39				
			GND						BB36				
			GND						BB35				
			GND						BB32				
			GND						BB31				
			GND						BB3				
			GND						BB28				
			GND						BB26				
			GND						BB21				
			GND						BB16				
			GND						BB11				
			GND						BA8				
			GND						BA42				
			GND						BA41				
			GND						BA38				
			GND						BA37				
			GND						BA34				
			GND						BA33				
			GND						BA30				



Bank Number	Index within I/O Bank	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	GT support	NF43	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
			GND						BA3				
			GND						BA29				
			GND						BA28				
			GND						BA23				
			GND						BA18				
			GND						BA13				
			GND						BA1				
			GND						B6				
			GND						B42				
			GND						B41				
			GND						B40				
			GND						B39				
			GND						B36				
			GND						B35				
			GND						B32				
			GND						B31				
			GND						B28				
			GND						B27				
			GND						B26				
			GND						B21				
			GND						B16				
			GND						B11				
			GND						B1				
			GND						AY5				
			GND						AY41				
			GND						AY40				
			GND						AY39				
			GND						AY36				
			GND						AY35				
			GND						AY32				
			GND						AY31				
			GND						AY28				
			GND						AY20				
			GND						AY15				
			GND						AY10				
			GND						AY1				
			GND						AW7				
			GND						AW42				
			GND						AW41				
			GND						AW38				
			GND						AW37				
			GND						AW34				
			GND						AW33				
			GND						AW30				
			GND						AW29				
			GND						AW28				
			GND						AW22				
			GND						AW2				
			GND						AW17				
			GND						AW12				
			GND						AV40				
			GND						AV4				
			GND						AV39				
			GND						AV36				
			GND						AV35				
			GND						AV32				
			GND						AV31				
			GND						AV28				
			GND						AV24				
			GND						AV19				
			GND						AV14				
			GND						AU6				
			GND						AU42				
			GND						AU41				
			GND						AU38				
			GND						AU37				
			GND						AU31				
			GND						AU30				
			GND						AU29				
			GND						AU28				
			GND						AU26				
			GND						AU21				
			GND						AU16				
			GND						AU1				
			GND						AT8				
			GND						AT40				
			GND						AT39				

Bank Number	Index within I/O Bank	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	GT support	NF43	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
			GND						AT36				
			GND						AT35				
			GND						AT32				
			GND						AT3				
			GND						AT18				
			GND						AR5				
			GND						AR42				
			GND						AR41				
			GND						AR38				
			GND						AR37				
			GND						AR31				
			GND						AR25				
			GND						AR20				
			GND						AR15				
			GND						AR10				
			GND						AP40				
			GND						AP39				
			GND						AP36				
			GND						AP35				
			GND						AP32				
			GND						AP27				
			GND						AP2				
			GND						AP17				
			GND						AP12				
			GND						AN42				
			GND						AN41				
			GND						AN4				
			GND						AN38				
			GND						AN37				
			GND						AN31				
			GND						AN29				
			GND						AN19				
			GND						AN14				
			GND						AM6				
			GND						AM40				
			GND						AM39				
			GND						AM36				
			GND						AM35				
			GND						AM32				
			GND						AM26				
			GND						AM21				
			GND						AM16				
			GND						AM1				
			GND						AL42				
			GND						AL41				
			GND						AL38				
			GND						AL37				
			GND						AL31				
			GND						AL3				
			GND						AL28				
			GND						AL18				
			GND						AL13				
			GND						AK5				
			GND						AK40				
			GND						AK39				
			GND						AK36				
			GND						AK35				
			GND						AK32				
			GND						AK31				
			GND						AK25				
			GND						AK15				
			GND						AJ42				
			GND						AJ41				
			GND						AJ38				
			GND						AJ37				
			GND						AJ31				
			GND						AJ28				
			GND						AJ27				
			GND						AJ21				
			GND						AJ2				
			GND						AJ17				
			GND						AJ15				
			GND						AJ12				
			GND						AH9				
			GND						AH40				
			GND						AH4				
			GND						AH39				

Bank Number	Index within I/O Bank	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	GT support	NF43	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
			GND						AH36				
			GND						AH35				
			GND						AH32				
			GND						AH23				
			GND						AH19				
			GND						AG6				
			GND						AG42				
			GND						AG41				
			GND						AG38				
			GND						AG37				
			GND						AG31				
			GND						AG26				
			GND						AG11				
			GND						AG1				
			GND						AF40				
			GND						AF39				
			GND						AF36				
			GND						AF35				
			GND						AF32				
			GND						AF30				
			GND						AF3				
			GND						AF28				
			GND						AF23				
			GND						AF18				
			GND						AF13				
			GND						AE5				
			GND						AE42				
			GND						AE41				
			GND						AE38				
			GND						AE37				
			GND						AE31				
			GND						AE25				
			GND						AE20				
			GND						AE15				
			GND						AD7				
			GND						AD40				
			GND						AD39				
			GND						AD36				
			GND						AD35				
			GND						AD32				
			GND						AD27				
			GND						AD22				
			GND						AD2				
			GND						AD17				
			GND						AD13				
			GND						AC9				
			GND						AC42				
			GND						AC41				
			GND						AC4				
			GND						AC38				
			GND						AC37				
			GND						AC32				
			GND						AC25				
			GND						AC19				
			GND						AC15				
			GND						AB6				
			GND						AB40				
			GND						AB39				
			GND						AB36				
			GND						AB35				
			GND						AB32				
			GND						AB21				
			GND						AB17				
			GND						AB11				
			GND						AB1				
			GND						AA8				
			GND						AA42				
			GND						AA41				
			GND						AA38				
			GND						AA37				
			GND						AA31				
			GND						AA30				
			GND						AA3				
			GND						AA27				
			GND						AA23				
			GND						AA18				
			GND						AA14				

Bank Number	Index within I/O Bank	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	GT support	NF43	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
			GND						A8				
			GND						A41				
			GND						A39				
			GND						A38				
			GND						A37				
			GND						A34				
			GND						A33				
			GND						A30				
			GND						A3				
			GND						A29				
			GND						A26				
			GND						A23				
			GND						A2				
			GND						A18				
			GND						A13				
			GNDSENSE						AB20				
			VCC						Y24				
			VCC						Y23				
			VCC						Y19				
			VCC						Y18				
			VCC						Y17				
			VCC						W24				
			VCC						W23				
			VCC						W21				
			VCC						W20				
			VCC						W19				
			VCC						W18				
			VCC						W14				
			VCC						v28				
			VCC						v27				
			VCC						v23				
			VCC						v22				
			VCC						v21				
			VCC						v20				
			VCC						v18				
			VCC						v17				
			VCC						v16				
			VCC						v15				
			VCC						v14				
			VCC						U29				
			VCC						U28				
			VCC						U27				
			VCC						U24				
			VCC						U23				
			VCC						U22				
			VCC						U20				
			VCC						U19				
			VCC						U16				
			VCC						T28				
			VCC						T27				
			VCC						T26				
			VCC						T25				
			VCC						T24				
			VCC						T21				
			VCC						T20				
			VCC						T19				
			VCC						T17				
			VCC						T16				
			VCC						AH28				
			VCC						AH27				
			VCC						AG29				
			VCC						AG28				
			VCC						AG27				
			VCC						AG24				
			VCC						AG23				
			VCC						AG22				
			VCC						AG20				
			VCC						AG19				
			VCC						AG18				
			VCC						AG17				
			VCC						AG16				
			VCC						AF29				
			VCC						AF27				
			VCC						AF24				
			VCC						AF22				
			VCC						AF21				
			VCC						AF20				

Bank Number	Index within I/O Bank	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	GT support	NF43	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
			VCC						AF19				
			VCC						AF17				
			VCC						AF16				
			VCC						AF15				
			VCC						AF14				
			VCC						AE29				
			VCC						AE28				
			VCC						AE27				
			VCC						AE26				
			VCC						AE24				
			VCC						AE23				
			VCC						AE22				
			VCC						AE21				
			VCC						AE19				
			VCC						AE18				
			VCC						AE17				
			VCC						AE16				
			VCC						AE14				
			VCC						AD26				
			VCC						AD25				
			VCC						AD24				
			VCC						AD23				
			VCC						AD21				
			VCC						AD20				
			VCC						AD19				
			VCC						AD18				
			VCC						AD16				
			VCC						AD15				
			VCC						AD14				
			VCC						AC24				
			VCC						AC23				
			VCC						AC22				
			VCC						AC21				
			VCC						AC20				
			VCC						AC18				
			VCC						AC17				
			VCC						AC14				
			VCC						AB24				
			VCC						AB18				
			VCC						AA25				
			VCC						AA24				
			VCC						AA20				
			VCC						AA19				
			VCC						AA17				
			VCC						AA16				
			VCC						AA15				
			VCC						K20				
			VCC						J20				
			VCC						J19				
			VCC						H20				
			VCC						N21				
			VCCPT						L20				
			VCCPT						K19				
			VCCPT						Y27				
			VCCPT						Y26				
			VCCPT						Y25				
			VCCPT						Y22				
			VCCPT						Y21				
			VCCPT						Y16				
			VCCPT						Y15				
			VCCPT						Y14				
			VCCPT						W16				
			VCCPT						AC16				
			VCCPT						AB27				
			VCCPT						AB26				
			VCCPT						AB25				
			VCCPT						AB23				
			VCCPT						AB22				
			VCCPT						AB16				
			VCCPT						AB15				
			VCCPT						AB14				
			VCCPT						AA26				
			DNU						AP31				
			DNU						AM31				
			DNU						C12				
			DNU						C13				
			DNU						BA15				

Bank Number	Index within I/O Bank	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	GT support	NF43	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
			DNU						BB14				
			DNU						BA14				
			DNU						BA16				
			DNU						AY42				
			DNU						A40				
			DNU						AC30				
			DNU						AC31				
			TEMPDIODE0n						AW14				
			TEMPDIODE0p						AW15				
			TEMPDIODE1n						AD30				
			TEMPDIODE1p						AE30				
			VCCBAT						AK16				
			VCCA_PLL						AA22				
			VCCA_PLL						AA21				
			VCCA_PLL						P20				
			VCCIO2C						AY25				
			VCCIO2C						AW27				
			VCCIO2C						AT28				
			VCCIO2F						AT23				
			VCCIO2F						AP22				
			VCCIO2F						AN24				
			VCCIO2K						AL29				
			VCCIO2K						AK20				
			VCCIO2K						AJ22				
			VCCIO2L						P17				
			VCCIO2L						M16				
			VCCIO2L						L18				
			VCCIO2M						N29				
			VCCIO2M						L28				
			VCCIO2M						H29				
			VCCIO2N						J22				
			VCCIO2N						H24				
			VCCIO2N						G26				
			VCCIO3A						AV9				
			VCCIO3A						AU11				
			VCCIO3A						AT13				
			VCCIO3B						AP7				
			VCCIO3B						AN9				
			VCCIO3B						AM11				
			VCCIO3C						AL8				
			VCCIO3C						AK10				
			VCCIO3C						AJ7				
			VCCIO3D						AF8				
			VCCIO3D						AE10				
			VCCIO3D						AD12				
			VCCIO3I						Y10				
			VCCIO3I						W12				
			VCCIO3I						AA13				
			VCCIO3J						R10				
			VCCIO3J						P7				
			VCCIO3J						P12				
			VCCIO3K						M11				
			VCCIO3K						L8				
			VCCIO3K						K10				
			VCCIO3L						J12				
			VCCIO3L						H9				
			VCCIO3L						G11				
			VCCIO3V						AD29				
			VCCIO3V						AC29				
			VCCIO_SDM						AL15				
2C		VREFB2CNO	VREFB2CNO						AR26				
2F		VREFB2FNO	VREFB2FNO						AN26				
2K		VREFB2KNO	VREFB2KNO						AK26				
2L		VREFB2LNO	VREFB2LNO						R18				
2M		VREFB2MNO	VREFB2MNO						L26				
2N		VREFB2NNO	VREFB2NNO						J26				
3A		VREFB3ANO	VREFB3ANO						AP14				
3B		VREFB3BNO	VREFB3BNO						AM14				
3C		VREFB3CNO	VREFB3CNO						AJ14				
3D		VREFB3DNO	VREFB3DNO						AE13				
3I		VREFB3INO	VREFB3INO						W13				
3J		VREFB3JNO	VREFB3JNO						F14				
3K		VREFB3KNO	VREFB3KNO						L14				
3L		VREFB3LNO	VREFB3LNO						J14				
			NC						A15				
			NC						B15				
			NC						C18				

Bank Number	Index within I/O Bank	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	GT support	NF43	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
			NC						A11				
			NC						B13				
			NC						A14				
			NC						B14				
			NC						B17				
			NC						A10				
			NC						A16				
			NC						A12				
			NC						C16				
			NC						A19				
			NC						C17				
			NC						B10				
			NC						A17				
			NC						A9				
			NC						B18				
			NC						B9				
			NC						A20				
			NC						B12				
			NC						C15				
			NC						B19				
			NC						B8				
			NC						M19				
			NC						F19				
			NC						D19				
			NC						F20				
			NC						E17				
			NC						M20				
			NC						G18				
			NC						N20				
			NC						E19				
			NC						G20				
			NC						K18				
			NC						E18				
			NC						J18				
			NC						L21				
			NC						C20				
			NC						K21				
			NC						H18				
			NC						P19				
			NC						D18				
			NC						D20				
			NC						G19				
			NC						D16				
			NC						R19				
			NC						B20				
			NC						R22				
			NC						R21				
			NC						R20				
			NC						P21				
			NC						AJ20				
			NC						AH22				
			NC						AH21				
			NC						AG21				
			NC						BB2				
			VCCH_GXBLCF						AR32				
			VCCH_GXBLCF						AL32				
			VCCH_GXBLCF						AG32				
			VCCH_GXBLCF						AF31				
			VCCH_GXBLCF						W32				
			VCCH_GXBLCF						R32				
			VCCH_GXBLCF						L32				
			VCCH_GXBLCF						G32				
			VCCR_GXBLCF						AU34				
			VCCR_GXBLCF						AU33				
			VCCR_GXBLCF						AU32				
			VCCR_GXBLCF						AN34				
			VCCR_GXBLCF						AN33				
			VCCR_GXBLCF						AN32				
			VCCR_GXBLCF						AJ34				
			VCCR_GXBLCF						AJ33				
			VCCR_GXBLCF						AJ32				
			VCCR_GXBLCF						AE34				
			VCCR_GXBLCF						AE33				
			VCCR_GXBLCF						AE32				
			VCCR_GXBLCF						AA34				
			VCCR_GXBLCF						AA33				
			VCCR_GXBLCF						AA32				

Bank Number	Index within I/O Bank	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	GT support	NF43	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
			VCCR_GXBLL1						U34				
			VCCR_GXBLL1						U33				
			VCCR_GXBLL1						U32				
			VCCR_GXBLL1M						N34				
			VCCR_GXBLL1M						N33				
			VCCR_GXBLL1M						N32				
			VCCR_GXBLL1N						J34				
			VCCR_GXBLL1N						J33				
			VCCR_GXBLL1N						J32				
			VCCT_GXBLL1C						AR34				
			VCCT_GXBLL1C						AR33				
			VCCT_GXBLL1D						AL34				
			VCCT_GXBLL1D						AL33				
			VCCT_GXBLL1E						AG34				
			VCCT_GXBLL1E						AG33				
			VCCT_GXBLL1F						AC34				
			VCCT_GXBLL1F						AC33				
			VCCT_GXBLL1K						W34				
			VCCT_GXBLL1K						W33				
			VCCT_GXBLL1L						R34				
			VCCT_GXBLL1L						R33				
			VCCT_GXBLL1M						L34				
			VCCT_GXBLL1M						L33				
			VCCT_GXBLL1N						G34				
			VCCT_GXBLL1N						G33				
			RREF_BL						AD31				
			RREF_TL						Y31				
			VCCADC						AM15				
			VCCERAM						U30				
			VCCERAM						U18				
			VCCERAM						T31				
			VCCERAM						T30				
			VCCERAM						T29				
			VCCERAM						T22				
			VCCERAM						R30				
			VCCERAM						R29				
			VCCERAM						AJ30				
			VCCERAM						AJ29				
			VCCERAM						AH31				
			VCCERAM						AH30				
			VCCERAM						AH29				
			VCCERAM						AH20				
			VCCERAM						AH17				
			VCCERAM						AG30				
			VCCFUSEWR_SDM						AL16				
			VCCLSENSE						AB19				
			VCCP						W26				
			VCCP						W25				
			VCCP						V26				
			VCCP						V25				
			VCCP						U25				
			VCCP						U15				
			VCCP						U14				
			VCCP						T15				
			VCCP						T14				
			VCCP						AH26				
			VCCP						AH25				
			VCCP						AH15				
			VCCP						AH14				
			VCCP						AG25				
			VCCP						AG15				
			VCCP						AG14				
			VCCP						AF26				
			VCCP						AF25				
			VCCPLLIG_SDM						AH16				
			VCCPLL_SDM						AJ16				



Date	Version	Changes
November 2017	2017.11.21	Initial release.
May 2018	2018.05.08	<ul style="list-style-type: none"> <li>- Added the IO Resource Count tab.</li> <li>- Updated the existing VCCH_GXB pin names to VCCH_GXB&lt;L1 or R4&gt;&lt;CF or GJ or KN&gt;.</li> </ul>
December 2018	2018.12.02	Deactivating the voltage sensor external VREF pins.

(1) For more information about pin definition and pin connection guidelines, refer to the [Intel® Stratix® 10 Device Family Pin Connection Guidelines](#)