

TYPE	BANK	HF35 Package
Transceiver I/O	1C	28
Transceiver I/O	1D	28
Transceiver I/O	1E	28
Transceiver I/O	1F	28
LVDS I/O	2K	48
LVDS I/O	2L	48
LVDS I/O	2M	48
LVDS I/O	2N	48
LVDS I/O	3A	48
LVDS I/O	3B	48
LVDS I/O	3C	48
LVDS I/O	3D	48
3V I/O	6A	8
SDM shared LVDS I/O	SDM	29

- i. Total LVDS channels per bank supporting SERDES Non-DPA and DPA mode is equivalent to (LVDS I/O per bank)/2, inclusive of clock pair. Please refer to Dedicated Tx/Rx Channel column in the pin-out table for the channel availability.
- ii. Total LVDS channels supporting SERDES Soft-CDR mode is 12 pairs per bank. Please refer to Soft CDR column in the pin out table for the channel availability.

Bank Number	Index within I/O Bank	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	GT support	HF35	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
1F			REFCLK_GXB1F_CHTp						L28				
1F			REFCLK_GXB1F_CHTn						L27				
1F			GXB1F_TX_CH5n						A31				
1F			GXB1F_TX_CH5p						A32				
1F			GXB1F_RX_CH5n,GXB1F_REFCLK5n						B29				
1F			GXB1F_RX_CH5p,GXB1F_REFCLK5p						B30				
1F			GXB1F_TX_CH4n					Yes	C31				
1F			GXB1F_TX_CH4p					Yes	C32				
1F			GXB1F_RX_CH4n,GXB1F_REFCLK4n					Yes	D29				
1F			GXB1F_RX_CH4p,GXB1F_REFCLK4p					Yes	D30				
1F			GXB1F_TX_CH3n					Yes	D33				
1F			GXB1F_TX_CH3p					Yes	D34				
1F			GXB1F_RX_CH3n,GXB1F_REFCLK3n					Yes	F29				
1F			GXB1F_RX_CH3p,GXB1F_REFCLK3p					Yes	F30				
1F			GXB1F_TX_CH2n						E31				
1F			GXB1F_TX_CH2p						E32				
1F			GXB1F_RX_CH2n,GXB1F_REFCLK2n						H29				
1F			GXB1F_RX_CH2p,GXB1F_REFCLK2p						H30				
1F			GXB1F_TX_CH1n					Yes	F33				
1F			GXB1F_TX_CH1p					Yes	F34				
1F			GXB1F_RX_CH1n,GXB1F_REFCLK1n					Yes	K29				
1F			GXB1F_RX_CH1p,GXB1F_REFCLK1p					Yes	K30				
1F			GXB1F_TX_CH0n					Yes	G31				
1F			GXB1F_TX_CH0p					Yes	G32				
1F			GXB1F_RX_CH0n,GXB1F_REFCLK0n					Yes	L31				
1F			GXB1F_RX_CH0p,GXB1F_REFCLK0p					Yes	L32				
1F			REFCLK_GXB1F_CHBp						N28				
1F			REFCLK_GXB1F_CHBn						N27				
1E			REFCLK_GXB1E_CHTp						R28				
1E			REFCLK_GXB1E_CHTn						R27				
1E			GXB1E_TX_CH5n						H33				
1E			GXB1E_TX_CH5p						H34				
1E			GXB1E_RX_CH5n,GXB1E_REFCLK5n						M29				
1E			GXB1E_RX_CH5p,GXB1E_REFCLK5p						M30				
1E			GXB1E_TX_CH4n					Yes	J31				
1E			GXB1E_TX_CH4p					Yes	J32				
1E			GXB1E_RX_CH4n,GXB1E_REFCLK4n					Yes	N31				
1E			GXB1E_RX_CH4p,GXB1E_REFCLK4p					Yes	N32				
1E			GXB1E_TX_CH3n					Yes	K33				
1E			GXB1E_TX_CH3p					Yes	K34				
1E			GXB1E_RX_CH3n,GXB1E_REFCLK3n					Yes	P29				
1E			GXB1E_RX_CH3p,GXB1E_REFCLK3p					Yes	P30				
1E			GXB1E_TX_CH2n						M33				
1E			GXB1E_TX_CH2p						M34				
1E			GXB1E_RX_CH2n,GXB1E_REFCLK2n						R31				
1E			GXB1E_RX_CH2p,GXB1E_REFCLK2p						R32				
1E			GXB1E_TX_CH1n					Yes	P33				
1E			GXB1E_TX_CH1p					Yes	P34				
1E			GXB1E_RX_CH1n,GXB1E_REFCLK1n					Yes	T29				
1E			GXB1E_RX_CH1p,GXB1E_REFCLK1p					Yes	T30				
1E			GXB1E_TX_CH0n					Yes	T33				
1E			GXB1E_TX_CH0p					Yes	T34				
1E			GXB1E_RX_CH0n,GXB1E_REFCLK0n					Yes	U31				
1E			GXB1E_RX_CH0p,GXB1E_REFCLK0p					Yes	U32				
1E			REFCLK_GXB1E_CHBp						U28				
1E			REFCLK_GXB1E_CHBn						U27				
1D			REFCLK_GXB1D_CHTp						W28				
1D			REFCLK_GXB1D_CHTn						W27				
1D			GXB1D_TX_CH5n						V33				
1D			GXB1D_TX_CH5p						V34				
1D			GXB1D_RX_CH5n,GXB1D_REFCLK5n						V29				
1D			GXB1D_RX_CH5p,GXB1D_REFCLK5p						V30				
1D			GXB1D_TX_CH4n					Yes	Y33				
1D			GXB1D_TX_CH4p					Yes	Y34				
1D			GXB1D_RX_CH4n,GXB1D_REFCLK4n					Yes	W31				
1D			GXB1D_RX_CH4p,GXB1D_REFCLK4p					Yes	W32				
1D			GXB1D_TX_CH3n					Yes	AB33				
1D			GXB1D_TX_CH3p					Yes	AB34				
1D			GXB1D_RX_CH3n,GXB1D_REFCLK3n					Yes	Y29				
1D			GXB1D_RX_CH3p,GXB1D_REFCLK3p					Yes	Y30				
1D			GXB1D_TX_CH2n						AD33				
1D			GXB1D_TX_CH2p						AD34				
1D			GXB1D_RX_CH2n,GXB1D_REFCLK2n						AA31				
1D			GXB1D_RX_CH2p,GXB1D_REFCLK2p						AA32				
1D			GXB1D_TX_CH1n					Yes	AF33				
1D			GXB1D_TX_CH1p					Yes	AF34				
1D			GXB1D_RX_CH1n,GXB1D_REFCLK1n					Yes	AB29				
1D			GXB1D_RX_CH1p,GXB1D_REFCLK1p					Yes	AB30				
1D			GXB1D_TX_CH0n					Yes	AG31				

Bank Number	Index within I/O Bank	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	GT support	HF35	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
1D			GXBL1D_TX_CH0p					Yes	AG32				
1D			GXBL1D_RX_CH0n,GXBL1D_REFCLK0n					Yes	AC31				
1D			GXBL1D_RX_CH0p,GXBL1D_REFCLK0p					Yes	AC32				
1D			REFCLK_GXBL1D_CH8p						AA28				
1D			REFCLK_GXBL1D_CH8n						AA27				
1C			REFCLK_GXBL1C_CHTp						AC28				
1C			REFCLK_GXBL1C_CHTn						AC27				
1C			GXBL1C_TX_CH5n						AH33				
1C			GXBL1C_TX_CH5p						AH34				
1C			GXBL1C_RX_CH5n,GXBL1C_REFCLK5n						AD29				
1C			GXBL1C_RX_CH5p,GXBL1C_REFCLK5p						AD30				
1C			GXBL1C_TX_CH4n					Yes	AJ31				
1C			GXBL1C_TX_CH4p					Yes	AJ32				
1C			GXBL1C_RX_CH4n,GXBL1C_REFCLK4n					Yes	AE31				
1C			GXBL1C_RX_CH4p,GXBL1C_REFCLK4p					Yes	AE32				
1C			GXBL1C_TX_CH3n					Yes	AK33				
1C			GXBL1C_TX_CH3p					Yes	AK34				
1C			GXBL1C_RX_CH3n,GXBL1C_REFCLK3n					Yes	AF29				
1C			GXBL1C_RX_CH3p,GXBL1C_REFCLK3p					Yes	AF30				
1C			GXBL1C_TX_CH2n						AL31				
1C			GXBL1C_TX_CH2p						AL32				
1C			GXBL1C_RX_CH2n,GXBL1C_REFCLK2n						AH29				
1C			GXBL1C_RX_CH2p,GXBL1C_REFCLK2p						AH30				
1C			GXBL1C_TX_CH1n					Yes	AM33				
1C			GXBL1C_TX_CH1p					Yes	AM34				
1C			GXBL1C_RX_CH1n,GXBL1C_REFCLK1n					Yes	AK29				
1C			GXBL1C_RX_CH1p,GXBL1C_REFCLK1p					Yes	AK30				
1C			GXBL1C_TX_CH0n					Yes	AN31				
1C			GXBL1C_TX_CH0p					Yes	AN32				
1C			GXBL1C_RX_CH0n,GXBL1C_REFCLK0n					Yes	AM29				
1C			GXBL1C_RX_CH0p,GXBL1C_REFCLK0p					Yes	AM30				
1C			REFCLK_GXBL1C_CH8p						AE28				
1C			REFCLK_GXBL1C_CH8n						AE27				
6A			IO3V0_10		nPERSTLO				AP26				
6A			IO3V1_10						AN26				
6A			IO3V2_10						AM26				
6A			IO3V3_10						AM27				
6A			IO3V4_10						AL27				
6A			IO3V5_10						AK27				
6A			IO3V6_10						AK26				
6A			IO3V7_10						AJ26				
2N	47	VREFB2NNO	IO			LVDS2N_1n	No		A9	DQ0	DQ0	DQ0	DQ0
2N	46	VREFB2NNO	IO			LVDS2N_1p	No		A10	DQ0	DQ0	DQ0	DQ0
2N	45	VREFB2NNO	IO			LVDS2N_2n	Yes		B15	DQSn0	DQ0	DQ0	DQ0
2N	44	VREFB2NNO	IO			LVDS2N_2p	Yes		C15	DQS0	DQ0	DQ0	DQ0
2N	43	VREFB2NNO	IO			LVDS2N_3n	No		A8	DQ0	DQ0	DQ0	DQ0
2N	42	VREFB2NNO	IO			LVDS2N_3p	No		B8	DQ0	DQ0	DQ0	DQ0
2N	41	VREFB2NNO	IO			LVDS2N_4n	Yes		A13	DQSn1	DQS0/CQn0	DQ0	DQ0
2N	40	VREFB2NNO	IO			LVDS2N_4p	Yes		B13	DQS1	DQS0/CQ0	DQ0	DQ0
2N	39	VREFB2NNO	IO			LVDS2N_5n	No		J14	DQ1	DQ0	DQ0	DQ0
2N	38	VREFB2NNO	IO			LVDS2N_5p	No		H14	DQ1	DQ0	DQ0	DQ0
2N	37	VREFB2NNO	IO			LVDS2N_6n	Yes		B12	DQ1	DQ0	DQ0	DQ0
2N	36	VREFB2NNO	IO			LVDS2N_6p	Yes		A12	DQ1	DQ0	DQ0	DQ0
2N	35	VREFB2NNO	IO			LVDS2N_7n	No		K15	DQ2	DQ1	DQ0	DQ0
2N	34	VREFB2NNO	IO			LVDS2N_7p	No		L15	DQ2	DQ1	DQ0	DQ0
2N	33	VREFB2NNO	IO			LVDS2N_8n	Yes		C14	DQSn2	DQ1	DQS0/CQn0	DQ0
2N	32	VREFB2NNO	IO			LVDS2N_8p	Yes		D14	DQS2	DQ1	DQS0/CQ0	DQ0
2N	31	VREFB2NNO	IO			LVDS2N_9n	No		H13	DQ2	DQ1	DQ0	DQ0
2N	30	VREFB2NNO	IO			LVDS2N_9p	No		J13	DQ2	DQ1	DQ0	DQ0
2N	29	VREFB2NNO	IO	PLL_2N_CLKOUT1n		LVDS2N_10n	Yes		E15	DQSn3	DQS1/CQn1	DQ0	DQ0
2N	28	VREFB2NNO	IO	PLL_2N_CLKOUT1p,PLL_2N_CLKOUT1,PLL_2N_FB1		LVDS2N_10p	Yes		F15	DQS3	DQS1/CQ1	DQ0	DQ0
2N	27	VREFB2NNO	IO			LVDS2N_11n	No		F12	DQ3	DQ1	DQ0	DQ0
2N	26	VREFB2NNO	IO			LVDS2N_11p	No		G12	DQ3	DQ1	DQ0	DQ0
2N	25	VREFB2NNO	IO	RZQ_2N		LVDS2N_12n	Yes		E14	DQ3	DQ1	DQ0	DQ0
2N	24	VREFB2NNO	IO	CLK_2N_1n		LVDS2N_12p	Yes		F14	DQ3	DQ1	DQ0	DQ0
2N	23	VREFB2NNO	IO	CLK_2N_1p		LVDS2N_13n	No		C10	DQ4	DQ2	DQ1	DQ0
2N	22	VREFB2NNO	IO	CLK_2N_0n		LVDS2N_13p	No		B10	DQ4	DQ2	DQ1	DQ0
2N	21	VREFB2NNO	IO	CLK_2N_0p		LVDS2N_14n	Yes		H15	DQSn4	DQ2	DQ1	DQS0/CQn0
2N	20	VREFB2NNO	IO			LVDS2N_14p	Yes		G15	DQS4	DQ2	DQ1	DQS0/CQ0
2N	19	VREFB2NNO	IO	PLL_2N_CLKOUT0n		LVDS2N_15n	No		D9	DQ4	DQ2	DQ1	DQ0
2N	18	VREFB2NNO	IO	PLL_2N_CLKOUT0p,PLL_2N_CLKOUT0,PLL_2N_FB0		LVDS2N_15p	No		C9	DQ4	DQ2	DQ1	DQ0
2N	17	VREFB2NNO	IO			LVDS2N_16n	Yes		D13	DQSn5	DQS2/CQn2	DQ1	DQ0
2N	16	VREFB2NNO	IO			LVDS2N_16p	Yes		C13	DQS5	DQS2/CQ2	DQ1	DQ0
2N	15	VREFB2NNO	IO			LVDS2N_17n	No		K12	DQ5	DQ2	DQ1	DQ0
2N	14	VREFB2NNO	IO			LVDS2N_17p	No		J12	DQ5	DQ2	DQ1	DQ0
2N	13	VREFB2NNO	IO			LVDS2N_18n	Yes		C11	DQ5	DQ2	DQ1	DQ0
2N	12	VREFB2NNO	IO			LVDS2N_18p	Yes		B11	DQ5	DQ2	DQ1	DQ0
2N	11	VREFB2NNO	IO			LVDS2N_19n	No		E10	DQ6	DQ3	DQ1	DQ0
2N	10	VREFB2NNO	IO			LVDS2N_19p	No		F10	DQ6	DQ3	DQ1	DQ0

Bank Number	Index within I/O Bank	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	GT support	HF35	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
2N		9	VREFB2NNO	IO		LVD52N_20n	Yes		F13	DQ5n6	DQ3	DQ5n1/CQn1	DQ0
2N		8	VREFB2NNO	IO		LVD52N_20p	Yes		G13	DQ56	DQ3	DQ51/CQ1	DQ0
2N		7	VREFB2NNO	IO		LVD52N_21n	No		H11	DQ6	DQ3	DQ1	DQ0
2N		6	VREFB2NNO	IO		LVD52N_21p	No		G11	DQ6	DQ3	DQ1	DQ0
2N		5	VREFB2NNO	IO		LVD52N_22n	Yes		D12	DQ5n7	DQ5n3/CQn3	DQ1	DQ0
2N		4	VREFB2NNO	IO		LVD52N_22p	Yes		E12	DQ57	DQ53/CQ3	DQ1	DQ0
2N		3	VREFB2NNO	IO		LVD52N_23n	No		H10	DQ7	DQ3	DQ1	DQ0
2N		2	VREFB2NNO	IO		LVD52N_23p	No		G10	DQ7	DQ3	DQ1	DQ0
2N		1	VREFB2NNO	IO		LVD52N_24n	Yes		D11	DQ7	DQ3	DQ1	DQ0
2N		0	VREFB2NNO	IO		LVD52N_24p	Yes		E11	DQ7	DQ3	DQ1	DQ0
2M		47	VREFB2MNO	IO		LVD52M_1n	No		C18	DQ8	DQ4	DQ2	DQ1
2M		46	VREFB2MNO	IO		LVD52M_1p	No		D18	DQ8	DQ4	DQ2	DQ1
2M		45	VREFB2MNO	IO		LVD52M_2n	Yes		K16	DQ5n8	DQ4	DQ2	DQ1
2M		44	VREFB2MNO	IO		LVD52M_2p	Yes		J16	DQ58	DQ4	DQ2	DQ1
2M		43	VREFB2MNO	IO		LVD52M_3n	No		G17	DQ8	DQ4	DQ2	DQ1
2M		42	VREFB2MNO	IO		LVD52M_3p	No		F18	DQ8	DQ4	DQ2	DQ1
2M		41	VREFB2MNO	IO		LVD52M_4n	Yes		K17	DQ5n9	DQ5n4/CQn4	DQ2	DQ1
2M		40	VREFB2MNO	IO		LVD52M_4p	Yes		J17	DQ59	DQ54/CQ4	DQ2	DQ1
2M		39	VREFB2MNO	IO		LVD52M_5n	No		B20	DQ9	DQ4	DQ2	DQ1
2M		38	VREFB2MNO	IO		LVD52M_5p	No		A20	DQ9	DQ4	DQ2	DQ1
2M		37	VREFB2MNO	IO		LVD52M_6n	Yes		G16	DQ9	DQ4	DQ2	DQ1
2M		36	VREFB2MNO	IO		LVD52M_6p	Yes		H16	DQ9	DQ4	DQ2	DQ1
2M		35	VREFB2MNO	IO		LVD52M_7n	No		C19	DQ10	DQ5	DQ2	DQ1
2M		34	VREFB2MNO	IO		LVD52M_7p	No		C20	DQ10	DQ5	DQ2	DQ1
2M		33	VREFB2MNO	IO		LVD52M_8n	Yes		A14	DQ5n10	DQ5	DQ5n2/CQn2	DQ1
2M		32	VREFB2MNO	IO		LVD52M_8p	Yes		A15	DQ510	DQ5	DQ52/CQ2	DQ1
2M		31	VREFB2MNO	IO		LVD52M_9n	No		D19	DQ10	DQ5	DQ2	DQ1
2M		30	VREFB2MNO	IO		LVD52M_9p	No		E19	DQ10	DQ5	DQ2	DQ1
2M		29	VREFB2MNO	IO	PLL_2M_CLKOUT1n	LVD52M_10n	Yes		D16	DQ5n11	DQ5n5/CQn5	DQ2	DQ1
2M		28	VREFB2MNO	IO	PLL_2M_CLKOUT1p,PLL_2M_CLKOUT1,PLL_2M_FB1	LVD52M_10p	Yes		C16	DQ511	DQ55/CQ5	DQ2	DQ1
2M		27	VREFB2MNO	IO		LVD52M_11n	No		G18	DQ11	DQ5	DQ2	DQ1
2M		26	VREFB2MNO	IO	RZQ_2M	LVD52M_11p	No		F19	DQ11	DQ5	DQ2	DQ1
2M		25	VREFB2MNO	IO	CLK_2M_1n	LVD52M_12n	Yes		J18	DQ11	DQ5	DQ2	DQ1
2M		24	VREFB2MNO	IO	CLK_2M_1p	LVD52M_12p	Yes		H18	DQ11	DQ5	DQ2	DQ1
2M		23	VREFB2MNO	IO	CLK_2M_0n	LVD52M_13n	No		H19	DQ12	DQ6	DQ3	DQ1
2M		22	VREFB2MNO	IO	CLK_2M_0p	LVD52M_13p	No		J19	DQ12	DQ6	DQ3	DQ1
2M		21	VREFB2MNO	IO		LVD52M_14n	Yes		E16	DQ5n12	DQ6	DQ3	DQ5n1/CQn1
2M		20	VREFB2MNO	IO		LVD52M_14p	Yes		F17	DQ512	DQ6	DQ3	DQ51/CQ1
2M		19	VREFB2MNO	IO	PLL_2M_CLKOUT0n	LVD52M_15n	No		A22	DQ12	DQ6	DQ3	DQ1
2M		18	VREFB2MNO	IO	PLL_2M_CLKOUT0p,PLL_2M_CLKOUT0,PLL_2M_FB0	LVD52M_15p	No		B22	DQ12	DQ6	DQ3	DQ1
2M		17	VREFB2MNO	IO		LVD52M_16n	Yes		D17	DQ5n13	DQ5n6/CQn6	DQ3	DQ1
2M		16	VREFB2MNO	IO		LVD52M_16p	Yes		E17	DQ513	DQ56/CQ6	DQ3	DQ1
2M		15	VREFB2MNO	IO		LVD52M_17n	No		B21	DQ13	DQ6	DQ3	DQ1
2M		14	VREFB2MNO	IO		LVD52M_17p	No		C21	DQ13	DQ6	DQ3	DQ1
2M		13	VREFB2MNO	IO		LVD52M_18n	Yes		A17	DQ13	DQ6	DQ3	DQ1
2M		12	VREFB2MNO	IO		LVD52M_18p	Yes		B16	DQ13	DQ6	DQ3	DQ1
2M		11	VREFB2MNO	IO		LVD52M_19n	No		D21	DQ14	DQ7	DQ3	DQ1
2M		10	VREFB2MNO	IO		LVD52M_19p	No		E21	DQ14	DQ7	DQ3	DQ1
2M		9	VREFB2MNO	IO		LVD52M_20n	Yes		B17	DQ5n14	DQ7	DQ5n3/CQn3	DQ1
2M		8	VREFB2MNO	IO		LVD52M_20p	Yes		A18	DQ514	DQ7	DQ53/CQ3	DQ1
2M		7	VREFB2MNO	IO		LVD52M_21n	No		E20	DQ14	DQ7	DQ3	DQ1
2M		6	VREFB2MNO	IO		LVD52M_21p	No		F20	DQ14	DQ7	DQ3	DQ1
2M		5	VREFB2MNO	IO		LVD52M_22n	Yes		B18	DQ5n15	DQ5n7/CQn7	DQ3	DQ1
2M		4	VREFB2MNO	IO		LVD52M_22p	Yes		A19	DQ515	DQ57/CQ7	DQ3	DQ1
2M		3	VREFB2MNO	IO		LVD52M_23n	No		H20	DQ15	DQ7	DQ3	DQ1
2M		2	VREFB2MNO	IO		LVD52M_23p	No		G20	DQ15	DQ7	DQ3	DQ1
2M		1	VREFB2MNO	IO		LVD52M_24n	Yes		G21	DQ15	DQ7	DQ3	DQ1
2M		0	VREFB2MNO	IO		LVD52M_24p	Yes		H21	DQ15	DQ7	DQ3	DQ1
2L		47	VREFB2LNO	IO		LVD52L_1n	No		A23	DQ16	DQ8	DQ4	DQ2
2L		46	VREFB2LNO	IO		LVD52L_1p	No		B23	DQ16	DQ8	DQ4	DQ2
2L		45	VREFB2LNO	IO		LVD52L_2n	Yes		H23	DQ5n16	DQ8	DQ4	DQ2
2L		44	VREFB2LNO	IO		LVD52L_2p	Yes		H24	DQ516	DQ8	DQ4	DQ2
2L		43	VREFB2LNO	IO		LVD52L_3n	No		D22	DQ16	DQ8	DQ4	DQ2
2L		42	VREFB2LNO	IO		LVD52L_3p	No		E22	DQ16	DQ8	DQ4	DQ2
2L		41	VREFB2LNO	IO		LVD52L_4n	Yes		K21	DQ5n17	DQ5n8/CQn8	DQ4	DQ2
2L		40	VREFB2LNO	IO		LVD52L_4p	Yes		J21	DQ517	DQ58/CQ8	DQ4	DQ2
2L		39	VREFB2LNO	IO		LVD52L_5n	No		D23	DQ17	DQ8	DQ4	DQ2
2L		38	VREFB2LNO	IO		LVD52L_5p	No		C23	DQ17	DQ8	DQ4	DQ2
2L		37	VREFB2LNO	IO		LVD52L_6n	Yes		J23	DQ17	DQ8	DQ4	DQ2
2L		36	VREFB2LNO	IO		LVD52L_6p	Yes		J22	DQ17	DQ8	DQ4	DQ2
2L		35	VREFB2LNO	IO		LVD52L_7n	No		F22	DQ18	DQ9	DQ4	DQ2
2L		34	VREFB2LNO	IO		LVD52L_7p	No		G22	DQ18	DQ9	DQ4	DQ2
2L		33	VREFB2LNO	IO		LVD52L_8n	Yes		A27	DQ5n18	DQ9	DQ5n4/CQn4	DQ2
2L		32	VREFB2LNO	IO		LVD52L_8p	Yes		B27	DQ518	DQ9	DQ54/CQ4	DQ2
2L		31	VREFB2LNO	IO		LVD52L_9n	No		A24	DQ18	DQ9	DQ4	DQ2
2L		30	VREFB2LNO	IO		LVD52L_9p	No		B25	DQ18	DQ9	DQ4	DQ2
2L		29	VREFB2LNO	IO	PLL_2L_CLKOUT1n	LVD52L_10n	Yes		L22	DQ5n19	DQ5n9/CQn9	DQ4	DQ2
2L		28	VREFB2LNO	IO	PLL_2L_CLKOUT1p,PLL_2L_CLKOUT1,PLL_2L_FB1	LVD52L_10p	Yes		K22	DQ519	DQ59/CQ9	DQ4	DQ2
2L		27	VREFB2LNO	IO		LVD52L_11n	No		D24	DQ19	DQ9	DQ4	DQ2

Bank Number	Index within I/O Bank	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	GT support	HF35	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36	
2L		26	VREFB2LNO	IO		RZQ_2L				E24	DQ19	DQ9	DQ4	DQ2
2L		25	VREFB2LNO	IO		CLK_2L_1n				J24	DQ19	DQ9	DQ4	DQ2
2L		24	VREFB2LNO	IO		CLK_2L_1p				K24	DQ19	DQ9	DQ4	DQ2
2L		23	VREFB2LNO	IO		CLK_2L_0n				F23	DQ20	DQ10	DQ5	DQ2
2L		22	VREFB2LNO	IO		CLK_2L_0p				G23	DQ20	DQ10	DQ5	DQ2
2L		21	VREFB2LNO	IO						H26	DQSn20	DQ10	DQ5	DQSn2/CQn2
2L		20	VREFB2LNO	IO						H25	DQSn20	DQ10	DQ5	DQSn2/CQ2
2L		19	VREFB2LNO	IO		PLL_2L_CLKOUT0n				C24	DQ20	DQ10	DQ5	DQ2
2L		18	VREFB2LNO	IO		PLL_2L_CLKOUT0p,PLL_2L_CLKOUT0,PLL_2L_FB0				C25	DQ20	DQ10	DQ5	DQ2
2L		17	VREFB2LNO	IO						D27	DQSn21	DQSn10/CQn10	DQ5	DQ2
2L		16	VREFB2LNO	IO						E26	DQSn21	DQSn10/CQ10	DQ5	DQ2
2L		15	VREFB2LNO	IO						A25	DQ21	DQ10	DQ5	DQ2
2L		14	VREFB2LNO	IO						B26	DQ21	DQ10	DQ5	DQ2
2L		13	VREFB2LNO	IO						M23	DQ21	DQ10	DQ5	DQ2
2L		12	VREFB2LNO	IO						M22	DQ21	DQ10	DQ5	DQ2
2L		11	VREFB2LNO	IO						C26	DQ22	DQ11	DQ5	DQ2
2L		10	VREFB2LNO	IO						D26	DQ22	DQ11	DQ5	DQ2
2L		9	VREFB2LNO	IO						L23	DQSn22	DQ11	DQSn5/CQn5	DQ2
2L		8	VREFB2LNO	IO						L24	DQSn22	DQ11	DQSn5/CQ5	DQ2
2L		7	VREFB2LNO	IO						E25	DQ22	DQ11	DQ5	DQ2
2L		6	VREFB2LNO	IO						F25	DQ22	DQ11	DQ5	DQ2
2L		5	VREFB2LNO	IO						G26	DQSn23	DQSn11/CQn11	DQ5	DQ2
2L		4	VREFB2LNO	IO						G27	DQSn23	DQSn11/CQ11	DQ5	DQ2
2L		3	VREFB2LNO	IO						F24	DQ23	DQ11	DQ5	DQ2
2L		2	VREFB2LNO	IO						G25	DQ23	DQ11	DQ5	DQ2
2L		1	VREFB2LNO	IO						F27	DQ23	DQ11	DQ5	DQ2
2L		0	VREFB2LNO	IO						E27	DQ23	DQ11	DQ5	DQ2
2K		47	VREFB2KNO	IO						AJ24	DQ24	DQ12	DQ6	DQ3
2K		46	VREFB2KNO	IO						AH24	DQ24	DQ12	DQ6	DQ3
2K		45	VREFB2KNO	IO						AG25	DQSn24	DQ12	DQ6	DQ3
2K		44	VREFB2KNO	IO						AH25	DQSn24	DQ12	DQ6	DQ3
2K		43	VREFB2KNO	IO						AJ23	DQ24	DQ12	DQ6	DQ3
2K		42	VREFB2KNO	IO						AH23	DQ24	DQ12	DQ6	DQ3
2K		41	VREFB2KNO	IO						AF25	DQSn25	DQSn12/CQn12	DQ6	DQ3
2K		40	VREFB2KNO	IO						AF24	DQSn25	DQSn12/CQ12	DQ6	DQ3
2K		39	VREFB2KNO	IO						AF23	DQ25	DQ12	DQ6	DQ3
2K		38	VREFB2KNO	IO						AG23	DQ25	DQ12	DQ6	DQ3
2K		37	VREFB2KNO	IO						AD24	DQ25	DQ12	DQ6	DQ3
2K		36	VREFB2KNO	IO						AE24	DQ25	DQ12	DQ6	DQ3
2K		35	VREFB2KNO	IO						AK25	DQ26	DQ13	DQ6	DQ3
2K		34	VREFB2KNO	IO						AL25	DQ26	DQ13	DQ6	DQ3
2K		33	VREFB2KNO	IO						AN24	DQSn26	DQ13	DQSn6/CQn6	DQ3
2K		32	VREFB2KNO	IO						AP24	DQSn26	DQ13	DQSn6/CQ6	DQ3
2K		31	VREFB2KNO	IO						AK24	DQ26	DQ13	DQ6	DQ3
2K		30	VREFB2KNO	IO						AL24	DQ26	DQ13	DQ6	DQ3
2K		29	VREFB2KNO	IO		PLL_2K_CLKOUT1n				AM23	DQSn27	DQSn13/CQn13	DQ6	DQ3
2K		28	VREFB2KNO	IO		PLL_2K_CLKOUT1p,PLL_2K_CLKOUT1,PLL_2K_FB1				AL23	DQSn27	DQSn13/CQ13	DQ6	DQ3
2K		27	VREFB2KNO	IO						AM22	DQ27	DQ13	DQ6	DQ3
2K		26	VREFB2KNO	IO						AL22	DQ27	DQ13	DQ6	DQ3
2K		25	VREFB2KNO	IO		RZQ_2K				AN23	DQ27	DQ13	DQ6	DQ3
2K		24	VREFB2KNO	IO		CLK_2K_1n				AP23	DQ27	DQ13	DQ6	DQ3
2K		23	VREFB2KNO	IO		CLK_2K_1p				AG22	DQ28	DQ14	DQ7	DQ3
2K		22	VREFB2KNO	IO		CLK_2K_0n				AG21	DQ28	DQ14	DQ7	DQ3
2K		21	VREFB2KNO	IO		CLK_2K_0p				AD23	DQSn28	DQ14	DQ7	DQSn3/CQn3
2K		20	VREFB2KNO	IO						AD22	DQSn28	DQ14	DQ7	DQSn3/CQ3
2K		19	VREFB2KNO	IO						AH20	DQ28	DQ14	DQ7	DQ3
2K		18	VREFB2KNO	IO		PLL_2K_CLKOUT0n				AG20	DQ28	DQ14	DQ7	DQ3
2K		17	VREFB2KNO	IO		PLL_2K_CLKOUT0p,PLL_2K_CLKOUT0,PLL_2K_FB0				AE22	DQSn29	DQSn14/CQn14	DQ7	DQ3
2K		16	VREFB2KNO	IO						AF22	DQSn29	DQSn14/CQ14	DQ7	DQ3
2K		15	VREFB2KNO	IO						AF20	DQ29	DQ14	DQ7	DQ3
2K		14	VREFB2KNO	IO						AE20	DQ29	DQ14	DQ7	DQ3
2K		13	VREFB2KNO	IO						AD21	DQ29	DQ14	DQ7	DQ3
2K		12	VREFB2KNO	IO						AE21	DQ29	DQ14	DQ7	DQ3
2K		11	VREFB2KNO	IO						AP22	DQ30	DQ15	DQ7	DQ3
2K		10	VREFB2KNO	IO						AP21	DQ30	DQ15	DQ7	DQ3
2K		9	VREFB2KNO	IO						AJ22	DQSn30	DQ15	DQSn7/CQn7	DQ3
2K		8	VREFB2KNO	IO						AK22	DQSn30	DQ15	DQSn7/CQ7	DQ3
2K		7	VREFB2KNO	IO						AM21	DQ30	DQ15	DQ7	DQ3
2K		6	VREFB2KNO	IO						AN21	DQ30	DQ15	DQ7	DQ3
2K		5	VREFB2KNO	IO						AJ21	DQSn31	DQSn15/CQn15	DQ7	DQ3
2K		4	VREFB2KNO	IO						AH21	DQSn31	DQSn15/CQ15	DQ7	DQ3
2K		3	VREFB2KNO	IO						AM20	DQ31	DQ15	DQ7	DQ3
2K		2	VREFB2KNO	IO						AL20	DQ31	DQ15	DQ7	DQ3
2K		1	VREFB2KNO	IO						AK21	DQ31	DQ15	DQ7	DQ3
2K		0	VREFB2KNO	IO						AK20	DQ31	DQ15	DQ7	DQ3
3D		47	VREFB3DNO	IO						M5	DQ32	DQ16	DQ8	DQ4
3D		46	VREFB3DNO	IO						M6	DQ32	DQ16	DQ8	DQ4
3D		45	VREFB3DNO	IO						L8	DQSn32	DQ16	DQ8	DQ4
3D		44	VREFB3DNO	IO						K7	DQSn32	DQ16	DQ8	DQ4

Bank Number	Index within I/O Bank	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	GT support	HF35	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
3D		43	VREFB3DNO	IO		LVD53D_3n	No		M3	DQ32	DQ16	DQ8	DQ4
3D		42	VREFB3DNO	IO		LVD53D_3p	No		N3	DQ32	DQ16	DQ8	DQ4
3D		41	VREFB3DNO	IO		LVD53D_4n	Yes		L7	DQSn33	DQSn16/CQn16	DQ8	DQ4
3D		40	VREFB3DNO	IO		LVD53D_4p	Yes		M7	DQ533	DQ516/CQ16	DQ8	DQ4
3D		39	VREFB3DNO	IO		LVD53D_5n	No		N1	DQ33	DQ16	DQ8	DQ4
3D		38	VREFB3DNO	IO		LVD53D_5p	No		M1	DQ33	DQ16	DQ8	DQ4
3D		37	VREFB3DNO	IO		LVD53D_6n	Yes		H5	DQ33	DQ16	DQ8	DQ4
3D		36	VREFB3DNO	IO		LVD53D_6p	Yes		G5	DQ33	DQ16	DQ8	DQ4
3D		35	VREFB3DNO	IO		LVD53D_7n	No		N5	DQ34	DQ17	DQ8	DQ4
3D		34	VREFB3DNO	IO		LVD53D_7p	No		N4	DQ34	DQ17	DQ8	DQ4
3D		33	VREFB3DNO	IO		LVD53D_8n	Yes		J6	DQSn34	DQ17	DQSn8/CQn8	DQ4
3D		32	VREFB3DNO	IO		LVD53D_8p	Yes		K5	DQ534	DQ17	DQ58/CQ8	DQ4
3D		31	VREFB3DNO	IO		LVD53D_9n	No		P1	DQ34	DQ17	DQ8	DQ4
3D		30	VREFB3DNO	IO		LVD53D_9p	No		P2	DQ34	DQ17	DQ8	DQ4
3D		29	VREFB3DNO	IO	PLL_3D_CLKOUT1n	LVD53D_10n	Yes		K6	DQSn35	DQSn17/CQn17	DQ8	DQ4
3D		28	VREFB3DNO	IO	PLL_3D_CLKOUT1p,PLL_3D_CLKOUT1,PLL_3D_FB1	LVD53D_10p	Yes		L5	DQ535	DQ517/CQ17	DQ8	DQ4
3D		27	VREFB3DNO	IO		LVD53D_11n	No		P3	DQ35	DQ17	DQ8	DQ4
3D		26	VREFB3DNO	IO	RZQ_3D	LVD53D_11p	No		P4	DQ35	DQ17	DQ8	DQ4
3D		25	VREFB3DNO	IO	CLK_3D_1n	LVD53D_12n	Yes		H4	DQ35	DQ17	DQ8	DQ4
3D		24	VREFB3DNO	IO	CLK_3D_1p	LVD53D_12p	Yes		H3	DQ35	DQ17	DQ8	DQ4
3D		23	VREFB3DNO	IO	CLK_3D_0n	LVD53D_13n	No		R1	DQ36	DQ18	DQ9	DQ4
3D		22	VREFB3DNO	IO	CLK_3D_0p	LVD53D_13p	No		R2	DQ36	DQ18	DQ9	DQ4
3D		21	VREFB3DNO	IO		LVD53D_14n	Yes		K4	DQSn36	DQ18	DQ9	DQSn4/CQn4
3D		20	VREFB3DNO	IO		LVD53D_14p	Yes		J4	DQ536	DQ18	DQ9	DQ54/CQ4
3D		19	VREFB3DNO	IO	PLL_3D_CLKOUT0n	LVD53D_15n	No		R4	DQ36	DQ18	DQ9	DQ4
3D		18	VREFB3DNO	IO	PLL_3D_CLKOUT0p,PLL_3D_CLKOUT0,PLL_3D_FB0	LVD53D_15p	No		R5	DQ36	DQ18	DQ9	DQ4
3D		17	VREFB3DNO	IO		LVD53D_16n	Yes		J1	DQSn37	DQSn18/CQn18	DQ9	DQ4
3D		16	VREFB3DNO	IO		LVD53D_16p	Yes		H1	DQ537	DQ518/CQ18	DQ9	DQ4
3D		15	VREFB3DNO	IO		LVD53D_17n	No		T2	DQ37	DQ18	DQ9	DQ4
3D		14	VREFB3DNO	IO		LVD53D_17p	No		T3	DQ37	DQ18	DQ9	DQ4
3D		13	VREFB3DNO	IO		LVD53D_18n	Yes		L3	DQ37	DQ18	DQ9	DQ4
3D		12	VREFB3DNO	IO		LVD53D_18p	Yes		L4	DQ37	DQ18	DQ9	DQ4
3D		11	VREFB3DNO	IO		LVD53D_19n	No		T4	DQ38	DQ19	DQ9	DQ4
3D		10	VREFB3DNO	IO		LVD53D_19p	No		T5	DQ38	DQ19	DQ9	DQ4
3D		9	VREFB3DNO	IO		LVD53D_20n	Yes		J3	DQSn38	DQ19	DQSn9/CQn9	DQ4
3D		8	VREFB3DNO	IO		LVD53D_20p	Yes		J2	DQ538	DQ19	DQ59/CQ9	DQ4
3D		7	VREFB3DNO	IO		LVD53D_21n	No		U1	DQ38	DQ19	DQ9	DQ4
3D		6	VREFB3DNO	IO		LVD53D_21p	No		U2	DQ38	DQ19	DQ9	DQ4
3D		5	VREFB3DNO	IO		LVD53D_22n	Yes		L2	DQSn39	DQSn19/CQn19	DQ9	DQ4
3D		4	VREFB3DNO	IO		LVD53D_22p	Yes		M2	DQ539	DQ519/CQ19	DQ9	DQ4
3D		3	VREFB3DNO	IO		LVD53D_23n	No		V1	DQ39	DQ19	DQ9	DQ4
3D		2	VREFB3DNO	IO		LVD53D_23p	No		W1	DQ39	DQ19	DQ9	DQ4
3D		1	VREFB3DNO	IO		LVD53D_24n	Yes		K2	DQ39	DQ19	DQ9	DQ4
3D		0	VREFB3DNO	IO		LVD53D_24p	Yes		K1	DQ39	DQ19	DQ9	DQ4
3C		47	VREFB3CNO	IO		LVD53C_1n	No		W2	DQ40	DQ20	DQ10	DQ5
3C		46	VREFB3CNO	IO		LVD53C_1p	No		Y1	DQ40	DQ20	DQ10	DQ5
3C		45	VREFB3CNO	IO		LVD53C_2n	Yes		U3	DQSn40	DQ20	DQ10	DQ5
3C		44	VREFB3CNO	IO		LVD53C_2p	Yes		V3	DQ540	DQ20	DQ10	DQ5
3C		43	VREFB3CNO	IO		LVD53C_3n	No		AB1	DQ40	DQ20	DQ10	DQ5
3C		42	VREFB3CNO	IO		LVD53C_3p	No		AB2	DQ40	DQ20	DQ10	DQ5
3C		41	VREFB3CNO	IO		LVD53C_4n	Yes		W3	DQSn41	DQSn20/CQn20	DQ10	DQ5
3C		40	VREFB3CNO	IO		LVD53C_4p	Yes		W4	DQ541	DQ520/CQ20	DQ10	DQ5
3C		39	VREFB3CNO	IO		LVD53C_5n	No		AA2	DQ41	DQ20	DQ10	DQ5
3C		38	VREFB3CNO	IO		LVD53C_5p	No		Y2	DQ41	DQ20	DQ10	DQ5
3C		37	VREFB3CNO	IO		LVD53C_6n	Yes		U5	DQ41	DQ20	DQ10	DQ5
3C		36	VREFB3CNO	IO		LVD53C_6p	Yes		V4	DQ41	DQ20	DQ10	DQ5
3C		35	VREFB3CNO	IO		LVD53C_7n	No		AF2	DQ42	DQ21	DQ10	DQ5
3C		34	VREFB3CNO	IO		LVD53C_7p	No		AG2	DQ42	DQ21	DQ10	DQ5
3C		33	VREFB3CNO	IO		LVD53C_8n	Yes		AC1	DQSn42	DQ21	DQSn10/CQn10	DQ5
3C		32	VREFB3CNO	IO		LVD53C_8p	Yes		AD1	DQ542	DQ21	DQ510/CQ10	DQ5
3C		31	VREFB3CNO	IO		LVD53C_9n	No		AG1	DQ42	DQ21	DQ10	DQ5
3C		30	VREFB3CNO	IO		LVD53C_9p	No		AH1	DQ42	DQ21	DQ10	DQ5
3C		29	VREFB3CNO	IO	PLL_3C_CLKOUT1n	LVD53C_10n	Yes		AD2	DQSn43	DQSn21/CQn21	DQ10	DQ5
3C		28	VREFB3CNO	IO	PLL_3C_CLKOUT1p,PLL_3C_CLKOUT1,PLL_3C_FB1	LVD53C_10p	Yes		AD3	DQ543	DQ521/CQ21	DQ10	DQ5
3C		27	VREFB3CNO	IO		LVD53C_11n	No		AJ1	DQ43	DQ21	DQ10	DQ5
3C		26	VREFB3CNO	IO	RZQ_3C	LVD53C_11p	No		AK1	DQ43	DQ21	DQ10	DQ5
3C		25	VREFB3CNO	IO	CLK_3C_1n	LVD53C_12n	Yes		AE1	DQ43	DQ21	DQ10	DQ5
3C		24	VREFB3CNO	IO	CLK_3C_1p	LVD53C_12p	Yes		AE2	DQ43	DQ21	DQ10	DQ5
3C		23	VREFB3CNO	IO	CLK_3C_0n	LVD53C_13n	No		AJ2	DQ44	DQ22	DQ11	DQ5
3C		22	VREFB3CNO	IO	CLK_3C_0p	LVD53C_13p	No		AJ3	DQ44	DQ22	DQ11	DQ5
3C		21	VREFB3CNO	IO		LVD53C_14n	Yes		AF4	DQSn44	DQ22	DQ11	DQSn5/CQn5
3C		20	VREFB3CNO	IO		LVD53C_14p	Yes		AF3	DQ544	DQ22	DQ11	DQ55/CQ5
3C		19	VREFB3CNO	IO	PLL_3C_CLKOUT0n	LVD53C_15n	No		AK2	DQ44	DQ22	DQ11	DQ5
3C		18	VREFB3CNO	IO	PLL_3C_CLKOUT0p,PLL_3C_CLKOUT0,PLL_3C_FB0	LVD53C_15p	No		AL2	DQ44	DQ22	DQ11	DQ5
3C		17	VREFB3CNO	IO		LVD53C_16n	Yes		AH3	DQSn45	DQSn22/CQn22	DQ11	DQ5
3C		16	VREFB3CNO	IO		LVD53C_16p	Yes		AG3	DQ545	DQ522/CQ22	DQ11	DQ5
3C		15	VREFB3CNO	IO		LVD53C_17n	No		AM1	DQ45	DQ22	DQ11	DQ5
3C		14	VREFB3CNO	IO		LVD53C_17p	No		AM2	DQ45	DQ22	DQ11	DQ5
3C		13	VREFB3CNO	IO		LVD53C_18n	Yes		AE5	DQ45	DQ22	DQ11	DQ5

Bank Number	Index within I/O Bank	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	GT support	HF35	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
3C	12	VREFB3CNO	IO			LVDS3C_18p	Yes		A4	DQ45	DQ22	DQ11	DQ5
3C	11	VREFB3CNO	IO			LVDS3C_19n	No		V5	DQ46	DQ23	DQ11	DQ5
3C	10	VREFB3CNO	IO			LVDS3C_19p	No		AA5	DQ46	DQ23	DQ11	DQ5
3C	9	VREFB3CNO	IO			LVDS3C_20n	Yes		Y4	DQ5n46	DQ23	DQ5n11/CQn11	DQ5
3C	8	VREFB3CNO	IO			LVDS3C_20p	Yes		AA4	DQ546	DQ23	DQ511/CQ11	DQ5
3C	7	VREFB3CNO	IO			LVDS3C_21n	No		AB5	DQ46	DQ23	DQ11	DQ5
3C	6	VREFB3CNO	IO			LVDS3C_21p	No		AC4	DQ46	DQ23	DQ11	DQ5
3C	5	VREFB3CNO	IO			LVDS3C_22n	Yes		AA3	DQ5n47	DQ5n23/CQn23	DQ11	DQ5
3C	4	VREFB3CNO	IO			LVDS3C_22p	Yes		AB3	DQ547	DQ523/CQ23	DQ11	DQ5
3C	3	VREFB3CNO	IO			LVDS3C_23n	No		AC5	DQ47	DQ23	DQ11	DQ5
3C	2	VREFB3CNO	IO			LVDS3C_23p	No		AB6	DQ47	DQ23	DQ11	DQ5
3C	1	VREFB3CNO	IO			LVDS3C_24n	Yes		AC3	DQ47	DQ23	DQ11	DQ5
3C	0	VREFB3CNO	IO			LVDS3C_24p	Yes		AD4	DQ47	DQ23	DQ11	DQ5
3B	47	VREFB3BNO	IO			LVDS3B_1n	No		AF5	DQ48	DQ24	DQ12	DQ6
3B	46	VREFB3BNO	IO			LVDS3B_1p	No		AG5	DQ48	DQ24	DQ12	DQ6
3B	45	VREFB3BNO	IO			LVDS3B_2n	Yes		AJ4	DQ5n48	DQ24	DQ12	DQ6
3B	44	VREFB3BNO	IO			LVDS3B_2p	Yes		AK4	DQ548	DQ24	DQ12	DQ6
3B	43	VREFB3BNO	IO			LVDS3B_3n	No		AH4	DQ48	DQ24	DQ12	DQ6
3B	42	VREFB3BNO	IO			LVDS3B_3p	No		AH5	DQ48	DQ24	DQ12	DQ6
3B	41	VREFB3BNO	IO			LVDS3B_4n	Yes		AK6	DQ5n49	DQ5n24/CQn24	DQ12	DQ6
3B	40	VREFB3BNO	IO			LVDS3B_4p	Yes		AJ6	DQ549	DQ524/CQ24	DQ12	DQ6
3B	39	VREFB3BNO	IO			LVDS3B_5n	No		AE6	DQ49	DQ24	DQ12	DQ6
3B	38	VREFB3BNO	IO			LVDS3B_5p	No		AD6	DQ49	DQ24	DQ12	DQ6
3B	37	VREFB3BNO	IO			LVDS3B_6n	Yes		AG6	DQ49	DQ24	DQ12	DQ6
3B	36	VREFB3BNO	IO			LVDS3B_6p	Yes		AH6	DQ49	DQ24	DQ12	DQ6
3B	35	VREFB3BNO	IO			LVDS3B_7n	No		AL3	DQ50	DQ25	DQ12	DQ6
3B	34	VREFB3BNO	IO			LVDS3B_7p	No		AM3	DQ50	DQ25	DQ12	DQ6
3B	33	VREFB3BNO	IO			LVDS3B_8n	Yes		AK5	DQ5n50	DQ25	DQ5n12/CQn12	DQ6
3B	32	VREFB3BNO	IO			LVDS3B_8p	Yes		AL4	DQ550	DQ25	DQ512/CQ12	DQ6
3B	31	VREFB3BNO	IO			LVDS3B_9n	No		AN3	DQ50	DQ25	DQ12	DQ6
3B	30	VREFB3BNO	IO			LVDS3B_9p	No		AP3	DQ50	DQ25	DQ12	DQ6
3B	29	VREFB3BNO	IO		PLL_3B_CLKOUT1n	LVDS3B_10n	Yes		AL5	DQ5n51	DQ5n25/CQn25	DQ12	DQ6
3B	28	VREFB3BNO	IO		PLL_3B_CLKOUT1p,PLL_3B_CLKOUT1,PLL_3B_F81	LVDS3B_10p	Yes		AM5	DQ551	DQ525/CQ25	DQ12	DQ6
3B	27	VREFB3BNO	IO			LVDS3B_11n	No		AN5	DQ51	DQ25	DQ12	DQ6
3B	26	VREFB3BNO	IO		RZQ_3B	LVDS3B_11p	No		AP6	DQ51	DQ25	DQ12	DQ6
3B	25	VREFB3BNO	IO		CLK_3B_1n	LVDS3B_12n	Yes		AN4	DQ51	DQ25	DQ12	DQ6
3B	24	VREFB3BNO	IO		CLK_3B_1p	LVDS3B_12p	Yes		AP4	DQ51	DQ25	DQ12	DQ6
3B	23	VREFB3BNO	IO		CLK_3B_0n	LVDS3B_13n	No		AL7	DQ52	DQ26	DQ13	DQ6
3B	22	VREFB3BNO	IO		CLK_3B_0p	LVDS3B_13p	No		AM6	DQ52	DQ26	DQ13	DQ6
3B	21	VREFB3BNO	IO			LVDS3B_14n	Yes		AP7	DQ5n52	DQ26	DQ13	DQ5n6/CQn6
3B	20	VREFB3BNO	IO			LVDS3B_14p	Yes		AN6	DQ552	DQ26	DQ13	DQ56/CQ6
3B	19	VREFB3BNO	IO		PLL_3B_CLKOUT0n	LVDS3B_15n	No		AP9	DQ52	DQ26	DQ13	DQ6
3B	18	VREFB3BNO	IO		PLL_3B_CLKOUT0p,PLL_3B_CLKOUT0,PLL_3B_F80	LVDS3B_15p	No		AN9	DQ52	DQ26	DQ13	DQ6
3B	17	VREFB3BNO	IO			LVDS3B_16n	Yes		AL8	DQ5n53	DQ5n26/CQn26	DQ13	DQ6
3B	16	VREFB3BNO	IO			LVDS3B_16p	Yes		AM7	DQ553	DQ526/CQ26	DQ13	DQ6
3B	15	VREFB3BNO	IO			LVDS3B_17n	No		AM8	DQ53	DQ26	DQ13	DQ6
3B	14	VREFB3BNO	IO			LVDS3B_17p	No		AL9	DQ53	DQ26	DQ13	DQ6
3B	13	VREFB3BNO	IO			LVDS3B_18n	Yes		AN8	DQ53	DQ26	DQ13	DQ6
3B	12	VREFB3BNO	IO			LVDS3B_18p	Yes		AP8	DQ53	DQ26	DQ13	DQ6
3B	11	VREFB3BNO	IO			LVDS3B_19n	No		AJ7	DQ54	DQ27	DQ13	DQ6
3B	10	VREFB3BNO	IO			LVDS3B_19p	No		AK7	DQ54	DQ27	DQ13	DQ6
3B	9	VREFB3BNO	IO			LVDS3B_20n	Yes		AD7	DQ5n54	DQ27	DQ5n13/CQn13	DQ6
3B	8	VREFB3BNO	IO			LVDS3B_20p	Yes		AE7	DQ554	DQ27	DQ513/CQ13	DQ6
3B	7	VREFB3BNO	IO			LVDS3B_21n	No		AJ8	DQ54	DQ27	DQ13	DQ6
3B	6	VREFB3BNO	IO			LVDS3B_21p	No		AH8	DQ54	DQ27	DQ13	DQ6
3B	5	VREFB3BNO	IO			LVDS3B_22n	Yes		AF7	DQ5n55	DQ5n27/CQn27	DQ13	DQ6
3B	4	VREFB3BNO	IO			LVDS3B_22p	Yes		AG7	DQ555	DQ527/CQ27	DQ13	DQ6
3B	3	VREFB3BNO	IO			LVDS3B_23n	No		AD8	DQ55	DQ27	DQ13	DQ6
3B	2	VREFB3BNO	IO			LVDS3B_23p	No		AD9	DQ55	DQ27	DQ13	DQ6
3B	1	VREFB3BNO	IO			LVDS3B_24n	Yes		AG8	DQ55	DQ27	DQ13	DQ6
3B	0	VREFB3BNO	IO			LVDS3B_24p	Yes		AF8	DQ55	DQ27	DQ13	DQ6
3A	47	VREFB3ANO	IO		AVST_DATA0	LVDS3A_1n	No		AK9	DQ56	DQ28	DQ14	DQ7
3A	46	VREFB3ANO	IO		AVST_DATA1	LVDS3A_1p	No		AK10	DQ56	DQ28	DQ14	DQ7
3A	45	VREFB3ANO	IO		AVST_DATA2	LVDS3A_2n	Yes		AH9	DQ5n56	DQ28	DQ14	DQ7
3A	44	VREFB3ANO	IO		AVST_DATA3	LVDS3A_2p	Yes		AJ9	DQ556	DQ28	DQ14	DQ7
3A	43	VREFB3ANO	IO		AVST_DATA4	LVDS3A_3n	No		AL10	DQ56	DQ28	DQ14	DQ7
3A	42	VREFB3ANO	IO		AVST_DATA5	LVDS3A_3p	No		AM10	DQ56	DQ28	DQ14	DQ7
3A	41	VREFB3ANO	IO		AVST_DATA6	LVDS3A_4n	Yes		AK11	DQ5n57	DQ5n28/CQn28	DQ14	DQ7
3A	40	VREFB3ANO	IO		AVST_DATA7	LVDS3A_4p	Yes		AJ11	DQ557	DQ528/CQ28	DQ14	DQ7
3A	39	VREFB3ANO	IO		AVST_DATA8	LVDS3A_5n	No		AP11	DQ57	DQ28	DQ14	DQ7
3A	38	VREFB3ANO	IO		AVST_DATA9	LVDS3A_5p	No		AN10	DQ57	DQ28	DQ14	DQ7
3A	37	VREFB3ANO	IO		AVST_DATA10	LVDS3A_6n	Yes		AJ12	DQ57	DQ28	DQ14	DQ7
3A	36	VREFB3ANO	IO		AVST_DATA11	LVDS3A_6p	Yes		AK12	DQ57	DQ28	DQ14	DQ7
3A	35	VREFB3ANO	IO		AVST_DATA12	LVDS3A_7n	No		AG10	DQ58	DQ29	DQ14	DQ7
3A	34	VREFB3ANO	IO		AVST_DATA13	LVDS3A_7p	No		AH10	DQ58	DQ29	DQ14	DQ7
3A	33	VREFB3ANO	IO		AVST_DATA14	LVDS3A_8n	Yes		AE9	DQ5n58	DQ29	DQ5n14/CQn14	DQ7
3A	32	VREFB3ANO	IO		AVST_DATA15	LVDS3A_8p	Yes		AF9	DQ558	DQ29	DQ514/CQ14	DQ7
3A	31	VREFB3ANO	IO		AVST_DATA16	LVDS3A_9n	No		AH11	DQ58	DQ29	DQ14	DQ7
3A	30	VREFB3ANO	IO		AVST_DATA17	LVDS3A_9p	No		AG11	DQ58	DQ29	DQ14	DQ7

Bank Number	Index within I/O Bank	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	GT support	HF35	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
3A	29	VREFB3A0	IO	PLL_3A_CLKOUT1n	AVST_DATA18	LVD33A_10n	Yes		AE10	DQSn59	DQSn29/CQn29	DQ14	DQ7
3A	28	VREFB3A0	IO	PLL_3A_CLKOUT1p,PLL_3A_CLKOUT1,PLL_3A_FB1	AVST_DATA19	LVD33A_10p	Yes		AF10	DQSn59	DQSn29/CQn29	DQ14	DQ7
3A	27	VREFB3A0	IO			LVD33A_11n	No		AG12	DQSn59	DQn29	DQ14	DQ7
3A	26	VREFB3A0	IO	RZQ_3A	AVST_VALID	LVD33A_11p	No		AF12	DQSn59	DQn29	DQ14	DQ7
3A	25	VREFB3A0	IO	CLK_3A_1n	AVST_DATA20	LVD33A_12n	Yes		AE11	DQSn59	DQn29	DQ14	DQ7
3A	24	VREFB3A0	IO	CLK_3A_1p	AVST_DATA21	LVD33A_12p	Yes		AD11	DQSn59	DQn29	DQ14	DQ7
3A	23	VREFB3A0	IO	CLK_3A_0n	AVST_DATA22	LVD33A_13n	No		AP13	DQn60	DQ30	DQ15	DQ7
3A	22	VREFB3A0	IO	CLK_3A_0p	AVST_DATA23	LVD33A_13p	No		AN13	DQn60	DQ30	DQ15	DQ7
3A	21	VREFB3A0	IO		AVST_DATA24	LVD33A_14n	Yes		AM11	DQSn60	DQ30	DQ15	DQSn7/CQn7
3A	20	VREFB3A0	IO		AVST_DATA25	LVD33A_14p	Yes		AL12	DQSn60	DQ30	DQ15	DQSn7/CQ7
3A	19	VREFB3A0	IO	PLL_3A_CLKOUT0n	AVST_DATA26	LVD33A_15n	No		AP14	DQn60	DQ30	DQ15	DQ7
3A	18	VREFB3A0	IO	PLL_3A_CLKOUT0p,PLL_3A_CLKOUT0,PLL_3A_FB0	AVST_DATA27	LVD33A_15p	No		AN14	DQn60	DQ30	DQ15	DQ7
3A	17	VREFB3A0	IO		AVST_DATA28	LVD33A_16n	Yes		AL13	DQSn61	DQSn30/CQn30	DQ15	DQ7
3A	16	VREFB3A0	IO		AVST_DATA29	LVD33A_16p	Yes		AM12	DQSn61	DQSn30/CQn30	DQ15	DQ7
3A	15	VREFB3A0	IO		AVST_DATA30	LVD33A_17n	No		AM13	DQn61	DQ30	DQ15	DQ7
3A	14	VREFB3A0	IO		AVST_DATA31	LVD33A_17p	No		AL14	DQn61	DQ30	DQ15	DQ7
3A	13	VREFB3A0	IO			LVD33A_18n	Yes		AP12	DQn61	DQ30	DQ15	DQ7
3A	12	VREFB3A0	IO			LVD33A_18p	Yes		AN11	DQn61	DQ30	DQ15	DQ7
3A	11	VREFB3A0	IO			LVD33A_19n	No		AG13	DQn62	DQ31	DQ15	DQ7
3A	10	VREFB3A0	IO			LVD33A_19p	No		AH14	DQn62	DQ31	DQ15	DQ7
3A	9	VREFB3A0	IO			LVD33A_20n	Yes		AF13	DQSn62	DQ31	DQSn15/CQn15	DQ7
3A	8	VREFB3A0	IO			LVD33A_20p	Yes		AE12	DQSn62	DQ31	DQSn15/CQ15	DQ7
3A	7	VREFB3A0	IO			LVD33A_21n	No		AF14	DQn62	DQ31	DQ15	DQ7
3A	6	VREFB3A0	IO			LVD33A_21p	No		AE14	DQn62	DQ31	DQ15	DQ7
3A	5	VREFB3A0	IO			LVD33A_22n	Yes		AH13	DQSn63	DQSn31/CQn31	DQ15	DQ7
3A	4	VREFB3A0	IO			LVD33A_22p	Yes		AJ13	DQSn63	DQSn31/CQ31	DQ15	DQ7
3A	3	VREFB3A0	IO			LVD33A_23n	No		AD13	DQn63	DQ31	DQ15	DQ7
3A	2	VREFB3A0	IO			LVD33A_23p	No		AD14	DQn63	DQ31	DQ15	DQ7
3A	1	VREFB3A0	IO			LVD33A_24n	Yes		AK14	DQn63	DQ31	DQ15	DQ7
3A	0	VREFB3A0	IO		AVST_CLK	LVD33A_24p	Yes		AJ14	DQn63	DQ31	DQ15	DQ7
SDM			TD0						AL18				
SDM			TMS						AL19				
SDM			TCK						AL17				
SDM			TDI						AL15				
SDM			OSC_CLK_1						AE17				
SDM			SDM_IO0	INIT_DONE,PWRMGT_SCL					AE19				
SDM			SDM_IO1	AVSTx8_DATA2,AS_DATA1,SDMMC_CFG_DATA1					AG18				
SDM			SDM_IO5	INIT_DONE,AS_nCS00,SDMMC_CFG_CCLK,MSEL0,CONF_DONE					AF17				
SDM			SDM_IO3	AVSTx8_DATA3,AS_DATA2,SDMMC_CFG_DATA2					AH18				
SDM			nCONFIG						AK19				
SDM			SDM_IO4	AVSTx8_DATA1,AS_DATA0,SDMMC_CFG_CMD					AJ19				
SDM			SDM_IO2	AVSTx8_DATA0,AS_CLK,SDMMC_CFG_DATA0					AF19				
SDM			SDM_IO7	AS_nCS02,MSEL1					AG17				
SDM			SDM_IO11	AVSTx8_VALID,PWRMGT_SDA					AK15				
SDM			nSTATUS						AH15				
SDM			SDM_IO16	INIT_DONE,CONF_DONE,PWRMGT_SDA					AG15				
SDM			SDM_IO13	AVSTx8_DATA5,SDMMC_CFG_DATA5					AJ16				
SDM			SDM_IO9	AS_nCS01,MSEL2					AK16				
SDM			SDM_IO6	AVSTx8_DATA4,AS_DATA3,SDMMC_CFG_DATA3					AF18				
SDM			SDM_IO10	AVSTx8_DATA7,SDMMC_CFG_DATA7					AH16				
SDM			SDM_IO8	AVST_READY,AS_nCS03,SDMMC_CFG_DATA4					AJ17				
SDM			SDM_IO12	PWRMGT_SDA					AG16				
SDM			SDM_IO15	AVSTx8_DATA6,SDMMC_CFG_DATA6					AH19				
SDM			SDM_IO14	AVSTx8_CLK,PWRMGT_SCL					AK17				
SDM			RREF_SDM						AP19				
SDM			VSIGP_0						AM18				
SDM			VSIGN_0						AM17				
SDM			VSIGP_1						AP17				
SDM			VSIGN_1						AP16				
			GND						AJ18				
			GND						AN16				
			GND						AM16				
			GND						Y8				
			GND						Y32				
			GND						Y31				
			GND						Y3				
			GND						Y25				
			GND						Y23				
			GND						Y18				
			GND						Y13				
			GND						W5				
			GND						W34				
			GND						W33				
			GND						W30				
			GND						W29				
			GND						W26				
			GND						W25				
			GND						W20				
			GND						W15				



Bank Number	Index within I/O Bank	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	GT support	HF35	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
			GND						W10				
			GND						V7				
			GND						V32				
			GND						V31				
			GND						V25				
			GND						V22				
			GND						V2				
			GND						V17				
			GND						V12				
			GND						U9				
			GND						U4				
			GND						U34				
			GND						U33				
			GND						U30				
			GND						U29				
			GND						U26				
			GND						U25				
			GND						U24				
			GND						U19				
			GND						U14				
			GND						T6				
			GND						T32				
			GND						T31				
			GND						T25				
			GND						T21				
			GND						T16				
			GND						T11				
			GND						T1				
			GND						R8				
			GND						R34				
			GND						R33				
			GND						R30				
			GND						R3				
			GND						R29				
			GND						R26				
			GND						R25				
			GND						R23				
			GND						R18				
			GND						R13				
			GND						P5				
			GND						P32				
			GND						P31				
			GND						P25				
			GND						P20				
			GND						P15				
			GND						P10				
			GND						N7				
			GND						N34				
			GND						N33				
			GND						N30				
			GND						N29				
			GND						N26				
			GND						N25				
			GND						N22				
			GND						N2				
			GND						N17				
			GND						N12				
			GND						M9				
			GND						M4				
			GND						M32				
			GND						M31				
			GND						M25				
			GND						M24				
			GND						M19				
			GND						M14				
			GND						L6				
			GND						L34				
			GND						L33				
			GND						L30				
			GND						L29				
			GND						L26				
			GND						L25				
			GND						L21				
			GND						L16				
			GND						L11				
			GND						L1				
			GND						K8				
			GND						K32				
			GND						K31				

Bank Number	Index within I/O Bank	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	GT support	HF35	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
			GND						K3				
			GND						K25				
			GND						K23				
			GND						K18				
			GND						K13				
			GND						J5				
			GND						J34				
			GND						J33				
			GND						J30				
			GND						J29				
			GND						J28				
			GND						J27				
			GND						J26				
			GND						J25				
			GND						J20				
			GND						J15				
			GND						J10				
			GND						H7				
			GND						H32				
			GND						H31				
			GND						H28				
			GND						H27				
			GND						H22				
			GND						H2				
			GND						H17				
			GND						H12				
			GND						G9				
			GND						G4				
			GND						G34				
			GND						G33				
			GND						G30				
			GND						G29				
			GND						G28				
			GND						G24				
			GND						G19				
			GND						G14				
			GND						F6				
			GND						F32				
			GND						F31				
			GND						F28				
			GND						F26				
			GND						F21				
			GND						F16				
			GND						F11				
			GND						F1				
			GND						E8				
			GND						E34				
			GND						E33				
			GND						E30				
			GND						E3				
			GND						E29				
			GND						E28				
			GND						E23				
			GND						E18				
			GND						E13				
			GND						D5				
			GND						D32				
			GND						D31				
			GND						D28				
			GND						D25				
			GND						D20				
			GND						D15				
			GND						D10				
			GND						C7				
			GND						C34				
			GND						C33				
			GND						C30				
			GND						C29				
			GND						C28				
			GND						C27				
			GND						C22				
			GND						C2				
			GND						C17				
			GND						C12				
			GND						B9				
			GND						B4				
			GND						B34				
			GND						B33				
			GND						B32				

Bank Number	Index within I/O Bank	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	GT support	HF35	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
			GND						B31				
			GND						B28				
			GND						B24				
			GND						B19				
			GND						B14				
			GND						B1				
			GND						AP5				
			GND						AP33				
			GND						AP32				
			GND						AP31				
			GND						AP30				
			GND						AP25				
			GND						AP20				
			GND						AP2				
			GND						AP15				
			GND						AP10				
			GND						AN7				
			GND						AN34				
			GND						AN33				
			GND						AN30				
			GND						AN29				
			GND						AN28				
			GND						AN27				
			GND						AN22				
			GND						AN2				
			GND						AN17				
			GND						AN12				
			GND						AN1				
			GND						AM9				
			GND						AM4				
			GND						AM32				
			GND						AM31				
			GND						AM28				
			GND						AM24				
			GND						AM19				
			GND						AM14				
			GND						AL6				
			GND						AL34				
			GND						AL33				
			GND						AL30				
			GND						AL29				
			GND						AL28				
			GND						AL26				
			GND						AL21				
			GND						AL16				
			GND						AL11				
			GND						AL1				
			GND						AK8				
			GND						AK32				
			GND						AK31				
			GND						AK3				
			GND						AK28				
			GND						AK23				
			GND						AK18				
			GND						AK13				
			GND						AJ5				
			GND						AJ34				
			GND						AJ33				
			GND						AJ30				
			GND						AJ29				
			GND						AJ28				
			GND						AJ25				
			GND						AJ20				
			GND						AJ15				
			GND						AJ10				
			GND						AH7				
			GND						AH32				
			GND						AH31				
			GND						AH28				
			GND						AH27				
			GND						AH22				
			GND						AH2				
			GND						AH17				
			GND						AH12				
			GND						AG9				
			GND						AG4				
			GND						AG34				
			GND						AG33				
			GND						AG30				

Bank Number	Index within I/O Bank	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	GT support	HF35	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
			GND						AG29				
			GND						AG28				
			GND						AG24				
			GND						AG19				
			GND						AG14				
			GND						AF6				
			GND						AF32				
			GND						AF31				
			GND						AF28				
			GND						AF27				
			GND						AF26				
			GND						AF21				
			GND						AF16				
			GND						AF11				
			GND						AF1				
			GND						AE8				
			GND						AE34				
			GND						AE33				
			GND						AE30				
			GND						AE3				
			GND						AE29				
			GND						AE26				
			GND						AE25				
			GND						AE23				
			GND						AE18				
			GND						AE13				
			GND						AD5				
			GND						AD32				
			GND						AD31				
			GND						AD25				
			GND						AD20				
			GND						AD15				
			GND						AD10				
			GND						AC7				
			GND						AC34				
			GND						AC33				
			GND						AC30				
			GND						AC29				
			GND						AC26				
			GND						AC25				
			GND						AC22				
			GND						AC2				
			GND						AC17				
			GND						AC12				
			GND						AB9				
			GND						AB4				
			GND						AB32				
			GND						AB31				
			GND						AB25				
			GND						AB24				
			GND						AB19				
			GND						AB14				
			GND						AA6				
			GND						AA34				
			GND						AA33				
			GND						AA30				
			GND						AA29				
			GND						AA26				
			GND						AA25				
			GND						AA21				
			GND						AA16				
			GND						AA11				
			GND						AA1				
			GND						A6				
			GND						A33				
			GND						A30				
			GND						A29				
			GND						A28				
			GND						A26				
			GND						A21				
			GND						A2				
			GND						A16				
			GND						A11				
			GNDSENSE						T14				
			VCC						Y9				
			VCC						Y7				
			VCC						Y22				
			VCC						Y21				
			VCC						Y20				

Bank Number	Index within I/O Bank	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	GT support	HF35	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
			VCC						Y19				
			VCC						Y17				
			VCC						Y16				
			VCC						Y15				
			VCC						Y14				
			VCC						Y12				
			VCC						Y10				
			VCC						W9				
			VCC						W8				
			VCC						W7				
			VCC						W22				
			VCC						W21				
			VCC						W19				
			VCC						W18				
			VCC						W17				
			VCC						W16				
			VCC						W14				
			VCC						W13				
			VCC						W12				
			VCC						W11				
			VCC						U7				
			VCC						U22				
			VCC						T9				
			VCC						T8				
			VCC						T7				
			VCC						T22				
			VCC						T20				
			VCC						T19				
			VCC						T18				
			VCC						T17				
			VCC						T13				
			VCC						T12				
			VCC						T10				
			VCC						R9				
			VCC						R7				
			VCC						R22				
			VCC						R21				
			VCC						R20				
			VCC						R19				
			VCC						R17				
			VCC						R16				
			VCC						R15				
			VCC						R14				
			VCC						R12				
			VCC						R11				
			VCC						R10				
			VCC						P9				
			VCC						P8				
			VCC						P7				
			VCC						P22				
			VCC						P21				
			VCC						P19				
			VCC						P17				
			VCC						P16				
			VCC						P14				
			VCC						P13				
			VCC						P12				
			VCC						N9				
			VCC						N8				
			VCC						N21				
			VCC						N19				
			VCC						N15				
			VCC						N14				
			VCC						AB8				
			VCC						AB7				
			VCC						AB22				
			VCC						AB21				
			VCC						AB17				
			VCC						AB15				
			VCC						AB12				
			VCC						AA9				
			VCC						AA8				
			VCC						AA7				
			VCC						AA22				
			VCC						AA20				
			VCC						AA19				
			VCC						AA17				
			VCC						AA15				
			VCC						AA14				

Bank Number	Index within I/O Bank	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	GT support	HF35	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
			VCC						AA13				
			VCC						AA12				
			VCC						AA10				
			VCC						M13				
			VCC						L14				
			VCC						L13				
			VCC						L12				
			VCC						K14				
			VCC						J11				
			VCCPT						M12				
			VCCPT						M11				
			VCCPT						V9				
			VCCPT						V8				
			VCCPT						V21				
			VCCPT						V20				
			VCCPT						V19				
			VCCPT						V18				
			VCCPT						V16				
			VCCPT						V13				
			VCCPT						V11				
			VCCPT						V10				
			VCCPT						U8				
			VCCPT						U21				
			VCCPT						U20				
			VCCPT						U18				
			VCCPT						U17				
			VCCPT						U16				
			VCCPT						U15				
			VCCPT						U13				
			VCCPT						U12				
			VCCPT						U11				
			VCCPT						U10				
			DNU						AG27				
			DNU						AN25				
			DNU						AM25				
			DNU						J8				
			DNU						H8				
			DNU						AP18				
			DNU						AN19				
			DNU						AN18				
			DNU						AN20				
			DNU						AP28				
			DNU						AP27				
			TEMPDIODE0n						AN15				
			TEMPDIODE0p						AM15				
			TEMPDIODE1n						AJ27				
			TEMPDIODE1p						AH26				
			VCCBAT						AE15				
			VCCA_PLL						V15				
			VCCA_PLL						V14				
			VCCA_PLL						K11				
			VCCIO2K						AD19				
			VCCIO2K						AC20				
			VCCIO2K						AC19				
			VCCIO2L						M21				
			VCCIO2L						M20				
			VCCIO2L						L20				
			VCCIO2M						M18				
			VCCIO2M						L19				
			VCCIO2M						L18				
			VCCIO2N						M17				
			VCCIO2N						M16				
			VCCIO2N						L17				
			VCCIO3A						AD12				
			VCCIO3A						AC14				
			VCCIO3A						AC13				
			VCCIO3B						AC9				
			VCCIO3B						AC8				
			VCCIO3B						AC10				
			VCCIO3C						W6				
			VCCIO3C						V6				
			VCCIO3C						V5				
			VCCIO3D						M10				
			VCCIO3D						L9				
			VCCIO3D						L10				
			VCCIO3V						AC24				
			VCCIO3V						AC23				
			VCCIO_SDM						AD16				
2K		VREFB2KN0	VREFB2KN0						AC21				

Bank Number	Index within I/O Bank	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	GT support	HF35	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
2L		VREFB2LNO	VREFB2LNO						K20				
2M		VREFB2MNO	VREFB2MNO						K19				
2N		VREFB2NNO	VREFB2NNO						M15				
3A		VREFB3ANO	VREFB3ANO						AC15				
3B		VREFB3BNO	VREFB3BNO						AC11				
3C		VREFB3CNO	VREFB3CNO						Y6				
3D		VREFB3DNO	VREFB3DNO						M8				
			NC						C5				
			NC						D4				
			NC						C8				
			NC						C4				
			NC						D1				
			NC						C1				
			NC						D3				
			NC						B3				
			NC						C3				
			NC						B2				
			NC						B6				
			NC						D6				
			NC						A4				
			NC						B5				
			NC						D2				
			NC						A5				
			NC						D7				
			NC						B7				
			NC						G6				
			NC						A3				
			NC						C6				
			NC						G2				
			NC						A7				
			NC						G8				
			NC						F5				
			NC						G7				
			NC						E4				
			NC						F3				
			NC						G1				
			NC						F9				
			NC						H6				
			NC						E1				
			NC						F8				
			NC						E7				
			NC						F4				
			NC						H9				
			NC						D8				
			NC						F2				
			NC						J9				
			NC						E2				
			NC						F7				
			NC						E5				
			NC						J7				
			NC						E6				
			NC						G3				
			NC						K9				
			NC						E9				
			NC						K10				
			NC						U6				
			NC						R6				
			NC						P6				
			NC						N6				
			NC						AG26				
			NC						AD18				
			NC						AC6				
			NC						AC18				
			NC						V26				
			NC						P26				
			NC						K26				
			NC						AB26				
			NC						AD28				
			NC						AD27				
			NC						AD26				
			NC						Y28				
			NC						Y27				
			NC						Y26				
			NC						T28				
			NC						T27				
			NC						T26				
			NC						M28				
			NC						M27				
			NC						M26				

Bank Number	Index within I/O Bank	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	GT support	HF35	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
			VCCT_GXBL1C						AB28				
			VCCT_GXBL1C						AB27				
			VCCT_GXBL1D						V28				
			VCCT_GXBL1D						V27				
			VCCT_GXBL1E						P28				
			VCCT_GXBL1E						P27				
			VCCT_GXBL1F						K28				
			VCCT_GXBL1F						K27				
			RREF_BL						AP29				
			VCCADC						AF15				
			VCCERAM						V24				
			VCCERAM						W24				
			VCCERAM						W23				
			VCCERAM						V24				
			VCCERAM						V23				
			VCCERAM						U23				
			VCCERAM						T24				
			VCCERAM						T23				
			VCCERAM						R24				
			VCCERAM						P24				
			VCCERAM						P23				
			VCCERAM						N24				
			VCCERAM						N23				
			VCCERAM						N20				
			VCCERAM						N16				
			VCCERAM						N13				
			VCCERAM						N10				
			VCCERAM						AB23				
			VCCERAM						AB20				
			VCCERAM						AB16				
			VCCERAM						AB13				
			VCCERAM						AB10				
			VCCERAM						AA24				
			VCCERAM						AA23				
			VCCFUSEWR_SDM						AE16				
			VCCLSENSE						T15				
			VCCP						V11				
			VCCP						P18				
			VCCP						P11				
			VCCP						N18				
			VCCP						N11				
			VCCP						AB18				
			VCCP						AB11				
			VCCP						AA18				
			VCCPLLDIG_SDM						AD17				
			VCCPLL_SDM						AC16				



Date	Version	Changes
July 2019	2019.07.25	Initial release.
December 2019	2019.12.26	Removed NAND_* and PWRMGT_PWM0 pins from banks 3A and 3D.

(1) For more information about pin definition and pin connection guidelines, refer to the [Intel® Stratix® 10 Device Family Pin Connection Guidelines](#)