



Pin Information for the MAX[®] V 5M570Z Device
Version 1.0
Note (1)

Bank Number	Pin Name/Function	Optional Function(s)	Configuration Function	Emulated LVDS Output Channel	T100
1	IO			DIFFIO_L1p	2
1	IO			DIFFIO_L1n	3
1	IO			DIFFIO_L2p	4
1	IO			DIFFIO_L2n	5
1	IO			DIFFIO_L3p	6
1	IO			DIFFIO_L3n	7
1	IO	CLK0			12
1	IO	CLK1			14
1	IO			DIFFIO_L4p	15
1	IO			DIFFIO_L4n	16
1	IO			DIFFIO_L5p	17
1	IO			DIFFIO_L5n	18
1	IO				19
1	IO			DIFFIO_L6p	20
1	IO			DIFFIO_L6n	21
1	TMS		TMS		22
1	TDI		TDI		23
1	TCK		TCK		24
1	TDO		TDO		25
1	IO			DIFFIO_B1p	26
1	IO			DIFFIO_B1n	27
1	IO			DIFFIO_B2p	28
1	IO			DIFFIO_B2n	29
1	IO				30
1	IO			DIFFIO_B3p	33
1	IO			DIFFIO_B3n	34
1	IO			DIFFIO_B4p	35
1	IO			DIFFIO_B4n	36
1	IO			DIFFIO_B5p	38
1	IO			DIFFIO_B5n	40
1	IO			DIFFIO_B6p	41
1	IO			DIFFIO_B6n	42
1	IO		DEV_OE	DIFFIO_B7p	43
1	IO		DEV_CLRn	DIFFIO_B7n	44
1	IO			DIFFIO_B8p	47
1	IO			DIFFIO_B8n	48
1	IO				49
1	IO				50
1	IO				51
2	IO				52
2	IO			DIFFIO_R6n	53
2	IO			DIFFIO_R6p	54
2	IO			DIFFIO_R5n	55
2	IO			DIFFIO_R5p	56
2	IO			DIFFIO_R4n	57
2	IO			DIFFIO_R4p	58
2	IO				61
2	IO	CLK2			62
2	IO	CLK3			64
2	IO			DIFFIO_R3n	66
2	IO			DIFFIO_R3p	67
2	IO				68
2	IO				69
2	IO				70
2	IO			DIFFIO_R2n	71



Pin Information for the MAX[®] V 5M570Z Device
Version 1.0
Note (1)

Bank Number	Pin Name/Function	Optional Function(s)	Configuration Function	Emulated LVDS Output Channel	T100
2	IO			DIFFIO_R2p	72
2	IO			DIFFIO_R1n	73
2	IO			DIFFIO_R1p	74
2	IO				75
2	IO				76
2	IO			DIFFIO_T8n	77
2	IO			DIFFIO_T8p	78
2	IO				81
2	IO				82
2	IO			DIFFIO_T7n	83
2	IO			DIFFIO_T7p	84
2	IO			DIFFIO_T6n	85
2	IO			DIFFIO_T6p	86
2	IO			DIFFIO_T5n	87
2	IO			DIFFIO_T5p	89
2	IO			DIFFIO_T4n	91
2	IO			DIFFIO_T4p	92
2	IO			DIFFIO_T3n	96
2	IO			DIFFIO_T3p	97
2	IO			DIFFIO_T2n	98
2	IO			DIFFIO_T2p	99
2	IO			DIFFIO_T1n	100
2	IO			DIFFIO_T1p	1
	GND				8
	GND				10
	GND				11
	GND				32
	GND				37
	GND				46
	GND				60
	GND				65
	GND				79
	GND				90
	GND				93
	GND				95
	VCCIO1				9
	VCCIO1				31
	VCCIO1				45
	VCCIO2				59
	VCCIO2				80
	VCCIO2				94
	VCCINT				13
	VCCINT				39
	VCCINT				63
	VCCINT				88

Note:

(1) For more information about pin definitions and pin connection guidelines, refer to the [MAX V Device Family Pin Connection Guidelines](#).



Pin Information for the MAX[®] V 5M570Z Device
Version 1.0
Note (1)

Bank Number	Pin Name/Function	Optional Function(s)	Configuration Function	Emulated LVDS Output Channel	M100
1	IO			DIFFIO_L1p	B1
1	IO			DIFFIO_L1n	C2
1	IO			DIFFIO_L2p	C1
1	IO			DIFFIO_L2n	D3
1	IO			DIFFIO_L3p	D2
1	IO			DIFFIO_L3n	D1
1	IO	CLK0			F2
1	IO	CLK1			E1
1	IO			DIFFIO_L4p	F1
1	IO			DIFFIO_L4n	G1
1	IO			DIFFIO_L5p	G2
1	IO			DIFFIO_L5n	F3
1	IO				H1
1	IO			DIFFIO_L6p	H3
1	IO			DIFFIO_L6n	H2
1	TMS		TMS		J1
1	TDI		TDI		J2
1	TCK		TCK		K1
1	TDO		TDO		K2
1	IO			DIFFIO_B1p	L1
1	IO			DIFFIO_B1n	L2
1	IO			DIFFIO_B2p	K3
1	IO			DIFFIO_B2n	L3
1	IO				K4
1	IO			DIFFIO_B3p	L4
1	IO			DIFFIO_B3n	K5
1	IO			DIFFIO_B4p	L5
1	IO			DIFFIO_B4n	L6
1	IO			DIFFIO_B5p	K6
1	IO			DIFFIO_B5n	J6
1	IO			DIFFIO_B6p	L7
1	IO			DIFFIO_B6n	K7
1	IO		DEV_OE	DIFFIO_B7p	L8
1	IO		DEV_CLRn	DIFFIO_B7n	K8
1	IO			DIFFIO_B8p	L9
1	IO			DIFFIO_B8n	K9
1	IO				L10
1	IO				K10
1	IO				L11
2	IO				K11
2	IO			DIFFIO_R6n	J10
2	IO			DIFFIO_R6p	J11
2	IO			DIFFIO_R5n	H9
2	IO			DIFFIO_R5p	H10
2	IO			DIFFIO_R4n	H11
2	IO			DIFFIO_R4p	G10
2	IO				F9
2	IO	CLK2			F10
2	IO	CLK3			G11
2	IO			DIFFIO_R3n	F11
2	IO			DIFFIO_R3p	E11
2	IO				E10
2	IO				D9
2	IO				D11
2	IO			DIFFIO_R2n	D10



Pin Information for the MAX[®] V 5M570Z Device
Version 1.0
Note (1)

Bank Number	Pin Name/Function	Optional Function(s)	Configuration Function	Emulated LVDS Output Channel	M100
2	IO			DIFFIO_R2p	C11
2	IO			DIFFIO_R1n	C10
2	IO			DIFFIO_R1p	B11
2	IO				B10
2	IO				A11
2	IO			DIFFIO_T8n	A10
2	IO			DIFFIO_T8p	B9
2	IO				A9
2	IO				B8
2	IO			DIFFIO_T7n	A8
2	IO			DIFFIO_T7p	B7
2	IO			DIFFIO_T6n	A7
2	IO			DIFFIO_T6p	C6
2	IO			DIFFIO_T5n	B6
2	IO			DIFFIO_T5p	A6
2	IO			DIFFIO_T4n	A5
2	IO			DIFFIO_T4p	B5
2	IO			DIFFIO_T3n	B4
2	IO			DIFFIO_T3p	A3
2	IO			DIFFIO_T2n	B3
2	IO			DIFFIO_T2p	A2
2	IO			DIFFIO_T1n	B2
2	IO			DIFFIO_T1p	A1
	GND				E2
	GND				A4
	GND				E4
	GND				G4
	GND				H5
	GND				J5
	GND				H7
	GND				G8
	GND				E8
	GND				D7
	GND				C5
	GND				D5
	VCCIO1				E3
	VCCIO1				J4
	VCCIO1				J8
	VCCIO2				G9
	VCCIO2				C8
	VCCIO2				C4
	VCCINT				G3
	VCCINT				J7
	VCCINT				E9
	VCCINT				C7

Note:
(1) For more information about pin definitions and pin connection guidelines, refer to the [MAX V Device Family Pin Connection Guidelines](#).



Pin Information for the MAX® V 5M570Z Device
Version 1.0
Note (1)

Bank Number	Pin Name/Function	Optional Function(s)	Configuration Function	Emulated LVDS Output Channel	T144
1	IO				1
1	IO			DIFFIO_L1p	2
1	IO			DIFFIO_L1n	3
1	IO			DIFFIO_L2p	4
1	IO			DIFFIO_L2n	5
1	IO			DIFFIO_L3p	6
1	IO			DIFFIO_L3n	7
1	IO			DIFFIO_L4p	11
1	IO			DIFFIO_L4n	12
1	IO			DIFFIO_L5p	13
1	IO			DIFFIO_L5n	14
1	IO			DIFFIO_L6p	15
1	IO			DIFFIO_L6n	16
1	IO	CLK0			18
1	IO	CLK1			20
1	IO			DIFFIO_L7p	21
1	IO			DIFFIO_L7n	22
1	IO			DIFFIO_L8p	23
1	IO			DIFFIO_L8n	24
1	IO			DIFFIO_L9p	27
1	IO			DIFFIO_L9n	28
1	IO			DIFFIO_L10p	29
1	IO			DIFFIO_L10n	30
1	IO			DIFFIO_L11p	31
1	IO			DIFFIO_L11n	32
1	TMS		TMS		33
1	TDI		TDI		34
1	TCK		TCK		35
1	TDO		TDO		36
1	IO			DIFFIO_B1p	37
1	IO			DIFFIO_B1n	38
1	IO				39
1	IO			DIFFIO_B2p	40
1	IO			DIFFIO_B2n	41
1	IO				42
1	IO			DIFFIO_B3p	43
1	IO			DIFFIO_B3n	44
1	IO				45
1	IO			DIFFIO_B4p	48
1	IO			DIFFIO_B4n	49
1	IO			DIFFIO_B5p	50
1	IO			DIFFIO_B5n	51
1	IO			DIFFIO_B6p	52
1	IO			DIFFIO_B6n	53
1	IO			DIFFIO_B7p	55
1	IO			DIFFIO_B7n	57
1	IO			DIFFIO_B8p	58
1	IO			DIFFIO_B8n	59
1	IO		DEV_OE	DIFFIO_B9p	60
1	IO		DEV_CLRn	DIFFIO_B9n	61
1	IO			DIFFIO_B10p	62
1	IO			DIFFIO_B10n	63



Pin Information for the MAX® V 5M570Z Device
Version 1.0
Note (1)

Bank Number	Pin Name/Function	Optional Function(s)	Configuration Function	Emulated LVDS Output Channel	T144
1	IO			DIFFIO_B11p	66
1	IO			DIFFIO_B11n	67
1	IO				68
1	IO			DIFFIO_B12p	69
1	IO			DIFFIO_B12n	70
1	IO			DIFFIO_B13p	71
1	IO			DIFFIO_B13n	72
2	IO			DIFFIO_R12n	73
2	IO			DIFFIO_R12p	74
2	IO			DIFFIO_R11n	75
2	IO			DIFFIO_R11p	76
2	IO			DIFFIO_R10n	77
2	IO			DIFFIO_R10p	78
2	IO			DIFFIO_R9n	79
2	IO			DIFFIO_R9p	80
2	IO				81
2	IO			DIFFIO_R8n	84
2	IO			DIFFIO_R8p	85
2	IO			DIFFIO_R7n	86
2	IO			DIFFIO_R7p	87
2	IO			DIFFIO_R6n	88
2	IO	CLK2			89
2	IO	CLK3			91
2	IO			DIFFIO_R6p	93
2	IO			DIFFIO_R5n	94
2	IO			DIFFIO_R5p	95
2	IO				96
2	IO			DIFFIO_R4n	97
2	IO			DIFFIO_R4p	98
2	IO			DIFFIO_R3n	101
2	IO			DIFFIO_R3p	102
2	IO				103
2	IO			DIFFIO_R2n	104
2	IO			DIFFIO_R2p	105
2	IO				106
2	IO			DIFFIO_R1n	107
2	IO			DIFFIO_R1p	108
2	IO				109
2	IO			DIFFIO_T13n	110
2	IO			DIFFIO_T13p	111
2	IO			DIFFIO_T12n	112
2	IO			DIFFIO_T12p	113
2	IO			DIFFIO_T11n	114
2	IO			DIFFIO_T11p	117
2	IO				118
2	IO			DIFFIO_T10n	119
2	IO			DIFFIO_T10p	120
2	IO			DIFFIO_T9n	121
2	IO			DIFFIO_T9p	122
2	IO			DIFFIO_T8n	123
2	IO			DIFFIO_T8p	124
2	IO			DIFFIO_T7n	125



Pin Information for the MAX[®] V 5M570Z Device
Version 1.0
Note (1)

Bank Number	Pin Name/Function	Optional Function(s)	Configuration Function	Emulated LVDS Output Channel	T144
2	IO			DIFFIO_T7p	127
2	IO			DIFFIO_T6n	129
2	IO			DIFFIO_T6p	130
2	IO			DIFFIO_T5n	131
2	IO			DIFFIO_T5p	132
2	IO			DIFFIO_T4n	133
2	IO			DIFFIO_T4p	134
2	IO			DIFFIO_T3n	138
2	IO			DIFFIO_T3p	139
2	IO			DIFFIO_T2n	140
2	IO			DIFFIO_T2p	141
2	IO			DIFFIO_T1n	142
2	IO			DIFFIO_T1p	143
2	IO				144
	GND				8
	GND				10
	GND				17
	GND				26
	GND				47
	GND				54
	GND				65
	GND				83
	GND				92
	GND				99
	GND				115
	GND				128
	GND				135
	GND				137
	VCCIO1				9
	VCCIO1				25
	VCCIO1				46
	VCCIO1				64
	VCCIO2				82
	VCCIO2				100
	VCCIO2				116
	VCCIO2				136
	VCCINT				19
	VCCINT				56
	VCCINT				90
	VCCINT				126

Note:
 (1) For more information about pin definitions and pin connection guidelines, refer to the [MAX V Device Family Pin Connection Guidelines](#).



Pin Information for the MAX[®] V 5M570Z Device
Version 1.0
Note (1)

Bank Number	Pin Name/Function	Optional Function(s)	Configuration Function	Emulated LVDS Output Channel	F256
1	IO			DIFFIO_L1p	C3
1	IO			DIFFIO_L1n	C2
1	IO			DIFFIO_L2p	D3
1	IO			DIFFIO_L2n	D1
1	IO			DIFFIO_L3p	D2
1	IO			DIFFIO_L3n	E1
1	IO			DIFFIO_L4p	E4
1	IO			DIFFIO_L4n	F2
1	IO				E3
1	IO			DIFFIO_L5p	F1
1	IO			DIFFIO_L5n	E2
1	IO			DIFFIO_L6p	G2
1	IO			DIFFIO_L6n	F3
1	IO			DIFFIO_L7p	G1
1	IO			DIFFIO_L7n	G3
1	IO			DIFFIO_L8p	H2
1	IO			DIFFIO_L8n	H3
1	IO			DIFFIO_L9p	H1
1	IO			DIFFIO_L9n	J3
1	IO				J1
1	IO	CLK0			H5
1	IO	CLK1			J5
1	IO				K3
1	IO			DIFFIO_L10p	J2
1	IO			DIFFIO_L10n	L3
1	IO			DIFFIO_L11p	K1
1	IO			DIFFIO_L11n	L4
1	IO				K2
1	IO			DIFFIO_L12p	M2
1	IO			DIFFIO_L12n	L1
1	IO			DIFFIO_L13p	M3
1	IO			DIFFIO_L13n	L2
1	IO			DIFFIO_L14p	M4
1	IO			DIFFIO_L14n	M1
1	IO			DIFFIO_L15p	N2
1	IO			DIFFIO_L15n	N1
1	IO			DIFFIO_L16p	N3
1	IO			DIFFIO_L16n	P2
1	TMS		TMS		N4
1	TDI		TDI		L6
1	TCK		TCK		P3
1	TDO		TDO		M5
1	IO			DIFFIO_B1p	R3
1	IO			DIFFIO_B1n	R1
1	IO			DIFFIO_B2p	P4
1	IO			DIFFIO_B2n	T2
1	IO			DIFFIO_B3p	R4
1	IO			DIFFIO_B3n	T4
1	IO			DIFFIO_B4p	N5
1	IO			DIFFIO_B4n	T5
1	IO			DIFFIO_B5p	P5
1	IO			DIFFIO_B5n	R6
1	IO			DIFFIO_B6p	R5



Pin Information for the MAX[®] V 5M570Z Device
Version 1.0
Note (1)

Bank Number	Pin Name/Function	Optional Function(s)	Configuration Function	Emulated LVDS Output Channel	F256
1	IO			DIFFIO_B6n	T6
1	IO			DIFFIO_B7p	P6
1	IO			DIFFIO_B7n	R7
1	IO			DIFFIO_B8p	P7
1	IO			DIFFIO_B8n	T7
1	IO			DIFFIO_B9p	P8
1	IO			DIFFIO_B9n	R8
1	IO			DIFFIO_B10p	P9
1	IO			DIFFIO_B10n	T8
1	IO			DIFFIO_B11p	T9
1	IO			DIFFIO_B11n	R9
1	IO			DIFFIO_B12p	P10
1	IO			DIFFIO_B12n	T10
1	IO		DEV_OE	DIFFIO_B13p	M8
1	IO		DEV_CLRn	DIFFIO_B13n	M9
1	IO			DIFFIO_B14p	P11
1	IO			DIFFIO_B14n	R10
1	IO			DIFFIO_B15p	R12
1	IO			DIFFIO_B15n	T11
1	IO			DIFFIO_B16p	P12
1	IO			DIFFIO_B16n	R11
1	IO			DIFFIO_B17p	N12
1	IO			DIFFIO_B17n	T12
1	IO			DIFFIO_B18p	R13
1	IO			DIFFIO_B18n	T13
1	IO			DIFFIO_B19p	P13
1	IO			DIFFIO_B19n	T15
1	IO			DIFFIO_B20p	R14
1	IO			DIFFIO_B20n	R16
2	IO			DIFFIO_R20n	P14
2	IO			DIFFIO_R20p	N15
2	IO			DIFFIO_R19n	P15
2	IO			DIFFIO_R19p	N16
2	IO			DIFFIO_R18n	N13
2	IO			DIFFIO_R18p	M15
2	IO			DIFFIO_R17n	N14
2	IO			DIFFIO_R17p	M16
2	IO			DIFFIO_R16n	M13
2	IO			DIFFIO_R16p	L15
2	IO			DIFFIO_R15n	M14
2	IO			DIFFIO_R15p	L16
2	IO			DIFFIO_R14n	L13
2	IO			DIFFIO_R14p	K15
2	IO			DIFFIO_R13n	L14
2	IO			DIFFIO_R13p	K16
2	IO			DIFFIO_R12n	K14
2	IO			DIFFIO_R12p	J15
2	IO			DIFFIO_R11n	J14
2	IO	CLK2			J12
2	IO	CLK3			H12
2	IO			DIFFIO_R11p	J16
2	IO			DIFFIO_R10n	H14
2	IO			DIFFIO_R10p	H16



Pin Information for the MAX[®] V 5M570Z Device
Version 1.0
Note (1)

Bank Number	Pin Name/Function	Optional Function(s)	Configuration Function	Emulated LVDS Output Channel	F256
2	IO			DIFFIO_R9n	G14
2	IO			DIFFIO_R9p	H15
2	IO			DIFFIO_R8n	F14
2	IO			DIFFIO_R8p	G16
2	IO			DIFFIO_R7n	F13
2	IO			DIFFIO_R7p	G15
2	IO			DIFFIO_R6n	E14
2	IO			DIFFIO_R6p	F16
2	IO			DIFFIO_R5n	E13
2	IO			DIFFIO_R5p	F15
2	IO			DIFFIO_R4n	D14
2	IO			DIFFIO_R4p	E16
2	IO			DIFFIO_R3n	D13
2	IO			DIFFIO_R3p	E15
2	IO			DIFFIO_R2n	C15
2	IO			DIFFIO_R2p	D16
2	IO			DIFFIO_R1n	C14
2	IO			DIFFIO_R1p	D15
2	IO			DIFFIO_T19n	B14
2	IO			DIFFIO_T19p	B16
2	IO			DIFFIO_T18n	C13
2	IO			DIFFIO_T18p	A15
2	IO			DIFFIO_T17n	B13
2	IO			DIFFIO_T17p	A13
2	IO			DIFFIO_T16n	C12
2	IO			DIFFIO_T16p	B12
2	IO			DIFFIO_T15n	D12
2	IO			DIFFIO_T15p	A12
2	IO			DIFFIO_T14n	C11
2	IO			DIFFIO_T14p	B11
2	IO				D11
2	IO			DIFFIO_T13n	A11
2	IO			DIFFIO_T13p	C10
2	IO			DIFFIO_T12n	B10
2	IO			DIFFIO_T12p	C9
2	IO			DIFFIO_T11n	A10
2	IO			DIFFIO_T11p	C8
2	IO			DIFFIO_T10n	B9
2	IO			DIFFIO_T10p	A9
2	IO			DIFFIO_T9n	A8
2	IO			DIFFIO_T9p	C7
2	IO			DIFFIO_T8n	B8
2	IO			DIFFIO_T8p	C6
2	IO			DIFFIO_T7n	A7
2	IO			DIFFIO_T7p	B5
2	IO			DIFFIO_T6n	C5
2	IO			DIFFIO_T6p	A6
2	IO			DIFFIO_T5n	D5
2	IO			DIFFIO_T5p	B6
2	IO			DIFFIO_T4n	B4
2	IO			DIFFIO_T4p	A5
2	IO			DIFFIO_T3n	C4
2	IO			DIFFIO_T3p	A4



Pin Information for the MAX[®] V 5M570Z Device
Version 1.0
Note (1)

Bank Number	Pin Name/Function	Optional Function(s)	Configuration Function	Emulated LVDS Output Channel	F256
2	IO			DIFFIO_T2n	D4
2	IO			DIFFIO_T2p	A2
2	IO			DIFFIO_T1n	B3
2	IO			DIFFIO_T1p	B1
	GND				B7
	GND				H7
	GND				H9
	GND				J8
	GND				J10
	GND				A1
	GND				A16
	GND				B2
	GND				B15
	GND				G7
	GND				G8
	GND				G9
	GND				G10
	GND				K7
	GND				K8
	GND				K9
	GND				K10
	GND				R2
	GND				R15
	GND				T1
	GND				T16
	VCCIO1				C1
	VCCIO1				H6
	VCCIO1				J6
	VCCIO1				P1
	VCCIO1				T3
	VCCIO1				L8
	VCCIO1				L9
	VCCIO1				T14
	VCCIO2				P16
	VCCIO2				J11
	VCCIO2				H11
	VCCIO2				C16
	VCCIO2				A14
	VCCIO2				F9
	VCCIO2				F8
	VCCIO2				A3
	NC				D6
	NC				D7
	NC				D8
	NC				D9
	NC				D10
	NC				E5
	NC				E6
	NC				E7
	NC				E8
	NC				E9
	NC				E10
	NC				E11



Pin Information for the MAX[®] V 5M570Z Device
Version 1.0
Note (1)

Bank Number	Pin Name/Function	Optional Function(s)	Configuration Function	Emulated LVDS Output Channel	F256
	NC				E12
	NC				F4
	NC				F5
	NC				F6
	NC				F7
	NC				F10
	NC				F11
	NC				F12
	NC				G4
	NC				G5
	NC				G6
	NC				G11
	NC				G12
	NC				G13
	NC				H4
	NC				H13
	NC				J4
	NC				J13
	NC				K4
	NC				K5
	NC				K6
	NC				K11
	NC				K12
	NC				K13
	NC				L5
	NC				L7
	NC				L10
	NC				L11
	NC				L12
	NC				M6
	NC				M7
	NC				M10
	NC				M11
	NC				M12
	NC				N6
	NC				N7
	NC				N8
	NC				N9
	NC				N10
	NC				N11
	VCCINT				H8
	VCCINT				H10
	VCCINT				J7
	VCCINT				J9

Note:
(1) For more information about pin definitions and pin connection guidelines, refer to the [MAX V Device Family Pin Connection Guidelines](#).



**Pin Information for the MAX[®] V 5M570Z Device
Version 1.0**

Version Number	Date	Changes Made
1.0	12/3/2010	Initial release.