



Bank Number	VREFB Group	Pin Name / Function	Optional Function(s)	Configuration Function	F324	F780	F484/U484	DQS for X8/X9 in F324	DQS for X16/X18 in F324	DQS for X8/X9 in F780	DQS for X16/X18 in F780	DQS for X32/X36 in F780	DQS for X8/X9 in F484/U484	DQS for X16/X18 in F484/U484	DQS for X32/X36 in F484/U484
B1	VREFB1N0	IO	DIFFIO_L1p		B2		G4	DQ1L	DQ1L						
B1	VREFB1N0	IO	DIFFIO_L1n		B1	C2	G3			DQ2L	DQ1L	DQ1L			
B1	VREFB1N0	IO				M9									
B1	VREFB1N0	IO	DIFFIO_L2p			D2	B2			DQ2L	DQ1L	DQ1L	DQ2L	DQ1L	DQ1L
B1	VREFB1N0	IO	DIFFIO_L2n			D1	B1			DQ2L	DQ1L	DQ1L	DQ2L	DQ1L	DQ1L
B1	VREFB1N0	IO	VREFB1N0		C2	H7	G5								
B1	VREFB1N0	IO	DIFFIO_L3p			E5									
B1	VREFB1N0	IO	DIFFIO_L3n		C1	E4		DQ1L	DQ1L						
B1	VREFB1N0	IO	DIFFIO_L4p	nRESET	C3	G6	E4			DQ2L	DQ1L	DQ1L	DQ2L	DQ1L	DQ1L
B1	VREFB1N0	IO	DIFFIO_L4n			G5	E3			DQ2L	DQ1L	DQ1L	DQ2L	DQ1L	DQ1L
B1	VREFB1N0	IO	DIFFIO_L5p			H4									
B1	VREFB1N0	IO	DIFFIO_L5n			H3									
B1	VREFB1N0	IO	DIFFIO_L6p			J5									
B1	VREFB1N0	IO	DIFFIO_L6n			G7									
B1	VREFB1N1	IO	DIFFIO_L7p		D3	E3	C2	DQS2L/CQ3L, CDPCLK0	DQS2L/CQ3L, CDPCLK0	DQS2L/CQ3L, CDPCLK0	DQS2L/CQ3L, CDPCLK0	DQS2L/CQ3L, CDPCLK0	DQS2L/CQ3L, CDPCLK0	DQS2L/CQ3L, CDPCLK0	DQS2L/CQ3L, CDPCLK0
B1	VREFB1N1	IO	DIFFIO_L7n			F3	C1			DQ2L	DQ1L	DQ1L	DQ2L	DQ1L	DQ1L
B1	VREFB1N1	IO	DIFFIO_L8p		D2	F5	D2	DQ1L	DQ1L	DQ2L	DQ1L	DQ1L	DQ2L	DQ1L	DQ1L
B1	VREFB1N1	IO	DIFFIO_L8n	DATA1,ASDO	D1	F4	D1								
B1	VREFB1N1	IO	VREFB1N1		F3	L5	H7								
B1	VREFB1N1	IO	DIFFIO_L9p			G4	H6			DQ2L	DQ1L	DQ1L	DQ2L	DQ1L	DQ1L
B1	VREFB1N1	IO	DIFFIO_L9n			G3	J6						DQ2L	DQ1L	DQ1L
B1	VREFB1N1	IO	DIFFIO_L10p	FLASH_nCE,nCSO	E2	E2	E2								
B1	VREFB1N1	IO	DIFFIO_L10n		E1	J6	E1	DQ1L	DQ1L					DQ1L	DQ1L
B1	VREFB1N1	IO	DIFFIO_L11p			E1									
B1	VREFB1N1	IO	DIFFIO_L11n			J7									
B1	VREFB1N1	IO	DIFFIO_L12p			F2	F2			DM2L		DM1L/BWS#1L	DM1L/BWS#1L	DM1L/BWS#1L	DM1L/BWS#1L
B1	VREFB1N1	IO	DIFFIO_L12n			F1	F1			DQ0L	DQ1L	DQ1L	DQ0L	DQ1L	DQ1L
B1	VREFB1N1	IO	DIFFIO_L13p			K4									
B1	VREFB1N1	IO	DIFFIO_L13n			K3	H8								
B1	VREFB1N1	IO	DIFFIO_L14p			K7	J8								
B1	VREFB1N1	IO	DIFFIO_L14n			L6	J8								
B1	VREFB1N1	IO	DIFFIO_L15p			L8									
B1	VREFB1N2	IO	DIFFIO_L15n			L7									
B1	VREFB1N2	IO	DIFFIO_L16p			M8									
B1	VREFB1N2	IO	DIFFIO_L16n			M7									
B1	VREFB1N2	IO	DIFFIO_L17p			L4									
B1	VREFB1N2	IO	DIFFIO_L17n			L3									
B1	VREFB1N2	IO	DIFFIO_L18p			H6									
B1	VREFB1N2	IO	DIFFIO_L18n			H5	J5								
B1	VREFB1N2	IO	DIFFIO_L19p			J4									
B1	VREFB1N2	IO	DIFFIO_L19n			J3									
B1	VREFB1N2	IO	nSTATUS	nSTATUS	G5	M6	K6						DQ0L	DQ1L	DQ1L
B1	VREFB1N2	IO	VREFB1N2		H6	N8	H5								
B1	VREFB1N2	IO	DIFFIO_L20p		G2	G2	L8	DQ1L	DQ1L				DQ1L	DQ1L	DQ1L
B1	VREFB1N2	IO	DIFFIO_L20n		G1	G1	K9	DQ1L	DQ1L						
B1	VREFB1N2	IO	DIFFIO_L21p			M3	J7								
B1	VREFB1N2	IO	DIFFIO_L21n			K1	K7						DQ0L	DQ1L	DQ1L
B1	VREFB1N2	IO	DIFFIO_L22p			N4									
B1	VREFB1N2	IO	DIFFIO_L22n			N3									
B1	VREFB1N3	IO				M4									
B1	VREFB1N3	IO			H2	K2	J4	DQS0L/CQ1L, DPCLK0	DQS0L/CQ1L, DPCLK0	DQS0L/CQ1L, DPCLK0	DQS0L/CQ1L, DPCLK0	DQS0L/CQ1L, DPCLK0	DQS0L/CQ1L, DPCLK0	DQS0L/CQ1L, DPCLK0	DQS0L/CQ1L, DPCLK0
B1	VREFB1N3	IO	DIFFIO_L23p			L2	H2						DQ0L	DQ1L	DQ1L
B1	VREFB1N3	IO	DIFFIO_L23n			L1	H1						DQ0L	DQ1L	DQ1L
B1	VREFB1N3	IO	VREFB1N3		H1	M5	J3						DQ0L	DQ1L	DQ1L
B1	VREFB1N3	IO	DIFFIO_L24p			M2	J2						DQ0L	DQ1L	DQ1L
B1	VREFB1N3	IO	DIFFIO_L24n			M1	J1						DQ0L	DQ1L	DQ1L
B1	VREFB1N3	IO	DIFFIO_L25p			P2							DQ0L	DQ1L	DQ1L
B1	VREFB1N3	IO	DIFFIO_L25n			P1							DQ0L	DQ1L	DQ1L
B1	VREFB1N3	DCLK		DCLK	H4	P3	K2								
B1	VREFB1N3	IO		DATA0	H3	N7	K1								
B1	VREFB1N3	nCONFIG		nCONFIG	H5	P4	K5								
B1	VREFB1N3	TDI		TDI	J6	P7	L5								
B1	VREFB1N3	TCK		TCK	J1	P5	L2								
B1	VREFB1N3	TMS		TMS	J2	P8	L1								
B1	VREFB1N3	TDO		TDO	J5	P6	L4								
B1	VREFB1N3	nCE		nCE	K6	R8	L3								
B1	VREFB1N3	CLK1	DIFFCLK_0n		F1	J1	G1								
B2	VREFB2N0	CLK2	DIFFCLK_1p		N2	Y2	T2								
B2	VREFB2N0	CLK3	DIFFCLK_1n		N1	Y1	T1								
B2	VREFB2N0	IO	DIFFIO_L26p		K2	R2	L6	DQ1L	DQ1L				DQ0L	DQ1L	DQ1L
B2	VREFB2N0	IO	DIFFIO_L26n		K1	R1	M6	DQ1L	DQ1L				DQ0L	DQ1L	DQ1L
B2	VREFB2N0	IO	DIFFIO_L27p			U3	M2			DM0L		DM1L/BWS#1L	DM1L/BWS#1L	DQ0L	DQ1L
B2	VREFB2N0	IO	DIFFIO_L27n			U2	M1							DQ1L	DQ1L
B2	VREFB2N0	IO	DIFFIO_L28p		K5	R3	M4	DQ1L	DQ1L				DM0L	DM1L/BWS#1L	DM1L/BWS#1L
B2	VREFB2N0	IO	DIFFIO_L28n		L5	R6	M3	DM1L/BWS#1L	DM1L0/BWS#1L0				DQ1L	DQ3L	DQ1L
B2	VREFB2N0	IO	DIFFIO_L29p			R4	N2			DQ1L		DQ3L	DQ1L	DQ3L	DQ1L
B2	VREFB2N0	IO	DIFFIO_L29n			R7	N1						DQ1L	DQ3L	DQ1L
B2	VREFB2N0	IO	DIFFIO_L30p			T4				DQ1L		DQ3L	DQ1L	DQ3L	DQ1L
B2	VREFB2N0	IO	DIFFIO_L30n			T3	L7								
B2	VREFB2N0	IO	VREFB2N0		L6	T8	M5								



Bank Number	VREFB Group	Pin Name / Function	Optional Function(s)	Configuration Function	F324	F780	F484/U484	DQS for X8/X9 in F324	DQS for X16/X18 in F324	DQS for X8/X9 in F780	DQS for X16/X18 in F780	DQS for X32/X36 in F780	DQS for X8/X9 in F484/U484	DQS for X16/X18 in F484/U484	DQS for X32/X36 in F484/U484
B2	VREFB2N0	IO	DIFFIO_L31p			U4									
B2	VREFB2N0	IO	DIFFIO_L31n			R5				DQ1L		DQ3L	DQ1L		
B2	VREFB2N0	IO	DIFFIO_L32p		L2	U1	P2	DQ3L	DQ1L	DQ1L		DQ3L	DQ1L	DQ3L	DQ1L
B2	VREFB2N0	IO	DIFFIO_L32n		L1	V4	P1	DQ3L	DQ1L	DQ1L		DQ3L	DQ1L	DQ3L	DQ1L
B2	VREFB2N0	IO	DIFFIO_L33p		L4	V3	R2	DQ3L	DQ1L				DQ1L	DQ3L	DQ1L
B2	VREFB2N0	IO	DIFFIO_L33n		L3	V2	R1	DQ3L	DQ1L	DQ1L		DQ3L	DQ1L	DQ3L	DQ1L
B2	VREFB2N1	IO				V9	N5						DQ1L	DQ3L	DQ1L
B2	VREFB2N1	IO	DIFFIO_L34p		M2	AB2	P4	DQS1L/CQ1L#, DPCLK1	DQS1L/CQ1L#, DPCLK1	DQS1L/CQ1L#, DPCLK1	DQS1L/CQ1L#, DPCLK1	DQS1L/CQ1L#, DPCLK1	DQS1L/CQ1L#, DPCLK1	DQS1L/CQ1L#, DPCLK1	DQS1L/CQ1L#, DPCLK1
B2	VREFB2N1	IO	DIFFIO_L34n		M1	AB1	P3						DQ1L	DQ3L	DQ1L
B2	VREFB2N1	IO				V1				DQ1L		DQ3L	DQ1L		
B2	VREFB2N1	IO	DIFFIO_L35p			W2	U2			DQ1L		DQ3L	DM1L/BWS#1L	DM3L/BWS#3L	DM1L/BWS#1L
B2	VREFB2N1	IO	DIFFIO_L35n			W1	U1			DM1L/BWS#1L		DM3L/BWS#3L	DM1L/BWS#1L	DQ3L	DQ1L
B2	VREFB2N1	IO	DIFFIO_L36p			W3									
B2	VREFB2N1	IO	DIFFIO_L36n			W4									
B2	VREFB2N1	IO	DIFFIO_L37p			V6									
B2	VREFB2N1	IO	DIFFIO_L37n			U5									
B2	VREFB2N1	IO	DIFFIO_L38p			Y5	V2						DQ3L	DQ3L	DQ1L
B2	VREFB2N1	IO	DIFFIO_L38n			Y6	V1						DQ3L	DQ3L	DQ1L
B2	VREFB2N1	IO	DIFFIO_L39p			V5									
B2	VREFB2N1	IO	DIFFIO_L39n			U6			DQ3L	DQ3L		DQ1L			
B2	VREFB2N1	IO	DIFFIO_L40p			AA7									
B2	VREFB2N1	IO	DIFFIO_L40n			AA6									
B2	VREFB2N1	IO	VREFB2N1		M3	T7	P5								
B2	VREFB2N1	IO	DIFFIO_L41p			AA8	N6						DQ3L	DQ3L	DQ1L
B2	VREFB2N1	IO	DIFFIO_L41n			Y7	M7								
B2	VREFB2N1	IO	DIFFIO_L42p			Y4	M8		DQ3L	DQ3L		DQ1L			
B2	VREFB2N2	IO	DIFFIO_L42n			Y3	N8								
B2	VREFB2N2	IO	DIFFIO_L43p			T9									
B2	VREFB2N2	IO	DIFFIO_L43n			AC2				DQ3L		DQ3L	DQ1L		
B2	VREFB2N2	IO	DIFFIO_L44p		P2	W8	W2	DQ3L	DQ1L				DQ3L	DQ3L	DQ1L
B2	VREFB2N2	IO	DIFFIO_L44n		P1	AC1	W1	DQ3L	DQ1L	DQ3L		DQ3L	DQ1L	DQ3L	DQ1L
B2	VREFB2N2	IO	DIFFIO_L45p		R2	V7	Y2	DQ3L	DQ1L				DQ3L	DQ3L	DQ1L
B2	VREFB2N2	IO	DIFFIO_L45n			AC3	Y1			DQ3L		DQ3L	DQ1L	DQ3L	DQ1L
B2	VREFB2N2	IO	DIFFIO_L46p			AD2				DQ3L		DQ3L	DQ1L		
B2	VREFB2N2	IO	DIFFIO_L46n			AD1									
B2	VREFB2N2	IO	DIFFIO_L47p			AB3			DQ3L	DQ3L		DQ1L			
B2	VREFB2N2	IO	DIFFIO_L47n			AA4			DQ3L		DQ3L	DQ1L			
B2	VREFB2N2	IO				W9									
B2	VREFB2N2	IO	DIFFIO_L48p			AB7									
B2	VREFB2N2	IO	DIFFIO_L48n			AC7									
B2	VREFB2N2	IO	VREFB2N2		R1	V8	T3								
B2	VREFB2N2	IO	DIFFIO_L49p			AE1	N7								
B2	VREFB2N2	IO	DIFFIO_L49n			AE2	P7		DQ3L	DQ3L		DQ1L			
B2	VREFB2N2	IO	DIFFIO_L50p			AA5									
B2	VREFB2N2	IO	DIFFIO_L50n			AF2	AA1		DM3L/BWS#3L	DM3L/BWS#3L		DM1L/BWS#1L	DQ3L	DQ3L	DQ1L
B2	VREFB2N3	IO	DIFFIO_L51p			AB6									
B2	VREFB2N3	IO	DIFFIO_L51n			AB5									
B2	VREFB2N3	IO				AA3									
B2	VREFB2N3	IO	RUP1		T2	U7	V4								
B2	VREFB2N3	IO	RDN1		T1	U8	V3								
B2	VREFB2N3	IO	DIFFIO_L52p		T3	AC4	P6	DQ3L	DQ1L						
B2	VREFB2N3	IO	DIFFIO_L52n		R3	AD3		DQ3L	DQ1L						
B2	VREFB2N3	IO				AD4	T5						DM3L/BWS#3L	DM3L/BWS#3L	DM1L/BWS#1L
B2	VREFB2N3	IO			M5	AE3	T4	DQS3L/CQ3L#, CDPCLK1	DQS3L/CQ3L#, CDPCLK1	DQS3L/CQ3L#, CDPCLK1	DQS3L/CQ3L#, CDPCLK1	DQS3L/CQ3L#, CDPCLK1	DQS3L/CQ3L#, CDPCLK1	DQS3L/CQ3L#, CDPCLK1	DQS3L/CQ3L#, CDPCLK1
B2	VREFB2N3	IO	VREFB2N3		R5	AB4	R5								
B2	VREFB2N3	IO			R4	AB8	R6	DM3L/BWS#3L	DM1L1/BWS#1L1						
B2	VREFB2N3	IO	DIFFIO_L53p			AC5	R7								
B2	VREFB2N3	IO	DIFFIO_L53n			AD5	T7								
B2	VREFB2N3	IO	DIFFIO_L54p			AE4									
B2	VREFB2N3	IO	DIFFIO_L54n			AF3									
B3	VREFB3N3	IO	DIFFIO_B1p		U1	AC11	V6								
B3	VREFB3N3	IO	DIFFIO_B1n		V1	AD11	V5								
B3	VREFB3N3	IO	DIFFIO_B2p			AD12									
B3	VREFB3N3	IO	DIFFIO_B2n			AE6				DM1B					
B3	VREFB3N3	IO	DIFFIO_B3p			AF4	U7			DQ1B					
B3	VREFB3N3	IO	DIFFIO_B3n			AB12	U8								
B3	VREFB3N3	IO	VREFB3N3		T4	Y10	Y4								
B3	VREFB3N3	IO	DIFFIO_B4p			AG4	Y3						DQ3B	DQ3B	DQ5B
B3	VREFB3N3	IO	DIFFIO_B4n			AG3			DQ1B						
B3	VREFB3N3	IO	DIFFIO_B5p			AE7									
B3	VREFB3N3	IO	DIFFIO_B5n			AE8									
B3	VREFB3N3	IO	DIFFIO_B6p		P6	AD7	Y6	DQS1B/CQ1B#, CDPCLK2	DQS1B/CQ1B#, CDPCLK2	DQS1B/CQ1B#, CDPCLK2	DQS1B/CQ1B#, CDPCLK2	DQS1B/CQ1B#, CDPCLK2	DQS1B/CQ1B#, CDPCLK2	DQS1B/CQ1B#, CDPCLK2	DQS1B/CQ1B#, CDPCLK2
B3	VREFB3N3	IO	DIFFIO_B6n			Y12									
B3	VREFB3N2	IO	PLL1_CLKOUTp		U2	AE5	AA3								
B3	VREFB3N2	IO	PLL1_CLKOUTn		V2	AF5	AB3								
B3	VREFB3N2	IO	DIFFIO_B7p			AH3	W6		DQ1B				DQ3B	DQ3B	DQ5B
B3	VREFB3N2	IO	DIFFIO_B7n			W10	V7								
B3	VREFB3N2	IO				AF6	AA4		DQ1B				DQ3B	DQ3B	DQ5B
B3	VREFB3N2	IO	VREFB3N2		T6	AA12	AB4								
B3	VREFB3N2	IO	DIFFIO_B8p			AC12	AA5						DQ3B	DQ3B	DQ5B



Bank Number	VREFB Group	Pin Name / Function	Optional Function(s)	Configuration Function	F324	F780	F484/U484	DQS for X8/X9 in F324	DQS for X16/X18 in F324	DQS for X8/X9 in F780	DQS for X16/X18 in F780	DQS for X32/X36 in F780	DQS for X8/X9 in F484/U484	DQS for X16/X18 in F484/U484	DQS for X32/X36 in F484/U484
B3	VREFB3N2	IO	DIFFIO_B8n			AH4	AB5			DQ1B					
B3	VREFB3N2	IO	DIFFIO_B9p			AC10									
B3	VREFB3N2	IO	DIFFIO_B9n			AD8				DQ1B					
B3	VREFB3N2	IO	DIFFIO_B10p			AG6				DQ1B					
B3	VREFB3N2	IO	DIFFIO_B10n			AB13									
B3	VREFB3N2	IO	DIFFIO_B11p			AH6	T8			DQ1B					
B3	VREFB3N2	IO	DIFFIO_B11n			AA13	T9								
B3	VREFB3N2	IO	DIFFIO_B12p			AB9	W7			DM3B/BWS#3B	DM3B/BWS#3B	DM5B/BWS#5B	DQ3B	DQ3B	DQ5B
B3	VREFB3N2	IO	DIFFIO_B12n			AD10	Y7			DQ3B	DQ3B	DQ5B	DQ3B	DQ3B	DQ5B
B3	VREFB3N2	IO	DIFFIO_B13p			AG7	U9			DQ3B	DQ3B	DQ5B	DQ3B	DQ3B	DQ5B
B3	VREFB3N2	IO	DIFFIO_B13n			Y13	V8			DQ3B	DQ3B	DQ5B	DQ3B	DQ3B	DQ5B
B3	VREFB3N2	IO				AH7	W8			DQ3B	DQ3B	DQ5B	DQ3B	DQ3B	DQ5B
B3	VREFB3N1	IO	DIFFIO_B14p			AC8	AA7			DQ3B	DQ3B	DQ5B	DM5B/BWS#5B	DM3B/BWS#3B	DM5B/BWS#5B
B3	VREFB3N1	IO	DIFFIO_B14n			AA10	AB7			DQ3B	DQ3B	DQ5B	DQ5B	DQ3B	DQ5B
B3	VREFB3N1	IO				Y14	Y8						DQ5B	DQ3B	DQ5B
B3	VREFB3N1	IO	DIFFIO_B15p			AG8	T10			DQ3B	DQ3B	DQ5B			
B3	VREFB3N1	IO	DIFFIO_B15n			Y15	T11								
B3	VREFB3N1	IO	VREFB3N1			P7	AB11	V9							
B3	VREFB3N1	IO	DIFFIO_B16p			U3	AE10	V10	DQS3B/CQ3B#, DPCLK2	DQS3B/CQ3B#, DPCLK2	DQS3B/CQ3B#, DPCLK2	DQS3B/CQ3B#, DPCLK2	DQS3B/CQ3B#, DPCLK2	DQS3B/CQ3B#, DPCLK2	DQS3B/CQ3B#, DPCLK2
B3	VREFB3N1	IO	DIFFIO_B16n			V3	AH8		DM3B/BWS#3B	DM5B1/BWS#5B1	DQ3B	DQ3B	DQ5B		
B3	VREFB3N1	IO	DIFFIO_B17p			U4	AF7			DQ3B	DQ3B	DQ5B			
B3	VREFB3N1	IO	DIFFIO_B17n			V4	AH10	U10	DQ3B	DQ5B					
B3	VREFB3N1	IO	DIFFIO_B18p			U5	AF9	AA8		DQ3B	DQ3B	DQ5B	DQ5B	DQ3B	DQ5B
B3	VREFB3N1	IO	DIFFIO_B18n			V5	AH12	AB8	DQ3B	DQ5B			DQ5B	DQ3B	DQ5B
B3	VREFB3N1	IO	DIFFIO_B19p				AF8			DM5B/BWS#5B	DM3B/BWS#3B	DM5B/BWS#5B			
B3	VREFB3N1	IO	DIFFIO_B19n				AF12								
B3	VREFB3N1	IO	DIFFIO_B20p				AE9			DQ5B	DQ3B	DQ5B			
B3	VREFB3N1	IO	DIFFIO_B20n				AF13								
B3	VREFB3N1	IO	DIFFIO_B21p			R8	AF10	AA9	DQ3B	DQ5B	DQ3B	DQ5B	DQ5B	DQ3B	DQ5B
B3	VREFB3N1	IO	DIFFIO_B21n			T8	AF11	AB9	DQS5B/CQ5B#, DPCLK3	DQS5B/CQ5B#, DPCLK3	DQS5B/CQ5B#, DPCLK3	DQS5B/CQ5B#, DPCLK3	DQS5B/CQ5B#, DPCLK3	DQS5B/CQ5B#, DPCLK3	DQS5B/CQ5B#, DPCLK3
B3	VREFB3N0	IO	VREFB3N0			P8	AA14	U11							
B3	VREFB3N0	IO	DIFFIO_B22p				AG10			DQ5B	DQ3B	DQ5B			
B3	VREFB3N0	IO	DIFFIO_B22n				AE12			DQ5B	DQ3B	DQ5B			
B3	VREFB3N0	IO	DIFFIO_B23p				AE11			DQ5B	DQ3B	DQ5B			
B3	VREFB3N0	IO	DIFFIO_B23n			P9	AG11		DQ3B	DQ5B	DQ3B	DQ5B			
B3	VREFB3N0	IO	DIFFIO_B24p			U6	AH11		DQ3B	DQ5B	DQ3B	DQ5B			
B3	VREFB3N0	IO	DIFFIO_B24n			V6	AB14		DQ3B	DQ5B					
B3	VREFB3N0	IO	DIFFIO_B25p				AE13			DQ5B	DQ3B	DQ5B			
B3	VREFB3N0	IO	DIFFIO_B25n				AC14	V11					DQ5B	DQ3B	DQ5B
B3	VREFB3N0	IO	DIFFIO_B26p			U7	AG12	W10		DQ5B	DQ3B	DQ5B	DQ5B	DQ3B	DQ5B
B3	VREFB3N0	IO	DIFFIO_B26n			V7	AD14	Y10	DQ3B	DQ5B			DQ5B	DQ3B	DQ5B
B3	VREFB3N0	IO	DIFFIO_B27p			U8	AE14	AA10		DQ5B	DQ3B	DQ5B	DM4B	DM5B/BWS#5B	DM5B/BWS#5B
B3	VREFB3N0	IO	DIFFIO_B27n			V8	AF14	AB10	DM5B/BWS#5B	DM5B0/BWS#5B0			DQ5B	DQ5B	DQ5B
B3	VREFB3N0	IO	DIFFCLK_6p			U9	AG14	AA11							
B3	VREFB3N0	IO	DIFFCLK_6n			V9	AH14	AB11							
B4	VREFB4N3	IO	DIFFCLK_7p			U10	AG15	AA12							
B4	VREFB4N3	IO	DIFFCLK_7n			V10	AH15	AB12							
B4	VREFB4N3	IO	DIFFIO_B28p			U11	AB15	AA13	DQ5B	DQ5B			DQ4B	DQ5B	DQ5B
B4	VREFB4N3	IO	DIFFIO_B28n			V11	AC15	AB13					DQ4B	DQ5B	DQ5B
B4	VREFB4N3	IO	DIFFIO_B29p			U12	AD15	AA14	DQ5B	DQ5B	DM4B	DM5B/BWS#5B	DQ4B	DQ5B	DQ5B
B4	VREFB4N3	IO	DIFFIO_B29n				AE15	AB14					DQ4B	DQ5B	DQ5B
B4	VREFB4N3	IO					AA16								
B4	VREFB4N3	IO	VREFB4N3			V12	AA15	V12							
B4	VREFB4N3	IO	DIFFIO_B30p				AF15			DQ4B	DQ5B	DQ5B			
B4	VREFB4N3	IO	DIFFIO_B30n				AG17			DQ4B	DQ5B	DQ5B			
B4	VREFB4N3	IO	DIFFIO_B31p				AH17			DQ4B	DQ5B	DQ5B			
B4	VREFB4N3	IO	DIFFIO_B31n				W16								
B4	VREFB4N3	IO	DIFFIO_B32p			U13	AF16	W13	DQ5B	DQ5B	DQ4B	DQ5B	DQ4B	DQ5B	DQ5B
B4	VREFB4N3	IO	DIFFIO_B32n			V13	AF17	Y13	DQS4B/CQ5B, DPCLK4	DQS4B/CQ5B, DPCLK4	DQS4B/CQ5B, DPCLK4	DQS4B/CQ5B, DPCLK4	DQS4B/CQ5B, DPCLK4	DQS4B/CQ5B, DPCLK4	DQS4B/CQ5B, DPCLK4
B4	VREFB4N3	IO	DIFFIO_B33p			P10	AB16	AA15	DQ5B	DQ5B	DQ4B	DQ5B	DQ4B	DQ5B	DQ5B
B4	VREFB4N3	IO	DIFFIO_B33n			P11	AE16	AB15					DQ4B	DQ5B	DQ5B
B4	VREFB4N3	IO	DIFFIO_B34p			U14	AE17	U12	DQ5B	DQ5B	DQ4B	DQ5B	DQ4B	DQ5B	DQ5B
B4	VREFB4N3	IO	DIFFIO_B34n			V14	AG18		DQ5B	DQ5B	DQ4B	DQ5B	DQ4B	DQ5B	DQ5B
B4	VREFB4N2	IO	DIFFIO_B35p			U15	AH18	AA16		DQ4B	DQ5B	DQ5B	DM2B	DM5B/BWS#5B	DM5B/BWS#5B
B4	VREFB4N2	IO	DIFFIO_B35n			V15	AH19	AB16	DQ5B	DQ5B	DM2B	DM5B/BWS#5B	DQ2B	DQ5B	DQ5B
B4	VREFB4N2	IO	DIFFIO_B36p				AD17	T12		DQ2B	DQ5B	DQ5B			
B4	VREFB4N2	IO	DIFFIO_B36n			R11	AF18	T13	DQ5B	DQ5B					
B4	VREFB4N2	IO				P12	AE18	V13	DQS2B/CQ3B, DPCLK5	DQS2B/CQ3B, DPCLK5	DQS2B/CQ3B, DPCLK5	DQS2B/CQ3B, DPCLK5	DQS2B/CQ3B, DPCLK5	DQS2B/CQ3B, DPCLK5	DQS2B/CQ3B, DPCLK5
B4	VREFB4N2	IO	VREFB4N2			T11	Y17	W14							
B4	VREFB4N2	IO	DIFFIO_B37p				AG21			DQ2B	DQ5B	DQ5B			
B4	VREFB4N2	IO	DIFFIO_B37n				AC17								
B4	VREFB4N2	IO	DIFFIO_B38p				AH21			DQ2B	DQ5B	DQ5B			
B4	VREFB4N2	IO	DIFFIO_B38n				AG22	U13		DQ2B	DQ5B	DQ5B			
B4	VREFB4N2	IO	DIFFIO_B39p				AH22	V14		DQ2B	DQ5B	DQ5B	DQ2B	DQ5B	DQ5B
B4	VREFB4N2	IO	DIFFIO_B39n				AG19	U14							
B4	VREFB4N2	IO	DIFFIO_B40p				AH23	U15		DQ2B	DQ5B	DQ5B			
B4	VREFB4N2	IO	DIFFIO_B40n				AE19	V15		DQ2B	DQ5B	DQ5B	DQ2B	DQ5B	DQ5B
B4	VREFB4N1	IO	DIFFIO_B41p				AF24			DQ2B	DQ5B	DQ5B			
B4	VREFB4N1	IO	DIFFIO_B41n				AF19	W15					DQ2B	DQ5B	DQ5B
B4	VREFB4N1	IO	DIFFIO_B42p				AF25	T14		DM0B	DQ5B	DQ5B			



Bank Number	VREFB Group	Pin Name / Function	Optional Function(s)	Configuration Function	F324	F780	F484/U484	DQS for X8/X9 in F324	DQS for X16/X18 in F324	DQS for X8/X9 in F780	DQS for X16/X18 in F780	DQS for X32/X36 in F780	DQS for X8/X9 in F484/U484	DQS for X16/X18 in F484/U484	DQS for X32/X36 in F484/U484
B4	VREFB4N1	IO	DIFFIO_B42n			AF20	T15			DQ0B			DQ2B	DQ5B	DQ5B
B4	VREFB4N1	IO				AD18	AB18			DQ0B			DQ2B	DQ5B	DQ5B
B4	VREFB4N1	IO	DIFFIO_B43p			Y19	AA17								
B4	VREFB4N1	IO	DIFFIO_B43n			AE21	AB17			DQ0B					
B4	VREFB4N1	IO	VREFB4N1		U16	AC18	AA18								
B4	VREFB4N1	IO	DIFFIO_B44p			AB18									
B4	VREFB4N1	IO	DIFFIO_B44n		V16	AA19		DQ5B	DQ5B						
B4	VREFB4N1	IO	DIFFIO_B45p			AD19									
B4	VREFB4N1	IO	DIFFIO_B45n			AE20									
B4	VREFB4N1	IO	DIFFIO_B46p			AC19									
B4	VREFB4N1	IO	DIFFIO_B46n			AB19									
B4	VREFB4N1	IO	RUP2		T13	AA17	AA19								
B4	VREFB4N1	IO	RDN2		T14	AB17	AB19								
B4	VREFB4N1	IO				AD21									
B4	VREFB4N1	IO	DIFFIO_B47p		U17	AF21									
B4	VREFB4N0	IO	DIFFIO_B47n		V17	AE25				DQ0B					
B4	VREFB4N0	IO	DIFFIO_B48p			AC21	W17						DQ2B	DQ5B	DQ5B
B4	VREFB4N0	IO	DIFFIO_B48n		R13	AF26	Y17	DQS0B/CQ1B, CDPCLK3	DQS0B/CQ1B, CDPCLK3	DQS0B/CQ1B, CDPCLK3	DQS0B/CQ1B, CDPCLK3	DQS0B/CQ1B, CDPCLK3	DQS0B/CQ1B, CDPCLK3	DQS0B/CQ1B, CDPCLK3	DQS0B/CQ1B, CDPCLK3
B4	VREFB4N0	IO	DIFFIO_B49p			AG25	AA20								
B4	VREFB4N0	IO	DIFFIO_B49n			AH25	AB20			DQ0B			DQ2B	DQ5B	DQ5B
B4	VREFB4N0	IO	VREFB4N0		P13	AB20	V16								
B4	VREFB4N0	IO	DIFFIO_B50p			AG23	U16								
B4	VREFB4N0	IO	DIFFIO_B50n			AF22	U17			DQ0B					
B4	VREFB4N0	IO	DIFFIO_B51p			AE24				DQ0B					
B4	VREFB4N0	IO	DIFFIO_B51n			AG26				DQ0B					
B4	VREFB4N0	IO	PLL4_CLKOUTp		U18	AE23	T16								
B4	VREFB4N0	IO	PLL4_CLKOUTn		V18	AF23	R16								
B4	VREFB4N0	IO	DIFFIO_B52p			AD22	R14								
B4	VREFB4N0	IO	DIFFIO_B52n			AE22	R15								
B4	VREFB4N0	IO	DIFFIO_B53p			AB21									
B4	VREFB4N0	IO	DIFFIO_B53n			AC22									
B4	VREFB4N0	IO				AH26									
B5	VREFB5N3	IO	DIFFIO_R56n			AA21									
B5	VREFB5N3	IO	DIFFIO_R56p			AB22	AA21						DM3R/BWS#3R	DM3R/BWS#3R	DM1R/BWS#1R
B5	VREFB5N3	IO	DIFFIO_R55n			AB24				DM3R/BWS#3R	DM3R/BWS#3R	DM1R/BWS#1R			
B5	VREFB5N3	IO	DIFFIO_R55p		N15	AC24		DM3R/BWS#3R	DM1R1/BWS#1R1						
B5	VREFB5N3	IO	RUP3		T16	AA22	T17	DQ3R	DQ1R						
B5	VREFB5N3	IO	RDN3		R16	AB23	T18								
B5	VREFB5N3	IO				AD25									
B5	VREFB5N3	IO			T18	AF27	W20	DQS3R/CQ3R#, CDPCLK4	DQS3R/CQ3R#, DPCLK4	DQS3R/CQ3R#, CDPCLK4	DQS3R/CQ3R#, CDPCLK4	DQS3R/CQ3R#, CDPCLK4	DQS3R/CQ3R#, CDPCLK4	DQS3R/CQ3R#, CDPCLK4	DQS3R/CQ3R#, CDPCLK4
B5	VREFB5N3	IO	DIFFIO_R54n		T17	AE26		DQ3R	DQ1R						
B5	VREFB5N3	IO	DIFFIO_R54p			AE27									
B5	VREFB5N3	IO	DIFFIO_R53n			Y22									
B5	VREFB5N3	IO	DIFFIO_R53p			AD24									
B5	VREFB5N3	IO	VREFB5N3		R18	AA24	W19								
B5	VREFB5N3	IO	DIFFIO_R52n			AC25									
B5	VREFB5N3	IO	DIFFIO_R52p			AD26		DQ3R	DQ3R	DQ3R	DQ1R				
B5	VREFB5N3	IO	DIFFIO_R51n			AE28	Y22	DQ3R	DQ3R	DQ3R	DQ1R		DQ3R	DQ3R	DQ1R
B5	VREFB5N2	IO	DIFFIO_R51p			AA23	Y21								
B5	VREFB5N2	IO	DIFFIO_R50n			AD28	U20	DQ3R	DQ3R	DQ3R	DQ1R		DQ3R	DQ3R	DQ1R
B5	VREFB5N2	IO	DIFFIO_R50p			Y23	U19								
B5	VREFB5N2	IO	DIFFIO_R49n			AD27	W22	DQ3R	DQ3R	DQ3R	DQ1R		DQ3R	DQ3R	DQ1R
B5	VREFB5N2	IO	DIFFIO_R49p			AC26	W21						DQ3R	DQ3R	DQ1R
B5	VREFB5N2	IO	DIFFIO_R48n			Y24		DQ3R	DQ3R	DQ3R	DQ1R				
B5	VREFB5N2	IO	DIFFIO_R48p			W22									
B5	VREFB5N2	IO	DIFFIO_R47n			AC28		DQ3R	DQ3R	DQ3R	DQ1R				
B5	VREFB5N2	IO	DIFFIO_R47p			W21									
B5	VREFB5N2	IO	DIFFIO_R46n			AC27	P15	DQ3R	DQ3R	DQ3R	DQ1R				
B5	VREFB5N2	IO	DIFFIO_R46p			AB26	P16	DQ3R	DQ3R	DQ3R	DQ1R				
B5	VREFB5N2	IO				V26									
B5	VREFB5N2	IO	VREFB5N2		R17	U24	R17								
B5	VREFB5N2	IO				V22	P17								
B5	VREFB5N2	IO	DIFFIO_R45n			AA26	V22	DQ3R	DQ3R	DQ3R	DQ1R		DQ3R	DQ3R	DQ1R
B5	VREFB5N2	IO	DIFFIO_R45p			U26	V21						DQ3R	DQ3R	DQ1R
B5	VREFB5N2	IO	DIFFIO_R44n			AB28	R20	DM1R/BWS#1R	DM3R/BWS#3R	DM1R/BWS#1R			DQ3R	DQ3R	DQ1R
B5	VREFB5N2	IO	DIFFIO_R44p			AB27		DQ1R	DQ3R	DQ3R	DQ1R				
B5	VREFB5N2	IO	DIFFIO_R43n			V21	U22						DQ3R	DQ3R	DQ1R
B5	VREFB5N1	IO	DIFFIO_R43p			Y26	U21	DQ1R	DQ3R	DQ3R	DQ1R		DQ3R	DQ3R	DQ1R
B5	VREFB5N1	IO	DIFFIO_R42n		P18	U20	R18	DQ3R	DQ1R						
B5	VREFB5N1	IO	DIFFIO_R42p		P17	W26	R19	DQ3R	DQ1R	DQ1R	DQ3R		DM1R/BWS#1R	DM3R/BWS#3R	DM1R/BWS#1R
B5	VREFB5N1	IO	DIFFIO_R41n			W27		DQ1R	DQ1R	DQ3R	DQ1R				
B5	VREFB5N1	IO	DIFFIO_R41p			W28		DQ1R	DQ3R	DQ3R	DQ1R				
B5	VREFB5N1	IO	DIFFIO_R40n			AB25									
B5	VREFB5N1	IO	DIFFIO_R40p			V28	N16	DQ1R	DQ3R	DQ3R	DQ1R				
B5	VREFB5N1	IO	DIFFIO_R39n			AA25	R22						DQ1R	DQ3R	DQ1R
B5	VREFB5N1	IO	DIFFIO_R39p			V27	R21						DQ1R	DQ3R	DQ1R
B5	VREFB5N1	IO	VREFB5N1		N16	U23	P20								
B5	VREFB5N1	IO				W25									
B5	VREFB5N1	IO	DIFFIO_R38n		M14	V25	P22	DQ3R	DQ1R	DQ1R	DQ3R		DQ1R	DQ3R	DQ1R
B5	VREFB5N1	IO	DIFFIO_R38p		L13	R22	P21	DQ3R	DQ1R	DQ3R	DQ3R		DQ1R	DQ3R	DQ1R



Bank Number	VREFB Group	Pin Name / Function	Optional Function(s)	Configuration Function	F324	F780	F484/U484	DQS for X8/X9 in F324	DQS for X16/X18 in F324	DQS for X8/X9 in F780	DQS for X16/X18 in F780	DQS for X32/X36 in F780	DQS for X8/X9 in F484/U484	DQS for X16/X18 in F484/U484	DQS for X32/X36 in F484/U484
B5	VREFB5N1	IO	DIFFIO R37n			V24									
B5	VREFB5N1	IO	DIFFIO R37p			U27									
B5	VREFB5N1	IO	DIFFIO R36n		L15	V23	N20	DQ3R	DQ1R				DQ1R	DQ3R	DQ1R
B5	VREFB5N1	IO	DIFFIO R36p		L14	U28	N19	DQ3R	DQ1R						
B5	VREFB5N1	IO	DIFFIO R35n			Y25									
B5	VREFB5N1	IO	DIFFIO R35p			T26									
B5	VREFB5N0	IO	DIFFIO R34n			W20									
B5	VREFB5N0	IO	DIFFIO R34p			U22									
B5	VREFB5N0	IO	DIFFIO R33n		M17	V20	N17	DQ3R	DQ1R						
B5	VREFB5N0	IO	DIFFIO R33p		L16	T25	N18	DQS1R/CQ1R#, DPCLK6	DQS1R/CQ1R#, DPCLK6	DQS1R/CQ1R#, DPCLK6	DQS1R/CQ1R#, DPCLK6	DQS1R/CQ1R#, DPCLK6	DQS1R/CQ1R#, DPCLK6	DQS1R/CQ1R#, DPCLK6	DQS1R/CQ1R#, DPCLK6
B5	VREFB5N0	IO	DIFFIO R32n	DEV_OE		M18	T22	N22							
B5	VREFB5N0	IO	DIFFIO R32p	DEV_CLRn		L17	T21	N21							
B5	VREFB5N0	IO	DIFFIO R31n			R26	M22		DQ1R		DQ3R				
B5	VREFB5N0	IO	DIFFIO R31p			R25	M21						DQ1R	DQ3R	DQ1R
B5	VREFB5N0	IO	DIFFIO R30n			R28	M20		DM0R		DM1R/BWS#1R		DM1R/BWS#1R	DQ1R	DQ3R
B5	VREFB5N0	IO	DIFFIO R30p			U25	M19						DQ1R	DQ3R	DQ1R
B5	VREFB5N0	IO	VREFB5N0			L18	R24	M16							
B5	VREFB5N0	IO				R27					DQ1R				
B5	VREFB5N0	IO	DIFFIO R29n			K18	R23		DM1R/BWS#1R		DM1R0/BWS#1R0				
B5	VREFB5N0	IO	DIFFIO R29p			K17	R21		DQ1R		DQ1R				
B5	VREFB5N0	IO				P21									
B5	VREFB5N0	CLK7	DIFFCLK 3n			N18	Y28	T22							
B5	VREFB5N0	CLK6	DIFFCLK 3p			N17	Y27	T21							
B6	VREFB6N3	CLK5	DIFFCLK 2n			F18	J28	G22							
B6	VREFB6N3	CLK4	DIFFCLK 2p			F17	J27	G21							
B6	VREFB6N3	CONF_DONE		CONF_DONE		K14	P24	M18							
B6	VREFB6N3	MSEL0				K13	N22	M17							
B6	VREFB6N3	MSEL1				J18	P23	L18							
B6	VREFB6N3	MSEL2				J17	M22	L17							
B6	VREFB6N3	MSEL3				J14	P22	K20							
B6	VREFB6N3	IO	DIFFIO R28n			K25									
B6	VREFB6N3	IO	DIFFIO R28p			H17	M24		DQ1R		DQ1R				
B6	VREFB6N3	IO	DIFFIO R27n	INIT_DONE		G18	P26	L22							
B6	VREFB6N3	IO	DIFFIO R27p	CRC_ERROR		G17	P25	L21							
B6	VREFB6N3	IO	DIFFIO R26n			H26									
B6	VREFB6N3	IO	DIFFIO R26p			L25									
B6	VREFB6N3	IO	VREFB6N3			J13	N21	K19							
B6	VREFB6N3	IO	DIFFIO R25n			N25									
B6	VREFB6N3	IO	DIFFIO R25p			G24									
B6	VREFB6N3	IO	DIFFIO R24n	nCEO		E18	P28	K22							
B6	VREFB6N3	IO	DIFFIO R24p	CLKUSR		E17	P27	K21							
B6	VREFB6N3	IO	DIFFIO R23n			H16	N26	J22	DQS0R/CQ1R, DPCLK7		DQS0R/CQ1R, DPCLK7		DQS0R/CQ1R, DPCLK7	DQS0R/CQ1R, DPCLK7	DQS0R/CQ1R, DPCLK7
B6	VREFB6N3	IO	DIFFIO R23p			L22	J21						DM0R	DM1R/BWS#1R	DM1R/BWS#1R
B6	VREFB6N3	IO	DIFFIO R22n			M28	H22		DQ0R		DQ1R		DQ0R	DQ1R	DQ1R
B6	VREFB6N2	IO	DIFFIO R22p			M23	H21						DQ0R	DQ1R	DQ1R
B6	VREFB6N2	IO				M27			DQ0R		DQ1R				
B6	VREFB6N2	IO	DIFFIO R21n			L20									
B6	VREFB6N2	IO	DIFFIO R21p			M26			DQ0R		DQ1R				
B6	VREFB6N2	IO	DIFFIO R20n			K22	K17								
B6	VREFB6N2	IO	DIFFIO R20p			L23	K18						DQ0R	DQ1R	DQ1R
B6	VREFB6N2	IO				J28									
B6	VREFB6N2	IO	DIFFIO R19n			H25									
B6	VREFB6N2	IO	DIFFIO R19p			K21									
B6	VREFB6N2	IO	VREFB6N2			H18	M25	J18							
B6	VREFB6N2	IO	DIFFIO R18n			J23	F22								
B6	VREFB6N2	IO	DIFFIO R18p			L28	F21						DQ0R	DQ1R	DQ1R
B6	VREFB6N2	IO	DIFFIO R17n			L27			DQ0R		DQ1R		DQ0R	DQ1R	DQ1R
B6	VREFB6N2	IO	DIFFIO R17p			L24			DQ0R		DQ1R				
B6	VREFB6N2	IO	DIFFIO R16n			E25									
B6	VREFB6N2	IO	DIFFIO R16p			K28			DQ0R		DQ1R				
B6	VREFB6N2	IO	DIFFIO R15n			F24									
B6	VREFB6N1	IO	DIFFIO R15p			K27			DQ0R		DQ1R				
B6	VREFB6N1	IO	DIFFIO R14n			J24									
B6	VREFB6N1	IO	DIFFIO R14p			L26									
B6	VREFB6N1	IO	DIFFIO R13n			H23	H20						DQ0R	DQ1R	DQ1R
B6	VREFB6N1	IO	DIFFIO R13p			J25	H19				DQ1R		DQ0R	DQ1R	DQ1R
B6	VREFB6N1	IO	DIFFIO R12n	nWE		D18	G28	E22	DQ1R		DQ1R		DQ0R	DQ1R	DQ1R
B6	VREFB6N1	IO	DIFFIO R12p	nOE		D17	G27	E21	DQ1R		DQ1R		DQ0R	DQ1R	DQ1R
B6	VREFB6N1	IO	DIFFIO R11n			H22									
B6	VREFB6N1	IO	DIFFIO R11p			H24									
B6	VREFB6N1	IO	VREFB6N1			H15	M21	H18							
B6	VREFB6N1	IO	DIFFIO R10n			G25	J17								
B6	VREFB6N1	IO	DIFFIO R10p			K26	H16			DQ2R		DQ1R			
B6	VREFB6N1	IO	DIFFIO R9n			G26	D22								
B6	VREFB6N1	IO	DIFFIO R9p			G23	D21								
B6	VREFB6N1	IO	DIFFIO R8n	nAVD		H14	F28	F20	DQ1R		DQ1R		DM2R	DM1R/BWS#1R	DM1R/BWS#1R
B6	VREFB6N1	IO	DIFFIO R8p			H13	F27	F19	DQ1R		DQ1R			DQ1R	DQ1R
B6	VREFB6N1	IO	DIFFIO R7n	PADD23		G14	E28	G18	DQ1R		DQ1R		DQ2R	DQ1R	DQ1R
B6	VREFB6N1	IO	DIFFIO R7p			G22	H17								
B6	VREFB6N1	IO	DIFFIO R6n			E27	C22			DQ2R		DQ1R		DQ2R	DQ1R



Bank Number	VREFB Group	Pin Name / Function	Optional Function(s)	Configuration Function	F324	F780	F484/U484	DQS for X8/X9 in F324	DQS for X16/X18 in F324	DQS for X8/X9 in F780	DQS for X16/X18 in F780	DQS for X32/X36 in F780	DQS for X8/X9 in F484/U484	DQS for X16/X18 in F484/U484	DQS for X32/X36 in F484/U484
B6	VREFB6N0	IO	DIFFIO_R6p			H21	C21						DQ2R	DQ1R	DQ1R
B6	VREFB6N0	IO				F26				DQ2R		DQ1R			
B6	VREFB6N0	IO	DIFFIO_R5n	PADD22	C18	D28	B22	DQ1R	DQ1R				DQ2R	DQ1R	DQ1R
B6	VREFB6N0	IO	DIFFIO_R5p	PADD21	C17	D27	B21	DQ1R	DQ1R	DQ2R			DQ2R	DQ1R	DQ1R
B6	VREFB6N0	IO	DIFFIO_R4n	PADD20	B18	C27	C20	DQS2R/CQ3R, CDPCLK5	DQS2R/CQ3R, CDPCLK5	DQS2R/CQ3R, CDPCLK5			DQS2R/CQ3R, CDPCLK5	DQS2R/CQ3R, CDPCLK5	DQS2R/CQ3R, CDPCLK5
B6	VREFB6N0	IO	DIFFIO_R4p			F25									
B6	VREFB6N0	IO	VREFB6N0		B17	J22	D20								
B6	VREFB6N0	IO	DIFFIO_R3n			E26									
B6	VREFB6N0	IO	DIFFIO_R3p			E24									
B6	VREFB6N0	IO	DIFFIO_R2n			D25	F17						DQ2R	DQ1R	DQ1R
B6	VREFB6N0	IO	DIFFIO_R2p			D24	G17								
B6	VREFB6N0	IO	DIFFIO_R1n			D26									
B6	VREFB6N0	IO	DIFFIO_R1p			C26									
B7	VREFB7N0	IO				G21									
B7	VREFB7N0	IO	DIFFIO_T52n			B26				DQ0T					
B7	VREFB7N0	IO	DIFFIO_T52p			D22				DQ0T					
B7	VREFB7N0	IO	DIFFIO_T51n			E22	F16			DQ0T					
B7	VREFB7N0	IO	DIFFIO_T51p			J19	E16								
B7	VREFB7N0	IO	DIFFIO_T50n			A26	F15			DQ0T			DQ2T	DQ5T	DQ5T
B7	VREFB7N0	IO	DIFFIO_T50p			G20	G16						DQ2T	DQ5T	DQ5T
B7	VREFB7N0	IO				B25				DQ0T					
B7	VREFB7N0	IO	DIFFIO_T49n		C16	G19	G15								
B7	VREFB7N0	IO	DIFFIO_T49p		D16	A25	F14	DQS0T/CQ1T, CDPCLK6	DQS0T/CQ1T, CDPCLK6	DQS0T/CQ1T, CDPCLK6	DQS0T/CQ1T, CDPCLK6	DQS0T/CQ1T, CDPCLK6	DQS0T/CQ1T, CDPCLK6	DQS0T/CQ1T, CDPCLK6	DQS0T/CQ1T, CDPCLK6
B7	VREFB7N0	IO	DIFFIO_T48n			F21	H15			DQ0T					
B7	VREFB7N0	IO	DIFFIO_T48p		A18	C25	H14	DQ5T	DQ5T	DQ0T					
B7	VREFB7N0	IO	VREFB7N0		A17	F22	D17								
B7	VREFB7N0	IO				A23				DQ0T					
B7	VREFB7N0	IO	DIFFIO_T47n			H19	C19						DQ2T	DQ5T	DQ5T
B7	VREFB7N0	IO	DIFFIO_T47p			B23	D19			DM0T			DQ2T	DQ5T	DQ5T
B7	VREFB7N0	IO	PLL2_CLKOUTn		C14	C23	A20								
B7	VREFB7N1	IO	PLL2_CLKOUTp		D14	D23	B20								
B7	VREFB7N1	IO	DIFFIO_T46n			C24				DQ2T	DQ5T		DQ5T		
B7	VREFB7N1	IO	DIFFIO_T46p			E21	C17						DQ2T	DQ5T	DQ5T
B7	VREFB7N1	IO	RUP4		E14	F19	B19								
B7	VREFB7N1	IO	RDN4		E13	E19	A19								
B7	VREFB7N1	IO				C22				DQ2T	DQ5T		DQ5T		
B7	VREFB7N1	IO	DIFFIO_T45n			D21	A18			DQ2T	DQ5T		DQ5T		DQ5T
B7	VREFB7N1	IO	DIFFIO_T45p	PADD0	E12	B22	B18	DQ5T	DQ5T						
B7	VREFB7N1	IO	VREFB7N1		D12	F18	D15								
B7	VREFB7N1	IO	DIFFIO_T44n			C21	E15			DQ2T	DQ5T		DQ5T		DQ5T
B7	VREFB7N1	IO	DIFFIO_T44p			D19	G14						DQ2T	DQ5T	DQ5T
B7	VREFB7N1	IO	DIFFIO_T43n			A22				DQ2T	DQ5T		DQ5T		DQ5T
B7	VREFB7N1	IO	DIFFIO_T43p			A21				DQ2T	DQ5T		DQ5T		DQ5T
B7	VREFB7N1	IO	DIFFIO_T42n			B21	G13			DQ2T	DQ5T		DQ5T		DQ5T
B7	VREFB7N1	IO	DIFFIO_T42p			E18				DQ2T	DQ5T		DQ5T		DQ5T
B7	VREFB7N1	IO	DIFFIO_T41n	PADD1	A16	C18	A17						DQ2T	DQ5T	DQ5T
B7	VREFB7N2	IO	DIFFIO_T41p	PADD2	B16	D18	B17	DQ5T	DQ5T				DQ5T	DQ5T	DQ5T
B7	VREFB7N2	IO	DIFFIO_T40n			C20	A16			DM2T	DM5T/BWS#5T		DM5T/BWS#5T	DM5T/BWS#5T	DM5T/BWS#5T
B7	VREFB7N2	IO	DIFFIO_T40p			H17	B16						DQ4T	DQ5T	DQ5T
B7	VREFB7N2	IO	VREFB7N2		C12	G17	C15								
B7	VREFB7N2	IO	DIFFIO_T39n			D20				DQ4T	DQ5T		DQ5T		DQ5T
B7	VREFB7N2	IO	DIFFIO_T39p			C19				DQ4T	DQ5T		DQ5T		DQ5T
B7	VREFB7N2	IO	DIFFIO_T38n	PADD3	A15	C17	E14	DQ5T	DQ5T	DQ4T	DQ5T		DQ5T	DQ5T	DQ5T
B7	VREFB7N2	IO	DIFFIO_T38p			G18									
B7	VREFB7N2	IO				H15									
B7	VREFB7N2	IO	DIFFIO_T37n			F17									
B7	VREFB7N2	IO	DIFFIO_T37p	PADD4	B15	D17	F13	DQS2T/CQ3T, DPCLK8	DQS2T/CQ3T, DPCLK8	DQS2T/CQ3T, DPCLK8	DQS2T/CQ3T, DPCLK8	DQS2T/CQ3T, DPCLK8	DQS2T/CQ3T, DPCLK8	DQS2T/CQ3T, DPCLK8	DQS2T/CQ3T, DPCLK8
B7	VREFB7N2	IO	DIFFIO_T36n	PADD5	A14	A19	A15	DQ5T	DQ5T	DQ4T	DQ5T		DQ4T	DQ5T	DQ5T
B7	VREFB7N3	IO	DIFFIO_T36p	PADD6	B14	B19	B15	DQ5T	DQ5T	DQ4T	DQ5T		DQ4T	DQ5T	DQ5T
B7	VREFB7N3	IO	DIFFIO_T35n	PADD7	A13	A18	C13								
B7	VREFB7N3	IO	DIFFIO_T35p	PADD8	B13	B18	D13	DQ5T	DQ5T	DQ4T	DQ5T		DQ4T	DQ5T	DQ5T
B7	VREFB7N3	IO	DIFFIO_T34n			E17				DQ4T	DQ5T		DQ5T		DQ5T
B7	VREFB7N3	IO	DIFFIO_T34p			J16									
B7	VREFB7N3	IO	DIFFIO_T33n			J17									
B7	VREFB7N3	IO	DIFFIO_T33p			H16									
B7	VREFB7N3	IO	DIFFIO_T32n			G16									
B7	VREFB7N3	IO	DIFFIO_T32p			F15									
B7	VREFB7N3	IO	VREFB7N3		E11	G15	E13								
B7	VREFB7N3	IO	DIFFIO_T31n	PADD9	A12	C16	A14	DQ5T	DQ5T		DQ4T	DQ5T	DQ4T	DQ5T	DQ5T
B7	VREFB7N3	IO	DIFFIO_T31p	PADD10	B12	D16	B14						DQ4T	DQ5T	DQ5T
B7	VREFB7N3	IO	DIFFIO_T30n			H14									
B7	VREFB7N3	IO	DIFFIO_T30p			K15									
B7	VREFB7N3	IO	DIFFIO_T29n	PADD11	A11	A17	A13	DQ5T	DQ5T	DQ5T	DQ5T		DQ4T	DQ5T	DQ5T
B7	VREFB7N3	IO	DIFFIO_T29p	PADD12	B11	B17	B13	DQS4T/CQ5T, DPCLK9	DQS4T/CQ5T, DPCLK9	DQS4T/CQ5T, DPCLK9	DQS4T/CQ5T, DPCLK9	DQS4T/CQ5T, DPCLK9	DQS4T/CQ5T, DPCLK9	DQS4T/CQ5T, DPCLK9	DQS4T/CQ5T, DPCLK9
B7	VREFB7N3	IO	DIFFIO_T28n			E15				DM4T	DM5T/BWS#5T		DM5T/BWS#5T		DQ5T
B7	VREFB7N3	IO	DIFFIO_T28p			J14	E12							DQ5T	DQ5T
B7	VREFB7N3	IO	DIFFIO_T27n	PADD13	C10	C15	E11	DM5T/BWS#5T	DM5T0/BWS#5T0						
B7	VREFB7N3	IO	DIFFIO_T27p	PADD14	D10	D15	F11			DQ3T	DQ3T		DM4T	DM5T/BWS#5T	DM5T/BWS#5T
B7	VREFB7N3	CLK8	DIFFCLK_5n		A10	A15	A12								
B7	VREFB7N3	CLK9	DIFFCLK_5p		B10	B15	B12								



Bank Number	VREFB Group	Pin Name / Function	Optional Function(s)	Configuration Function	F324	F780	F484/U484	DQS for X8/X9 in F324	DQS for X16/X18 in F324	DQS for X8/X9 in F780	DQS for X16/X18 in F780	DQS for X32/X36 in F780	DQS for X8/X9 in F484/U484	DQS for X16/X18 in F484/U484	DQS for X32/X36 in F484/U484
B8	VREFB8N0	CLK10	DIFFCLK_4n		A9	A14	A11								
B8	VREFB8N0	CLK11	DIFFCLK_4p		B9	B14	B11								
B8	VREFB8N0	IO	DIFFIO_T26n			C13	D10			DQ5T	DQ3T	DQ5T	DQ5T	DQ3T	DQ5T
B8	VREFB8N0	IO	DIFFIO_T26p			D13	E10			DQ5T	DQ3T	DQ5T			
B8	VREFB8N0	IO	DIFFIO_T25n			C14	A10			DQ5T	DQ3T	DQ5T	DQ5T	DQ3T	DQ5T
B8	VREFB8N0	IO	DIFFIO_T25p	PADD15		E10	D14	B10							
B8	VREFB8N0	IO	DIFFIO_T24n	PADD16		C9	C12	A9	DQ3T		DQ5T	DQ3T	DQ5T	DQ3T	DQ5T
B8	VREFB8N0	IO	DIFFIO_T24p	PADD17		D9	D12	B9	DQS5T/CQ5T#, DPCLK10	DQS5T/CQ5T#, DPCLK10	DQS5T/CQ5T#, DPCLK10	DQS5T/CQ5T#, DPCLK10	DQS5T/CQ5T#, DPCLK10	DQS5T/CQ5T#, DPCLK10	DQS5T/CQ5T#, DPCLK10
B8	VREFB8N0	IO	DIFFIO_T23n				A12			DQ5T	DQ3T	DQ5T			
B8	VREFB8N0	IO	VREFB8N0		E9	G14	C10								
B8	VREFB8N0	IO	DIFFIO_T22n			K13	G11								
B8	VREFB8N0	IO	DIFFIO_T22p				F14								
B8	VREFB8N0	IO					E14			DQ5T	DQ3T	DQ5T			
B8	VREFB8N0	IO	DIFFIO_T21n				H12								
B8	VREFB8N0	IO	DIFFIO_T21p				J12								
B8	VREFB8N0	IO	DIFFIO_T20n	DATA2	A8	A11	A8	DQ3T	DQ5T	DQ5T	DQ3T	DQ5T	DQ5T	DQ3T	DQ5T
B8	VREFB8N1	IO	DIFFIO_T20p	DATA3	B8	B11	B8			DQ5T	DQ3T	DQ5T	DQ5T	DQ3T	DQ5T
B8	VREFB8N1	IO	DIFFIO_T19n	PADD18	A7	A10	A7	DQ3T	DQ5T				DQ5T	DQ3T	DQ5T
B8	VREFB8N1	IO	DIFFIO_T19p	DATA4	B7	B10	B7	DQ3T	DQ5T	DM5T/BWS#5T	DM3T/BWS#3T	DM5T/BWS#5T	DQ5T	DQ3T	DQ5T
B8	VREFB8N1	IO	DIFFIO_T18n	PADD19	A6	G13	A6	DQ3T	DQ5T				DQ5T	DQ3T	DQ5T
B8	VREFB8N1	IO	DIFFIO_T18p	DATA15	B6	H13	B6			DQ3T	DQ3T	DQ5T	DQ5T	DQ3T	DQ5T
B8	VREFB8N1	IO	DIFFIO_T17n				B8								
B8	VREFB8N1	IO	DIFFIO_T17p				C10			DQ3T	DQ3T	DQ5T			
B8	VREFB8N1	IO					D11								
B8	VREFB8N1	IO	VREFB8N1		C7	F11	E9								
B8	VREFB8N1	IO	DIFFIO_T16n	DATA14	A5	E12	C8	DQS3T/CQ3T#, DPCLK11	DQS3T/CQ3T#, DPCLK11	DQS3T/CQ3T#, DPCLK11	DQS3T/CQ3T#, DPCLK11	DQS3T/CQ3T#, DPCLK11	DQS3T/CQ3T#, DPCLK11	DQS3T/CQ3T#, DPCLK11	DQS3T/CQ3T#, DPCLK11
B8	VREFB8N1	IO	DIFFIO_T16p	DATA13	B5	F12	C7						DM5T/BWS#5T	DM3T/BWS#3T	DM5T/BWS#5T
B8	VREFB8N1	IO	DIFFIO_T15n				D10			DQ3T	DQ3T	DQ5T			
B8	VREFB8N1	IO	DIFFIO_T15p				F10								
B8	VREFB8N1	IO	DIFFIO_T14n				E11	H11		DQ3T	DQ3T	DQ5T			
B8	VREFB8N1	IO	DIFFIO_T14p				E8	H10							
B8	VREFB8N1	IO	DIFFIO_T13n				E10								
B8	VREFB8N2	IO	DIFFIO_T13p				E7								
B8	VREFB8N2	IO	DIFFIO_T12n				A7			DQ3T	DQ3T	DQ5T			
B8	VREFB8N2	IO	DIFFIO_T12p				G10								
B8	VREFB8N2	IO	DIFFIO_T11n				G11								
B8	VREFB8N2	IO	DIFFIO_T11p	DATA5	C5	B7	A5	DQ3T	DQ5T	DQ3T	DQ3T	DQ5T	DQ3T	DQ3T	DQ5T
B8	VREFB8N2	IO	DIFFIO_T10n				B3								
B8	VREFB8N2	IO	DIFFIO_T10p				J10								
B8	VREFB8N2	IO	DIFFIO_T9n				F8								
B8	VREFB8N2	IO	DIFFIO_T9p				F7								
B8	VREFB8N2	IO	VREFB8N2		D7	G12	B5								
B8	VREFB8N2	IO	DIFFIO_T8n				A6	G10							
B8	VREFB8N2	IO	DIFFIO_T8p	DATA6	E8	B6	F10	DQ3T	DQ5T	DQ3T	DQ3T	DQ5T	DQ3T	DQ3T	DQ5T
B8	VREFB8N2	IO	DIFFIO_T7n	DATA7	A4	C11	C6	DQ3T	DQ5T	DQ3T	DQ3T	DQ5T	DQ3T	DQ3T	DQ5T
B8	VREFB8N2	IO	DIFFIO_T7p				H10	D7							
B8	VREFB8N2	IO					G8								
B8	VREFB8N2	IO	DIFFIO_T6n				C9	A4		DQ3T	DQ3T	DQ5T	DQ3T	DQ3T	DQ5T
B8	VREFB8N3	IO	DIFFIO_T6p	DATA8	B4	D9	B4						DQ3T	DQ3T	DQ5T
B8	VREFB8N3	IO	DIFFIO_T5n	DATA9	E7	A8	F8	DQ3T	DQ5T	DM3T/BWS#3T	DM3T/BWS#3T	DM5T/BWS#5T	DQ3T	DQ3T	DQ5T
B8	VREFB8N3	IO	DIFFIO_T5p				C8	G8		DQ1T					
B8	VREFB8N3	IO					D8			DQ1T					
B8	VREFB8N3	IO	DIFFIO_T4n	DATA10	A3	C7	A3	DM3T/BWS#3T	DM5T1/BWS#5T1	DQ1T			DQ3T	DQ3T	DQ5T
B8	VREFB8N3	IO	DIFFIO_T4p	DATA11	B3	D7	B3						DQ3T	DQ3T	DQ5T
B8	VREFB8N3	IO	VREFB8N3		E6	G9	D6								
B8	VREFB8N3	IO					D6	E7		DQ1T					
B8	VREFB8N3	IO	DIFFIO_T3n				A4	C3							
B8	VREFB8N3	IO	DIFFIO_T3p	DATA12	D5	B4	C4	DQS1T/CQ1T#, CDCLK7	DQS1T/CQ1T#, CDCLK7	DQS1T/CQ1T#, CDCLK7	DQS1T/CQ1T#, CDCLK7	DQS1T/CQ1T#, CDCLK7	DQS1T/CQ1T#, CDCLK7	DQS1T/CQ1T#, CDCLK7	DQS1T/CQ1T#, CDCLK7
B8	VREFB8N3	IO	DIFFIO_T2n				A3			DQ1T					
B8	VREFB8N3	IO	DIFFIO_T2p				C6			DQ1T					
B8	VREFB8N3	IO	DIFFIO_T1n				H8	F7					DM3T/BWS#3T	DM3T/BWS#3T	DM5T/BWS#5T
B8	VREFB8N3	IO	DIFFIO_T1p				C4	G7		DQ1T					
B8	VREFB8N3	IO					D4	F9		DM1T					
B8	VREFB8N3	IO	PLL3_CLKOUTn		A1	C5	E6								
B8	VREFB8N3	IO	PLL3_CLKOUTp		A2	D5	E5								
B8	VREFB8N3	IO					C3	G9							
	GND						G9	K10	L10						
	GND						H9	K12	L11						
	GND						H8	K14	M10						
	GND						J8	K18	M11						
	GND						J9	K20	L12						
	GND						J10	L11	L13						
	GND						H10	L15	M12						
	GND						H11	L17	M13						
	GND						J11	L19	N11						
	GND						K11	L9	K11						
	GND						K10	M10	N12						
	GND						K9	M12	K12						
	GND						K8	M14	K13						
	GND						L8	M16	N13						



Bank Number	VREFB Group	Pin Name / Function	Optional Function(s)	Configuration Function	F324	F780	F484/U484	DQS for X8/X9 in F324	DQS for X16/X18 in F324	DQS for X8/X9 in F780	DQS for X16/X18 in F780	DQS for X32/X36 in F780	DQS for X8/X9 in F484/U484	DQS for X16/X18 in F484/U484	DQS for X32/X36 in F484/U484
		GND			L9	M18	N10								
		GND			L10	N11	K10								
		GND			M10	N13	J9								
		GND			L11	N15	F12								
		GND			F11	N17	H12								
		GND			F13	N19	H13								
		GND			F7	P10	J15								
		GND			F9	P12	K16								
		GND			G6	P14	L15								
		GND			M13	P16	N15								
		GND			N10	P18	R13								
		GND			N12	P20	R11								
		GND			N6	R11	R9								
		GND			N8	R13	P8								
		GND			R15	A1									
		GND			R17	C5									
		GND			R19	C9									
		GND			R9	C11									
		GND			T10	C12									
		GND			T12	C14									
		GND			T14	C16									
		GND			T16	A22									
		GND			T18	E20									
		GND			U11	G20									
		GND			U13	L20									
		GND			U15	P19									
		GND			U17	V20									
		GND			U19	Y20									
		GND			V10	AB22									
		GND			V12	Y18									
		GND			V14	Y16									
		GND			V18	Y12									
		GND			W11	Y11									
		GND			W15	Y9									
		GND			W17	Y5									
		GND			W19	AB1									
		GND			C15	AA2	N3								
		GND			C13	AA27	U3								
		GND			C11	AC6	W3								
		GND			C8	AC9	D3								
		GND			C6	AC13	F3								
		GND			C4	AC16	K3								
		GND			E3	AC20	G2								
		GND			G3	AC23	AA2								
		GND			J3	AF1	AA22								
		GND			K3	AF28	H3								
		GND			N3	AG2	R3								
		GND			P3	AG5	AB6								
		GND			T5	AG9	Y15								
		GND			T7	AG13	T20								
		GND			T9	AG16	J19								
		GND			T10	AG20	C18								
		GND			T12	AG24	D8								
		GND			T15	AG27									
		GND			P16	B2									
		GND			M16	B5									
		GND			J16	B9									
		GND			K16	B13									
		GND			G16	B16									
		GND			E16	B20									
		GND				B24									
		GND				B27									
		GND				C1									
		GND				C28									
		GND				F6									
		GND				F9									
		GND				F13									
		GND				F16									
		GND				F20									
		GND				F23									
		GND				H2									
		GND				H27									
		GND				J11									
		GND				J18									
		GND				K6									
		GND				K16									
		GND				K23									
		GND				L13									
		GND				M20									
		GND				N2									



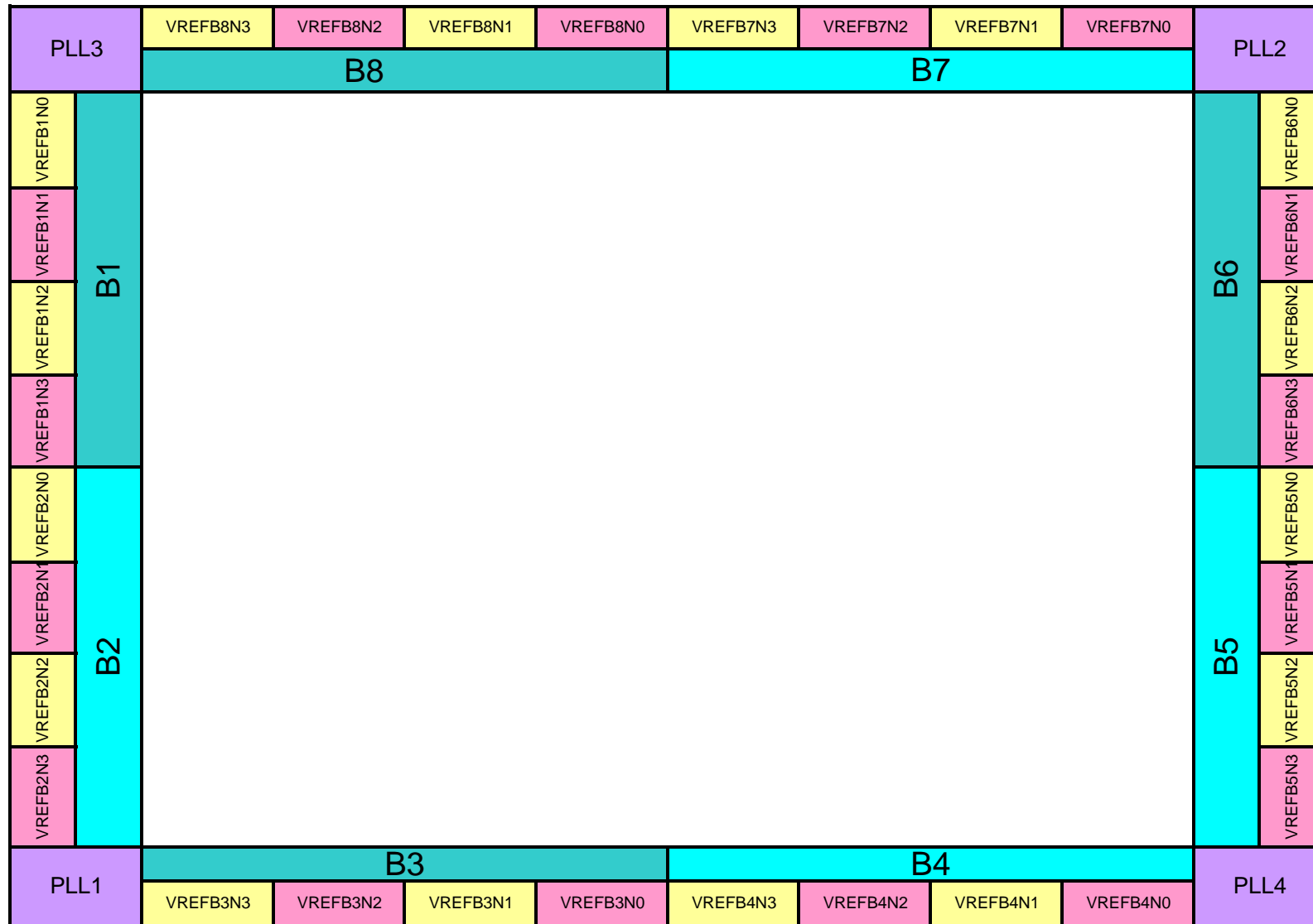


Bank Number	VREFB Group	Pin Name / Function	Optional Function(s)	Configuration Function	F324	F780	F484/U484	DQS for X8/X9 in F324	DQS for X16/X18 in F324	DQS for X8/X9 in F780	DQS for X16/X18 in F780	DQS for X32/X36 in F780	DQS for X8/X9 in F484/U484	DQS for X16/X18 in F484/U484	DQS for X32/X36 in F484/U484
		GND				N6									
		GND				N9									
		GND				N23									
		GND				N27									
		GND				T2									
		GND				T6									
		GND				T20									
		GND				T23									
		GND				T27									
		GND				U9									
		GND				V16									
		GND				W6									
		GND				W13									
		GND				W23									
		GND				Y11									
		GND				Y18									
		GND			F2	J2									
		GND				D3									
		GND				B12									
		GND A1			P5	AA9	U5								
		GND A2			F15	H20	E18								
		GND A3			E5	H9	F5								
		GND A4			P14	AA20	V18								
		VCCINT			G7	K9	J11								
		VCCINT			G8	K11	J12								
		VCCINT			G10	L16	L14								
		VCCINT			G11	K17	M14								
		VCCINT			G12	K19	P11								
		VCCINT			H7	L10	P12								
		VCCINT			H12	L12	L9								
		VCCINT			J7	L14	M9								
		VCCINT			J12	L18	J13								
		VCCINT			K7	N20	J14								
		VCCINT			K12	M11	K14								
		VCCINT			L7	M13	J10								
		VCCINT			L12	M15	K9								
		VCCINT			M7	M17	N9								
		VCCINT			M8	M19	P9								
		VCCINT			M9	N10	P10								
		VCCINT			M11	N12	P13								
		VCCINT			M12	N14	P14								
		VCCINT			F10	N16	N14								
		VCCINT			F12	N18	J16								
		VCCINT			F6	P9	K15								
		VCCINT			F8	P11	L16								
		VCCINT			G13	P13	M15								
		VCCINT			M6	P15	R12								
		VCCINT			N11	P17	R10								
		VCCINT			N13	P19	R8								
		VCCINT			N7	R10	H9								
		VCCINT			N9	R12	G12								
		VCCINT				R14									
		VCCINT				R16									
		VCCINT				R18									
		VCCINT				R20									
		VCCINT				T11									
		VCCINT				T13									
		VCCINT				T15									
		VCCINT				T17									
		VCCINT				T19									
		VCCINT				U10									
		VCCINT				U12									
		VCCINT				U14									
		VCCINT				U16									
		VCCINT				U18									
		VCCINT				V11									
		VCCINT				V15									
		VCCINT				V17									
		VCCINT				V19									
		VCCINT				V13									
		VCCINT				W12									
		VCCINT				W14									
		VCCINT				W18									
		VCCIO1			F4	B1	D4								
		VCCIO1			G4	H1	F4								
		VCCIO1			J4	K5	K4								
		VCCIO1				K8	H4								
		VCCIO1				N1									
		VCCIO1				N5									
		VCCIO2			K4	AA1	N4								



Bank Number	VREFB Group	Pin Name / Function	Optional Function(s)	Configuration Function	F324	F780	F484/U484	DQS for X8/X9 in F324	DQS for X16/X18 in F324	DQS for X8/X9 in F780	DQS for X16/X18 in F780	DQS for X32/X36 in F780	DQS for X8/X9 in F484/U484	DQS for X16/X18 in F484/U484	DQS for X32/X36 in F484/U484
		VCCIO2			M4	AG1	U4								
		VCCIO2			N4	T1	W4								
		VCCIO2				T5	R4								
		VCCIO2				W7									
		VCCIO2				W5									
		VCCIO3			R6	AA11	AB2								
		VCCIO3			R7	AD6	W5								
		VCCIO3			R9	AD9	W9								
		VCCIO3				AD13	W11								
		VCCIO3				AH2	AA6								
		VCCIO3				AH5									
		VCCIO3				AH9									
		VCCIO3				AH13									
		VCCIO3				AB10									
		VCCIO4			R10	AA18	AB21								
		VCCIO4			R12	AD16	W12								
		VCCIO4			R14	AD20	W16								
		VCCIO4				AD23	W18								
		VCCIO4				AH16	Y14								
		VCCIO4				AH20									
		VCCIO4				AH24									
		VCCIO4				AH27									
		VCCIO4				Y16									
		VCCIO5			K15	AA28	P18								
		VCCIO5			M15	AG28	V19								
		VCCIO5			R15	T24	Y19								
		VCCIO5				T28	T19								
		VCCIO5				U21									
		VCCIO5				W24									
		VCCIO6			F16	B28	E19								
		VCCIO6			G15	H28	G19								
		VCCIO6			J15	K24	L19								
		VCCIO6				L21	J20								
		VCCIO6				N24									
		VCCIO6				N28									
		VCCIO7			D11	A16	A21								
		VCCIO7			D13	A20	D12								
		VCCIO7			D15	A24	D14								
		VCCIO7				A27	D16								
		VCCIO7				E16	D18								
		VCCIO7				E20									
		VCCIO7				E23									
		VCCIO7				H18									
		VCCIO7				J15									
		VCCIO8			D4	A2	A2								
		VCCIO8			D6	A5	D5								
		VCCIO8			D8	A9	D9								
		VCCIO8				A13	D11								
		VCCIO8				E6	E8								
		VCCIO8				E9									
		VCCIO8				E13									
		VCCIO8				H11									
		VCCIO8				J13									
		VCCA1			N5	Y8	T6								
		VCCA2			F14	J21	F18								
		VCCA3			E4	J8	G6								
		VCCA4			N14	Y21	U18								
		VCCD_PLL1			P4	Y9	U6								
		VCCD_PLL2			E15	J20	E17								
		VCCD_PLL3			F5	J9	F6								
		VCCD_PLL4			P15	Y20	V17								

Notes:  
 (1) If the p pin or n pin is not available for the package, the particular differential pair is not supported.  
 (2) For DQS pins that do not have the associated DQ pins, the particular DQS is not supported.  
 (3) For more information about pin definition and pin connection guidelines, refer to the [Cyclone IV Device Family Pin Connection Guidelines](#).



**Notes:**

1. This is a top view of the silicon die.
2. This is only a pictorial representation to provide an idea of placement on the device. For exact locations, refer to the pin list and the Quartus® II software.



Pin Information for the Cyclone® IV EP4CE40 Device  
Version 1.4

Version Number	Date	Changes made
1.0	1/25/2010	Initial Release.
1.1	12/6/2010	Added UBGA package support.
1.2	6/10/2011	Removed Pin Definitions sheet.
1.3	7/16/2013	Added F324 package.
1.4	8/16/2013	Added F2 pin in F324 package.