

Bank Number	Index within I/O Bank	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Non-dedicated Tx/Rx Channel	Dedicated Tx/Rx Channel	Soft CDR Support	U484	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
1C			REFCLK_GXB1C_CHTp							K20			
1C			REFCLK_GXB1C_CHTn							K19			
1C			GXB1C_TX_CH5n							C21			
1C			GXB1C_TX_CH5p							C22			
1C			GXB1C_RX_CH5n,GXB1C_REFCLK5n							A19			
1C			GXB1C_RX_CH5p,GXB1C_REFCLK5p							A20			
1C			GXB1C_TX_CH4n							G21			
1C			GXB1C_TX_CH4p							G22			
1C			GXB1C_RX_CH4n,GXB1C_REFCLK4n							E21			
1C			GXB1C_RX_CH4p,GXB1C_REFCLK4p							E22			
1C			GXB1C_TX_CH3n							L21			
1C			GXB1C_TX_CH3p							L22			
1C			GXB1C_RX_CH3n,GXB1C_REFCLK3n							J21			
1C			GXB1C_RX_CH3p,GXB1C_REFCLK3p							J22			
1C			GXB1C_TX_CH2n							R21			
1C			GXB1C_TX_CH2p							R22			
1C			GXB1C_RX_CH2n,GXB1C_REFCLK2n							N21			
1C			GXB1C_RX_CH2p,GXB1C_REFCLK2p							N22			
1C			GXB1C_TX_CH1n							W21			
1C			GXB1C_TX_CH1p							W22			
1C			GXB1C_RX_CH1n,GXB1C_REFCLK1n							U21			
1C			GXB1C_RX_CH1p,GXB1C_REFCLK1p							U22			
1C			GXB1C_TX_CH0n							AA21			
1C			GXB1C_TX_CH0p							AA22			
1C			GXB1C_RX_CH0n,GXB1C_REFCLK0n							Y19			
1C			GXB1C_RX_CH0p,GXB1C_REFCLK0p							Y20			
1C			REFCLK_GXB1C_CH9p							M20			
1C			REFCLK_GXB1C_CH9n							M19			
2L	47	VREFB2LNO	ID			DIFFIO2L_1n		No	D9	DQ0	DQ0	DQ0	DQ0
2L	46	VREFB2LNO	ID			DIFFIO2L_1p		No	D8	DQ0	DQ0	DQ0	DQ0
2L	45	VREFB2LNO	ID			DIFFIO2L_2n		No	D10	DQS0	DQ0	DQ0	DQ0
2L	44	VREFB2LNO	ID			DIFFIO2L_2p		No	E10	DQS0	DQ0	DQ0	DQ0
2L	43	VREFB2LNO	ID			DIFFIO2L_3n		No	F11	DQ0	DQ0	DQ0	DQ0
2L	42	VREFB2LNO	ID			DIFFIO2L_3p		No	E11	DQ0	DQ0	DQ0	DQ0
2L	41	VREFB2LNO	ID			DIFFIO2L_4n		No	F9	DQS1	DQS0/CO0	DQ0	DQ0
2L	40	VREFB2LNO	ID			DIFFIO2L_4p		No	E9	DQS1	DQS0/CO0	DQ0	DQ0
2L	39	VREFB2LNO	ID			DIFFIO2L_5n		No	E12	DQ1	DQ0	DQ0	DQ0
2L	38	VREFB2LNO	ID			DIFFIO2L_5p		No	D12	DQ1	DQ0	DQ0	DQ0
2L	37	VREFB2LNO	ID			DIFFIO2L_6n		No	H11	DQ1	DQ0	DQS0/CO0	DQ0
2L	36	VREFB2LNO	ID			DIFFIO2L_6p		No	G11	DQ1	DQ0	DQS0/CO0	DQ0
2L	35	VREFB2LNO	ID			DIFFIO2L_7n		No	C8	DQ2	DQ1	DQ0	DQ0
2L	34	VREFB2LNO	ID			DIFFIO2L_7p		No	B9	DQ2	DQ1	DQ0	DQ0
2L	33	VREFB2LNO	ID			DIFFIO2L_8n		No	A10	DQS2	DQ1	DQ0	DQ0
2L	32	VREFB2LNO	ID			DIFFIO2L_8p		No	A11	DQS2	DQ1	DQ0	DQ0
2L	31	VREFB2LNO	ID			DIFFIO2L_9n		No	C10	DQ2	DQ1	DQ0	DQ0
2L	30	VREFB2LNO	ID			DIFFIO2L_9p		No	C11	DQ2	DQ1	DQ0	DQ0
2L	29	VREFB2LNO	ID	PLL_2L_CLKOUT1n		DIFFIO2L_10n		No	B8	DQS3	DQS1/CO1	DQ0	DQ0
2L	28	VREFB2LNO	ID	PLL_2L_CLKOUT1p,PLL_2L_CLKOUT1,PLL_2L_FB1		DIFFIO2L_10p		No	A8	DQS3	DQS1/CO1	DQ0	DQ0
2L	27	VREFB2LNO	ID			DIFFIO2L_11n		No	A7	DQ3	DQ1	DQ0	DQ0
2L	26	VREFB2LNO	ID	RZQ_2L		DIFFIO2L_11p		No	A6	DQ3	DQ1	DQ0	DQ0
2L	25	VREFB2LNO	ID	CLK_2L_1n		DIFFIO2L_12n		No	B11	DQ3	DQ1	DQ0	DQ0
2L	24	VREFB2LNO	ID	CLK_2L_1p		DIFFIO2L_12p		No	B10	DQ3	DQ1	DQ0	DQ0
2L	23	VREFB2LNO	ID	CLK_2L_0n		DIFFIO2L_13n		No	C3	DQ4	DQ2	DQ1	DQ0
2L	22	VREFB2LNO	ID	CLK_2L_0p		DIFFIO2L_13p		No	D3	DQ4	DQ2	DQ1	DQ0
2L	21	VREFB2LNO	ID			DIFFIO2L_14n		No	E1	DQS4	DQ2	DQS0/CO0	DQ0
2L	20	VREFB2LNO	ID			DIFFIO2L_14p		No	F1	DQS4	DQ2	DQ1	DQS0/CO0
2L	19	VREFB2LNO	ID	PLL_2L_CLKOUT0n		DIFFIO2L_15n		No	D2	DQ4	DQ2	DQ1	DQ0
2L	18	VREFB2LNO	ID	PLL_2L_CLKOUT0p,PLL_2L_CLKOUT0,PLL_2L_FB0		DIFFIO2L_15p		No	C2	DQ4	DQ2	DQ1	DQ0
2L	17	VREFB2LNO	ID			DIFFIO2L_16n		No	C1	DQS5	DQS2/CO2	DQ1	DQ0
2L	16	VREFB2LNO	ID			DIFFIO2L_16p		No	B1	DQS5	DQS2/CO2	DQ1	DQ0
2L	15	VREFB2LNO	ID			DIFFIO2L_17n		No	F2	DQ5	DQ2	DQ1	DQ0
2L	14	VREFB2LNO	ID			DIFFIO2L_17p		No	E2	DQ5	DQ2	DQ1	DQ0
2L	13	VREFB2LNO	ID			DIFFIO2L_18n		No	A2	DQ5	DQ2	DQS1/CO1	DQ0
2L	12	VREFB2LNO	ID			DIFFIO2L_18p		No	A1	DQ5	DQ2	DQS1/CO1	DQ0
2L	11	VREFB2LNO	ID			DIFFIO2L_19n		No	B3	DQ6	DQ3	DQ1	DQ0
2L	10	VREFB2LNO	ID			DIFFIO2L_19p		No	A3	DQ6	DQ3	DQ1	DQ0
2L	9	VREFB2LNO	ID			DIFFIO2L_20n		No	B4	DQS6	DQ3	DQ1	DQ0
2L	8	VREFB2LNO	ID			DIFFIO2L_20p		No	A5	DQS6	DQ3	DQ1	DQ0
2L	7	VREFB2LNO	ID			DIFFIO2L_21n		No	C7	DQ6	DQ3	DQ1	DQ0
2L	6	VREFB2LNO	ID			DIFFIO2L_21p		No	D7	DQ6	DQ3	DQ1	DQ0
2L	5	VREFB2LNO	ID			DIFFIO2L_22n		No	B6	DQS7	DQS3/CO3	DQ1	DQ0
2L	4	VREFB2LNO	ID			DIFFIO2L_22p		No	C6	DQS7	DQS3/CO3	DQ1	DQ0
2L	3	VREFB2LNO	ID			DIFFIO2L_23n		No	E7	DQ7	DQ3	DQ1	DQ0
2L	2	VREFB2LNO	ID			DIFFIO2L_23p		No	F8	DQ7	DQ3	DQ1	DQ0
2L	1	VREFB2LNO	ID			DIFFIO2L_24n		No	B5	DQ7	DQ3	DQ1	DQ0
2L	0	VREFB2LNO	ID			DIFFIO2L_24p		No	C5	DQ7	DQ3	DQ1	DQ0
2K	47	VREFB2KNO	ID			LVD52K_1n		No	G15	DQ8	DQ4	DQ1	DQ0
2K	46	VREFB2KNO	ID			LVD52K_1n		No	G16	DQ8	DQ4	DQ2	DQ1
2K	45	VREFB2KNO	ID			LVD52K_2n		Yes	E15	DQS8	DQ4	DQ2	DQ1
2K	44	VREFB2KNO	ID			LVD52K_2p		Yes	D15	DQS8	DQ4	DQ2	DQ1
2K	43	VREFB2KNO	ID			LVD52K_3n		No	E16	DQ8	DQ4	DQ2	DQ1
2K	42	VREFB2KNO	ID			LVD52K_3p		No	F16	DQ8	DQ4	DQ2	DQ1
2K	41	VREFB2KNO	ID			LVD52K_4n		Yes	H16	DQS9	DQS4/CO4	DQ2	DQ1
2K	40	VREFB2KNO	ID			LVD52K_4p		Yes	H15	DQS9	DQS4/CO4	DQ2	DQ1
2K	39	VREFB2KNO	ID			LVD52K_5n		No	F14	DQ9	DQ4	DQ2	DQ1
2K	38	VREFB2KNO	ID			LVD52K_5p		No	G14	DQ9	DQ4	DQ2	DQ1
2K	37	VREFB2KNO	ID			LVD52K_6n		Yes	H13	DQ9	DQ4	DQS2/CO2	DQ1
2K	36	VREFB2KNO	ID			LVD52K_6p		Yes	H12	DQ9	DQ4	DQS2/CO2	DQ1
2K	35	VREFB2KNO	ID			LVD52K_7n		No	A16	DQ10	DQ5	DQ2	DQ1
2K	34	VREFB2KNO	ID			LVD52K_7p		No	A17	DQ10	DQ5	DQ2	DQ1
2K	33	VREFB2KNO	ID			LVD52K_8n		Yes	C17	DQS10	DQ5	DQ2	DQ1
2K	32	VREFB2KNO	ID			LVD52K_8p		Yes	D17	DQS10	DQ5	DQ2	DQ1
2K	31	VREFB2KNO	ID			LVD52K_9n		No	B16	DQ10	DQ5	DQ2	DQ1
2K	30	VREFB2KNO	ID			LVD52K_9p		No	C16	DQ10	DQ5	DQ2	DQ1
2K	29	VREFB2KNO	ID	PLL_2K_CLKOUT1n		LVD52K_10n		No	C18	DQS11	DQS5/CO5	DQ2	DQ1
2K	28	VREFB2KNO	ID	PLL_2K_CLKOUT1p,PLL_2K_CLKOUT1,PLL_2K_FB1		LVD52K_10p		Yes	C19	DQS11	DQS5/CO5	DQ2	DQ1
2K	27	VREFB2KNO	ID			LVD52K_11n		No	D19	DQ11	DQ5	DQ2	DQ1
2K	26	VREFB2KNO	ID			LVD52K_11p		No	E19	DQ11	DQ5	DQ2	DQ1
2K	25	VREFB2KNO	ID			LVD52K_12n		Yes	C15	DQ11	DQ5	DQ2	DQ1
2K	24	VREFB2KNO	ID			LVD52K_12p		Yes	B15	DQ11	DQ5	DQ2	DQ1

Bank Number	Index within I/O Bank	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Non-dedicated Tx/Rx Channel	Dedicated Tx/Rx Channel	Soft CDR Support	U484	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
2A	18	VREFB2A0	ID	PLL_2A_CLKOUT0p,PLL_2A_CLKOUT0,PLL_2A_FB0	DATA27		LVD52A_15p	No	W4	DQ28	DQ14	DO7	DQ3
2A	17	VREFB2A0	ID		DATA28		LVD52A_16n	Yes	Y5	DQS29	DQS14/CQn14	DO7	DQ3
2A	16	VREFB2A0	ID		DATA29		LVD52A_16p	Yes	Y4	DQS29	DQS14/CQ14	DO7	DQ3
2A	15	VREFB2A0	ID		DATA30		LVD52A_17n	No	AB4	DQ29	DQ14	DO7	DQ3
2A	14	VREFB2A0	ID		DATA31		LVD52A_17p	No	AB5	DQ29	DQ14	DO7	DQ3
2A	13	VREFB2A0	ID		CLKUSR		LVD52A_18n	Yes	AA6	DQ29	DO14	DQS7/CQn7	DQ3
2A	12	VREFB2A0	ID		PR_REQUEST		LVD52A_18p	Yes	AB6	DQ29	DQ14	DQS7/CQ7	DQ3
2A	11	VREFB2A0	ID		PR_READY		LVD52A_19n	No	AB9	DQ30	DO15	DO7	DQ3
2A	10	VREFB2A0	ID		nPERSTLO		LVD52A_19p	No	AB8	DQ30	DO15	DO7	DQ3
2A	9	VREFB2A0	ID		PR_DONE		LVD52A_20n	Yes	Y9	DQS30	DO15	DO7	DQ3
2A	7	VREFB2A0	ID		PR_ERROR		LVD52A_21n	No	V11	DQ30	DO15	DO7	DQ3
2A	5	VREFB2A0	ID		CyP_CONFDONE		LVD52A_22n	Yes	T12	DQS31	DQS15/CQn15	DO7	DQ3
2A	3	VREFB2A0	ID		INIT_DONE		LVD52A_23n	No	R10	DQ31	DO15	DO7	DQ3
2A	2	VREFB2A0	ID		DEV_OE		LVD52A_23p	No	T11	DQ31	DO15	DO7	DQ3
2A	1	VREFB2A0	ID		CRC_ERROR		LVD52A_24n	Yes	V10	DQ31	DO15	DO7	DQ3
2A	0	VREFB2A0	ID		DEV_CLRn		LVD52A_24p	Yes	W9	DQ31	DO15	DO7	DQ3
			GND						U4				
CSS			TDO		TDO				M5				
CSS			TMS		TMS				L3				
CSS			TRST		TRST				L4				
CSS			TCK		TCK				P5				
CSS			TDI		TDI				M4				
CSS			MSEL0		MSEL0				P3				
CSS			MSEL1		MSEL1				N3				
CSS			MSEL2		MSEL2				N5				
CSS			nIO_PULLUP		nIO_PULLUP				T3				
CSS			nSTATUS		nSTATUS				L1				
CSS			CONF_DONE		CONF_DONE				M1				
			GND						M3				
CSS			nCONFIG		nCONFIG				U5				
CSS			nCE		nCE				R5				
CSS			rcS00		rcS00				W5				
CSS			rcS01		rcS01				W1				
CSS			rcS02		rcS02				L2				
CSS			AS_DATA0,ASDO		AS_DATA0,ASDO				R2				
CSS			AS_DATA1		AS_DATA1				N2				
CSS			AS_DATA2		AS_DATA2				P2				
CSS			AS_DATA3		AS_DATA3				V5				
CSS			DCLK		DCLK				T2				
			ADCGND						F4				
			GND						G10				
			GND						G9				
			GND						J10				
			GND						J9				
			GND						K10				
			GND						K11				
			GND						K9				
			GND						H10				
			GND						A14				
			GND						A18				
			GND						A21				
			GND						A4				
			GND						A9				
			GND						AA10				
			GND						AA15				
			GND						AA18				
			GND						AA19				
			GND						AA20				
			GND						AA5				
			GND						AB12				
			GND						AB2				
			GND						AB20				
			GND						AB21				
			GND						AB22				
			GND						AB7				
			GND						B12				
			GND						B17				
			GND						B18				
			GND						B19				
			GND						B2				
			GND						B20				
			GND						B21				
			GND						B22				
			GND						B7				
			GND						C14				
			GND						C20				
			GND						C4				
			GND						D1				
			GND						D18				
			GND						D20				
			GND						D21				
			GND						D22				
			GND						D6				
			GND						E13				
			GND						E20				
			GND						E3				
			GND						E8				
			GND						F20				
			GND						F21				
			GND						F22				
			GND						F5				
			GND						G12				
			GND						G17				
			GND						G2				
			GND						G20				
			GND						G7				
			GND						H18				
			GND						H19				
			GND						H20				
			GND						H21				

Bank Number	Index within I/O Bank	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Non-dedicated Tx/Rx Channel	Dedicated Tx/Rx Channel	Soft CDR Support	U484	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
			GND						H22				
			GND						H4				
			GND						H9				
			GND						J11				
			GND						J16				
			GND						J18				
			GND						J5				
			GND						K13				
			GND						K18				
			GND						K21				
			GND						K22				
			GND						K8				
			GND						L10				
			GND						L15				
			GND						L18				
			GND						L20				
			GND						L5				
			GND						M12				
			GND						M18				
			GND						M2				
			GND						M21				
			GND						M22				
			GND						M7				
			GND						N14				
			GND						N18				
			GND						N4				
			GND						N9				
			GND						P1				
			GND						P11				
			GND						P16				
			GND						P18				
			GND						P19				
			GND						P20				
			GND						P21				
			GND						P22				
			GND						P6				
			GND						R13				
			GND						R20				
			GND						R3				
			GND						R8				
			GND						T10				
			GND						T20				
			GND						T21				
			GND						T22				
			GND						T5				
			GND						U17				
			GND						U2				
			GND						U20				
			GND						U7				
			GND						V20				
			GND						V21				
			GND						V22				
			GND						V4				
			GND						W1				
			GND						W11				
			GND						W16				
			GND						W18				
			GND						W19				
			GND						W20				
			GND						Y13				
			GND						Y18				
			GND						Y21				
			GND						Y22				
			GND						Y3				
			GND						J1				
			GND						K2				
			GND						K3				
			GND						H2				
			GNDSENSE						M9				
			VCC						J12				
			VCC						J13				
			VCC						K15				
			VCC						K16				
			VCC						K6				
			VCC						L11				
			VCC						L12				
			VCC						L13				
			VCC						L14				
			VCC						L16				
			VCC						L6				
			VCC						L7				
			VCC						L8				
			VCC						L9				
			VCC						M10				
			VCC						M14				
			VCC						M15				
			VCC						M16				
			VCC						M6				
			VCC						N10				
			VCC						N11				
			VCC						N12				
			VCC						N13				
			VCC						N16				
			VCC						N6				
			VCC						N7				
			VCC						P10				
			VCC						P13				
			VCC						P15				
			VCC						P7				
			VCC						P8				

Bank Number	Index within I/O Bank	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Non-dedicated Tx/Rx Channel	Dedicated Tx/Rx Channel	Soft CDR Support	U484	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
			VCC						P9				
			VCC						R11				
			VCC						R12				
			VCC						R15				
			VCC						R16				
			VCC						R6				
			VCC						R7				
			VCCPT						J14				
			VCCPT						J8				
			VCCPT						R14				
			VCCPT						R9				
			DNU						AB17				
			DNU						AB18				
			DNU						R4				
			DNU						T4				
			DNU						P4				
			VCCPGM						T9				
			VCCPGM						U9				
			TEMPDIODEn						E4				
			TEMPDIODEp						E5				
			VCCBAT						T8				
			VCCA_PLL						M11				
			VCCA_PLL						M13				
			VCCIO2A						V9				
			VCCIO2A						W6				
			VCCIO2A						Y8				
			VCCIO2J						T15				
			VCCIO2J						U12				
			VCCIO2J						V14				
			VCCIO2K						D16				
			VCCIO2K						F15				
			VCCIO2K						H14				
			VCCIO2L						C9				
			VCCIO2L						D11				
			VCCIO2L						F10				
2A		VREFB2AN0	VREFB2AN0						T7				
2J		VREFB2JN0	VREFB2JN0						T13				
2K		VREFB2KN0	VREFB2KN0						J15				
2L		VREFB2LN0	VREFB2LN0						F12				
			VREFN_ADC						F3				
			VREFP_ADC						G3				
			NC						K5				
			NC						J7				
			NC						K7				
			NC						G4				
			NC						J5				
			NC						F6				
			NC						J4				
			NC						K4				
			NC						J3				
			NC						H5				
			NC						G8				
			NC						H7				
			NC						H3				
			NC						G5				
			NC						H6				
			NC						H8				
			NC						G6				
			NC						AA3				
			NC						AA9				
			NC						U10				
			NC						U11				
			NC						J2				
			NC						K1				
			NC						G1				
			NC						H1				
			VCCB_GXBL						L19				
			VCCR_GXBL1C						J19				
			VCCR_GXBL1C						J20				
			VCCB_GXBL1C						N19				
			VCCB_GXBL1C						N20				
			RREF_BL						AB19				
			RREF_TL						A22				
			VCCERAM						N15				
			VCCERAM						N8				
			VCCSENSE						M8				
			VCCP						K12				
			VCCP						K14				
			VCCP						P12				
			VCCP						P14				
			VSIGN_0						D5				
			VSIGN_1						F7				
			VSIGP_0						C4				
			VSIGP_1						E6				

Note:

(1) For more information about pin definition and pin connection guidelines, refer to the [Intel Cyclone 10 GX Device Family Pin Connection Guidelines](#).

Bank Number	Index within I/O Bank	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Non-dedicated Tx/Rx Channel	Dedicated Tx/Rx Channel	Soft CDR Support	F672	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
1D			REFCLK_GXBL1D_CHTp						L21				
1D			REFCLK_GXBL1D_CHTn						L21				
1D			GXBL1D_TX_CH3n						G25				
1D			GXBL1D_TX_CH3p						G26				
1D			GXBL1D_RX_CH3n,GXBL1D_REFCLK3n						F23				
1D			GXBL1D_RX_CH3p,GXBL1D_REFCLK3p						F24				
1D			GXBL1D_TX_CH2n						J25				
1D			GXBL1D_TX_CH2p						J26				
1D			GXBL1D_RX_CH2n,GXBL1D_REFCLK2n						H23				
1D			GXBL1D_RX_CH2p,GXBL1D_REFCLK2p						H24				
1D			GXBL1D_TX_CH1n						L25				
1D			GXBL1D_TX_CH1p						L26				
1D			GXBL1D_RX_CH1n,GXBL1D_REFCLK1n						K23				
1D			GXBL1D_RX_CH1p,GXBL1D_REFCLK1p						K24				
1D			GXBL1D_TX_CH0n						N25				
1D			GXBL1D_TX_CH0p						N26				
1D			GXBL1D_RX_CH0n,GXBL1D_REFCLK0n						N23				
1D			GXBL1D_RX_CH0p,GXBL1D_REFCLK0p						N24				
1D			REFCLK_GXBL1D_CHBp						N22				
1D			REFCLK_GXBL1D_CHBn						N21				
1C			REFCLK_GXBL1C_CHTp						R22				
1C			REFCLK_GXBL1C_CHTn						R21				
1C			GXBL1C_TX_CH5n						R25				
1C			GXBL1C_TX_CH5p						R26				
1C			GXBL1C_RX_CH5n,GXBL1C_REFCLK5n						F23				
1C			GXBL1C_RX_CH5p,GXBL1C_REFCLK5p						F24				
1C			GXBL1C_TX_CH4n						U25				
1C			GXBL1C_TX_CH4p						U26				
1C			GXBL1C_RX_CH4n,GXBL1C_REFCLK4n						T23				
1C			GXBL1C_RX_CH4p,GXBL1C_REFCLK4p						T24				
1C			GXBL1C_TX_CH3n						W25				
1C			GXBL1C_TX_CH3p						W26				
1C			GXBL1C_RX_CH3n,GXBL1C_REFCLK3n						V23				
1C			GXBL1C_RX_CH3p,GXBL1C_REFCLK3p						V24				
1C			GXBL1C_TX_CH2n						AA25				
1C			GXBL1C_TX_CH2p						AA26				
1C			GXBL1C_RX_CH2n,GXBL1C_REFCLK2n						Y23				
1C			GXBL1C_RX_CH2p,GXBL1C_REFCLK2p						Y24				
1C			GXBL1C_TX_CH1n						AC25				
1C			GXBL1C_TX_CH1p						AC26				
1C			GXBL1C_RX_CH1n,GXBL1C_REFCLK1n						AB23				
1C			GXBL1C_RX_CH1p,GXBL1C_REFCLK1p						AB24				
1C			GXBL1C_TX_CH0n						AE25				
1C			GXBL1C_TX_CH0p						AE26				
1C			GXBL1C_RX_CH0n,GXBL1C_REFCLK0n						AD23				
1C			GXBL1C_RX_CH0p,GXBL1C_REFCLK0p						AD24				
1C			REFCLK_GXBL1C_CHBp						U22				
1C			REFCLK_GXBL1C_CHBn						U21				
2L	47	VREFB2LNO	IO			DIFFIO2L_1n		No	E5	DQ0	DQ0	DQ0	DQ0
2L	46	VREFB2LNO	IO			DIFFIO2L_1p		No	E4	DQ0	DQ0	DQ0	DQ0
2L	45	VREFB2LNO	IO			DIFFIO2L_2n		No	D5	DQS0	DQ0	DQ0	DQ0
2L	44	VREFB2LNO	IO			DIFFIO2L_2p		No	D4	DQS0	DQ0	DQ0	DQ0
2L	43	VREFB2LNO	IO			DIFFIO2L_3n		No	E7	DQ0	DQ0	DQ0	DQ0
2L	42	VREFB2LNO	IO			DIFFIO2L_3p		No	E6	DQ0	DQ0	DQ0	DQ0
2L	41	VREFB2LNO	IO			DIFFIO2L_4n		No	F4	DQS1	DQS0/CQ0	DQ0	DQ0
2L	40	VREFB2LNO	IO			DIFFIO2L_4p		No	F3	DQS1	DQS0/CQ0	DQ0	DQ0
2L	39	VREFB2LNO	IO			DIFFIO2L_5n		No	G6	DQ1	DQ0	DQ0	DQ0
2L	38	VREFB2LNO	IO			DIFFIO2L_5p		No	G4	DQ1	DQ0	DQ0	DQ0
2L	37	VREFB2LNO	IO			DIFFIO2L_6n		No	F8	DQ1	DQ0	DQS0/CQ0	DQ0
2L	36	VREFB2LNO	IO			DIFFIO2L_6p		No	F7	DQ1	DQ0	DQS0/CQ0	DQ0
2L	35	VREFB2LNO	IO			DIFFIO2L_7n		No	E9	DQ2	DQ1	DQ0	DQ0
2L	34	VREFB2LNO	IO			DIFFIO2L_7p		No	D9	DQ2	DQ1	DQ0	DQ0
2L	33	VREFB2LNO	IO			DIFFIO2L_8n		No	E11	DQS2	DQ1	DQ0	DQ0
2L	32	VREFB2LNO	IO			DIFFIO2L_8p		No	E10	DQS2	DQ1	DQ0	DQ0
2L	31	VREFB2LNO	IO			DIFFIO2L_9n		No	C8	DQ2	DQ1	DQ0	DQ0
2L	30	VREFB2LNO	IO			DIFFIO2L_9p		No	C7	DQ2	DQ1	DQ0	DQ0
2L	29	VREFB2LNO	IO			DIFFIO2L_10n		No	D8	DQS3	DQS1/CQ1	DQ0	DQ0
2L	28	VREFB2LNO	IO		PLL_2L_CLKOUT1n,PLL_2L_CLKOUT1p,PLL_2L_FB1	DIFFIO2L_10p		No	D7	DQS3	DQS1/CQ1	DQ0	DQ0
2L	27	VREFB2LNO	IO			DIFFIO2L_11n		No	D10	DQ3	DQ1	DQ0	DQ0
2L	26	VREFB2LNO	IO		RZO_2L	DIFFIO2L_11p		No	C10	DQ3	DQ1	DQ0	DQ0
2L	25	VREFB2LNO	IO		CLK_2L_1n	DIFFIO2L_12n		No	C6	DQ3	DQ1	DQ0	DQ0
2L	24	VREFB2LNO	IO		CLK_2L_1p	DIFFIO2L_12p		No	C5	DQ3	DQ1	DQ0	DQ0
2L	23	VREFB2LNO	IO		CLK_2L_0n	DIFFIO2L_13n		No	B6	DQ4	DQ2	DQ1	DQ0
2L	22	VREFB2LNO	IO		CLK_2L_0p	DIFFIO2L_13p		No	A6	DQ4	DQ2	DQ1	DQ0
2L	21	VREFB2LNO	IO			DIFFIO2L_14n		No	B5	DQS4	DQ2	DQ1	DQS0/CQ0
2L	20	VREFB2LNO	IO			DIFFIO2L_14p		No	A4	DQS4	DQ2	DQ1	DQS0/CQ0
2L	19	VREFB2LNO	IO			DIFFIO2L_15n		No	B8	DQ4	DQ2	DQ1	DQ0
2L	18	VREFB2LNO	IO		PLL_2L_CLKOUT0n,PLL_2L_CLKOUT0p,PLL_2L_FB0	DIFFIO2L_15p		No	A7	DQ4	DQ2	DQ1	DQ0
2L	17	VREFB2LNO	IO			DIFFIO2L_16n		No	B10	DQS5	DQS2/CQ2	DQ1	DQ0
2L	16	VREFB2LNO	IO			DIFFIO2L_16p		No	B9	DQS5	DQS2/CQ2	DQ1	DQ0
2L	15	VREFB2LNO	IO			DIFFIO2L_17n		No	B4	DQ5	DQ2	DQ1	DQ0
2L	14	VREFB2LNO	IO			DIFFIO2L_17p		No	B3	DQ5	DQ2	DQ1	DQ0
2L	13	VREFB2LNO	IO			DIFFIO2L_18n		No	A9	DQ5	DQ2	DQS1/CQ1	DQ0
2L	12	VREFB2LNO	IO			DIFFIO2L_18p		No	A8	DQ5	DQ2	DQS1/CQ1	DQ0
2L	11	VREFB2LNO	IO			DIFFIO2L_19n		No	D3	DQ6	DQ3	DQ1	DQ0
2L	10	VREFB2LNO	IO			DIFFIO2L_19p		No	D2	DQ6	DQ3	DQ1	DQ0
2L	9	VREFB2LNO	IO			DIFFIO2L_20n		No	C3	DQS6	DQ3	DQ1	DQ0
2L	8	VREFB2LNO	IO			DIFFIO2L_20p		No	C2	DQS6	DQ3	DQ1	DQ0
2L	7	VREFB2LNO	IO			DIFFIO2L_21n		No	C1	DQ6	DQ3	DQ1	DQ0
2L	6	VREFB2LNO	IO			DIFFIO2L_21p		No	B1	DQ6	DQ3	DQ1	DQ0
2L	5	VREFB2LNO	IO			DIFFIO2L_22n		No	A3	DQS7	DQS3/CQ3	DQ1	DQ0
2L	4	VREFB2LNO	IO			DIFFIO2L_22p		No	A2	DQS7	DQS3/CQ3	DQ1	DQ0
2L	3	VREFB2LNO	IO			DIFFIO2L_23n		No	E2	DQ7	DQ3	DQ1	DQ0
2L	2	VREFB2LNO	IO			DIFFIO2L_23p		No	E1	DQ7	DQ3	DQ1	DQ0
2L	1	VREFB2LNO	IO			DIFFIO2L_24n		No	F2	DQ7	DQ3	DQ1	DQ0
2L	0	VREFB2LNO	IO			DIFFIO2L_24p		No	F1	DQ7	DQ3	DQ1	DQ0
2K	47	VREFB2KNO	IO				LVDS2K_1n	No	H16	DQ8	DQ4	DQ2	DQ1
2K	46	VREFB2KNO	IO				LVDS2K_1p	No	G18	DQ8	DQ4	DQ2	DQ1
2K	45	VREFB2KNO	IO				LVDS2K_2n	Yes	F16	DQS8	DQ4	DQ2	DQ1
2K	44	VREFB2KNO	IO				LVDS2K_2p	Yes	E16	DQS8	DQ4	DQ2	DQ1
2K	43	VREFB2KNO	IO				LVDS2K_3n	No	F17	DQ8	DQ4	DQ2	DQ1
2K	42	VREFB2KNO	IO				LVDS2K_3p	No	E17	DQ8	DQ4	DQ2	DQ1
2K	41	VREFB2KNO	IO				LVDS2K_4n	Yes	G19	DQS9	DQS4/CQ4	DQ2	DQ1

Bank Number	Index within I/O Bank	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Non-dedicated Tx/Rx Channel	Dedicated Tx/Rx Channel	Soft CDR Support	F672	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
			GND						J10				
			GND						K11				
			GND						K12				
			GND						L12				
			GND						M11				
			GND						J12				
			GND						A10				
			GND						A15				
			GND						A20				
			GND						A22				
			GND						A23				
			GND						A24				
			GND						A25				
			GND						A5				
			GND						AA10				
			GND						AA20				
			GND						AA22				
			GND						AA23				
			GND						AA24				
			GND						AA5				
			GND						AB2				
			GND						AB22				
			GND						AB25				
			GND						AB26				
			GND						AB7				
			GND						AC14				
			GND						AC19				
			GND						AC22				
			GND						AC23				
			GND						AC24				
			GND						AC4				
			GND						AC9				
			GND						AD1				
			GND						AD11				
			GND						AD16				
			GND						AD21				
			GND						AD22				
			GND						AD25				
			GND						AD26				
			GND						AD6				
			GND						AE13				
			GND						AE16				
			GND						AE20				
			GND						AE21				
			GND						AE22				
			GND						AE23				
			GND						AE24				
			GND						AE3				
			GND						AE8				
			GND						AF10				
			GND						AF15				
			GND						AF20				
			GND						AF24				
			GND						AF25				
			GND						AF5				
			GND						B12				
			GND						B17				
			GND						B2				
			GND						B20				
			GND						B21				
			GND						B22				
			GND						B25				
			GND						B26				
			GND						B7				
			GND						C14				
			GND						C19				
			GND						C22				
			GND						C23				
			GND						C24				
			GND						C4				
			GND						D1				
			GND						D21				
			GND						D22				
			GND						D25				
			GND						D26				
			GND						D6				
			GND						E13				
			GND						E22				
			GND						E23				
			GND						E24				
			GND						E3				
			GND						F10				
			GND						F20				
			GND						F22				
			GND						F25				
			GND						F26				
			GND						F5				
			GND						G12				
			GND						G17				
			GND						G2				
			GND						G21				
			GND						G22				
			GND						G23				
			GND						G24				
			GND						G7				
			GND						H14				
			GND						H19				
			GND						H22				
			GND						H25				
			GND						H26				
			GND						H4				
			GND						H9				
			GND						J1				

Bank Number	Index within I/O Bank	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Non-dedicated Tx/Rx Channel	Dedicated Tx/Rx Channel	Soft CDR Support	F672	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
			GND						J11				
			GND						J16				
			GND						J20				
			GND						J21				
			GND						J22				
			GND						J23				
			GND						J24				
			GND						J6				
			GND						K13				
			GND						K18				
			GND						K25				
			GND						K26				
			GND						K3				
			GND						K8				
			GND						L10				
			GND						L15				
			GND						L20				
			GND						L23				
			GND						L24				
			GND						L5				
			GND						M12				
			GND						M17				
			GND						M2				
			GND						M20				
			GND						M25				
			GND						M26				
			GND						M7				
			GND						N14				
			GND						N19				
			GND						N20				
			GND						N23				
			GND						N24				
			GND						N4				
			GND						N9				
			GND						P1				
			GND						P11				
			GND						P16				
			GND						P25				
			GND						P26				
			GND						P6				
			GND						R13				
			GND						R18				
			GND						R20				
			GND						R23				
			GND						R24				
			GND						R8				
			GND						T10				
			GND						T15				
			GND						T20				
			GND						T25				
			GND						T26				
			GND						U12				
			GND						U17				
			GND						U20				
			GND						U23				
			GND						U24				
			GND						U7				
			GND						V14				
			GND						V19				
			GND						V20				
			GND						V21				
			GND						V22				
			GND						V25				
			GND						V26				
			GND						V4				
			GND						V9				
			GND						W1				
			GND						W11				
			GND						W21				
			GND						W22				
			GND						W23				
			GND						W24				
			GND						W6				
			GND						Y22				
			GND						Y25				
			GND						Y26				
			GND						Y3				
			GND						Y8				
			GND						B23				
			GND						B24				
			GND						D23				
			GND						D24				
			GND						R10				
			GNDSENSE										
			VCC						K10				
			VCC						K15				
			VCC						K16				
			VCC						K17				
			VCC						K9				
			VCC						L13				
			VCC						L14				
			VCC						L17				
			VCC						L18				
			VCC						L8				
			VCC						L9				
			VCC						M10				
			VCC						M13				
			VCC						M14				
			VCC						M16				
			VCC						M8				
			VCC						N10				
			VCC						N12				
			VCC						N15				
			VCC						N16				

Bank Number	Index within I/O Bank	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Non-dedicated Tx/Rx Channel	Dedicated Tx/Rx Channel	Soft CDR Support	F672	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
			VCC						N17				
			VCC						N18				
			VCC						N8				
			VCC						P12				
			VCC						P13				
			VCC						P14				
			VCC						P17				
			VCC						P18				
			VCC						P8				
			VCC						P9				
			VCC						R14				
			VCC						R15				
			VCC						R17				
			VCC						T12				
			VCC						T13				
			VCC						T14				
			VCC						T17				
			VCC						T18				
			VCC						T8				
			VCC						T9				
			VCC						U10				
			VCC						U11				
			VCC						U13				
			VCC						U14				
			VCC						U15				
			VCC						U16				
			VCC						U18				
			VCC						U8				
			VCC						U9				
			VCCPT						L11				
			VCCPT						L16				
			VCCPT						T11				
			VCCPT						T16				
			DNU						AF21				
			DNU						AF22				
			DNU						W7				
			DNU						Y7				
			DNU						Y6				
			VCCPGM						V11				
			VCCPGM						V12				
			TEMP10IODEn						J8				
			TEMP10IODEp						J9				
			VCCBAT						V10				
			VCCA_PLL						N11				
			VCCA_PLL						N13				
			VCCIO2A						AA15				
			VCCIO2A						AB12				
			VCCIO2A						Y13				
			VCCIO2J						AB17				
			VCCIO2J						W16				
			VCCIO2J						Y18				
			VCCIO2K						D16				
			VCCIO2K						E18				
			VCCIO2K						F15				
			VCCIO2L						C9				
			VCCIO2L						D11				
			VCCIO2L						E8				
			VCCIO3A						R3				
			VCCIO3A						T5				
			VCCIO3A						U2				
2A		VREFB2AN0	VREFB2AN0						V15				
2J		VREFB2JN0	VREFB2JN0						V17				
2K		VREFB2KN0	VREFB2KN0						H17				
2L		VREFB2LN0	VREFB2LN0						E12				
3A		VREFB3AN0	VREFB3AN0						R6				
			VREFN_ADC						G6				
			VREFP_ADC						F5				
			NC						G13				
			NC						G11				
			NC						H10				
			NC						F12				
			NC						G16				
			NC						F14				
			NC						G15				
			NC						G14				
			NC						G10				
			NC						H13				
			NC						J15				
			NC						J13				
			NC						F13				
			NC						F11				
			NC						J14				
			NC						H15				
			NC						H16				
			NC						H12				
			NC						H20				
			NC						H21				
			NC						H7				
			NC						J17				
			NC						J18				
			NC						J19				
			NC						K14				
			NC						K19				
			NC						K6				
			NC						K7				
			NC						L19				
			NC						L5				
			NC						L7				
			NC						M18				
			NC						M19				
			NC						M6				
			NC						N6				
			NC						N7				

Bank Number	Index within I/O Bank	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Non-dedicated Tx/Rx Channel	Dedicated Tx/Rx Channel	Soft CDR Support	F672	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
			NC						P19				
			NC						P7				
			NC						R19				
			NC						R7				
			NC						T19				
			NC						T6				
			NC						T7				
			NC						U19				
			NC						U6				
			NC						V13				
			NC						V16				
			NC						V18				
			NC						V5				
			NC						V6				
			NC						V7				
			NC						V8				
			NC						W12				
			NC						W13				
			NC						W14				
			NC						W20				
			NC						Y11				
			NC						Y12				
			NC						C25				
			NC						C26				
			NC						E25				
			NC						E26				
			NC						V3				
			NC						V2				
			NC						W3				
			NC						W2				
			VCC _H _GXBL						K20				
			VCC _H _GXBL						P20				
			VCC _R _GXBL1C						T21				
			VCC _R _GXBL1C						T22				
			VCC _R _GXBL1D						M21				
			VCC _R _GXBL1D						M22				
			VCCT _H _GXBL1C						P21				
			VCCT _H _GXBL1C						P22				
			VCCT _H _GXBL1D						K21				
			VCCT _H _GXBL1D						K22				
			RREF _{BL}						AF23				
			RREF _{TL}						A21				
			VCC _{ERAM}						P10				
			VCC _{ERAM}						P15				
			VCC _{LSENSE}						R11				
			VCC _P						M15				
			VCC _P						M9				
			VCC _P						R12				
			VCC _P						R16				
			VCC _P						R9				
			VSKN ₀						H8				
			VSKN ₁						G9				
			VSKP ₀						G8				
			VSKP ₁						F9				

Note:
(1) For more information about pin definition and pin connection guidelines, refer to the Intel Cyclone 10 GX Device Family Pin Connection Guidelines.



Bank Number	Index within I/O Bank	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Non-dedicated Tx/Rx Channel	Dedicated Tx/Rx Channel	Soft CDR Support	F780	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
1D			REFCLK_GXBL1D_CHTp						N24				
1D			REFCLK_GXBL1D_CHTn						N23				
1D			GXBL1D_TX_CH5n						E27				
1D			GXBL1D_TX_CH5p						E28				
1D			GXBL1D_RX_CH5n.GXBL1D_REFCLK5n						D25				
1D			GXBL1D_RX_CH5p.GXBL1D_REFCLK5p						D26				
1D			GXBL1D_TX_CH4n						G27				
1D			GXBL1D_TX_CH4p						G28				
1D			GXBL1D_RX_CH4n.GXBL1D_REFCLK4n						F25				
1D			GXBL1D_RX_CH4p.GXBL1D_REFCLK4p						F26				
1D			GXBL1D_TX_CH3n						J27				
1D			GXBL1D_TX_CH3p						J28				
1D			GXBL1D_RX_CH3n.GXBL1D_REFCLK3n						H25				
1D			GXBL1D_RX_CH3p.GXBL1D_REFCLK3p						H26				
1D			GXBL1D_TX_CH2n						L27				
1D			GXBL1D_TX_CH2p						L28				
1D			GXBL1D_RX_CH2n.GXBL1D_REFCLK2n						K25				
1D			GXBL1D_RX_CH2p.GXBL1D_REFCLK2p						K26				
1D			GXBL1D_TX_CH1n						N27				
1D			GXBL1D_TX_CH1p						N28				
1D			GXBL1D_RX_CH1n.GXBL1D_REFCLK1n						M25				
1D			GXBL1D_RX_CH1p.GXBL1D_REFCLK1p						M26				
1D			GXBL1D_TX_CH0n						R27				
1D			GXBL1D_TX_CH0p						R28				
1D			GXBL1D_RX_CH0n.GXBL1D_REFCLK0n						P25				
1D			GXBL1D_RX_CH0p.GXBL1D_REFCLK0p						P26				
1C			REFCLK_GXBL1C_CHBp						R24				
1C			REFCLK_GXBL1C_CHBn						R23				
1C			REFCLK_GXBL1C_CHTp						U24				
1C			REFCLK_GXBL1C_CHTn						U23				
1C			GXBL1C_TX_CH5n						U27				
1C			GXBL1C_TX_CH5p						U28				
1C			GXBL1C_RX_CH5n.GXBL1C_REFCLK5n						T25				
1C			GXBL1C_RX_CH5p.GXBL1C_REFCLK5p						T26				
1C			GXBL1C_TX_CH4n						W27				
1C			GXBL1C_TX_CH4p						W28				
1C			GXBL1C_RX_CH4n.GXBL1C_REFCLK4n						V25				
1C			GXBL1C_RX_CH4p.GXBL1C_REFCLK4p						V26				
1C			GXBL1C_TX_CH3n						AA27				
1C			GXBL1C_TX_CH3p						AA28				
1C			GXBL1C_RX_CH3n.GXBL1C_REFCLK3n						V25				
1C			GXBL1C_RX_CH3p.GXBL1C_REFCLK3p						V26				
1C			GXBL1C_TX_CH2n						AC27				
1C			GXBL1C_TX_CH2p						AC28				
1C			GXBL1C_RX_CH2n.GXBL1C_REFCLK2n						AB25				
1C			GXBL1C_RX_CH2p.GXBL1C_REFCLK2p						AB26				
1C			GXBL1C_TX_CH1n						AE27				
1C			GXBL1C_TX_CH1p						AE28				
1C			GXBL1C_RX_CH1n.GXBL1C_REFCLK1n						AD25				
1C			GXBL1C_RX_CH1p.GXBL1C_REFCLK1p						AD26				
1C			GXBL1C_TX_CH0n						AG27				
1C			GXBL1C_TX_CH0p						AG28				
1C			GXBL1C_RX_CH0n.GXBL1C_REFCLK0n						AF25				
1C			GXBL1C_RX_CH0p.GXBL1C_REFCLK0p						AF26				
1C			REFCLK_GXBL1C_CHBp						W24				
1C			REFCLK_GXBL1C_CHBn						W23				
2L	47	VREFB2LN0	IO			DIFFIO2L_1n		No	H16	DQ0	DQ0	DQ0	DQ0
2L	46	VREFB2LN0	IO			DIFFIO2L_1p		No	H17	DQ0	DQ0	DQ0	DQ0
2L	45	VREFB2LN0	IO			DIFFIO2L_2n		No	J19	DQS0	DQ0	DQ0	DQ0
2L	44	VREFB2LN0	IO			DIFFIO2L_2p		No	J18	DQS0	DQ0	DQ0	DQ0
2L	43	VREFB2LN0	IO			DIFFIO2L_3n		No	K17	DQ0	DQ0	DQ0	DQ0
2L	42	VREFB2LN0	IO			DIFFIO2L_3p		No	H17	DQ0	DQ0	DQ0	DQ0
2L	41	VREFB2LN0	IO			DIFFIO2L_4n		No	F18	DQS1	DQS0/CQ0	DQ0	DQ0
2L	40	VREFB2LN0	IO			DIFFIO2L_4p		No	F17	DQS1	DQS0/CQ0	DQ0	DQ0
2L	39	VREFB2LN0	IO			DIFFIO2L_5n		No	H18	DQ1	DQ0	DQ0	DQ0
2L	38	VREFB2LN0	IO			DIFFIO2L_5p		No	G18	DQ1	DQ0	DQ0	DQ0
2L	37	VREFB2LN0	IO			DIFFIO2L_6n		No	G19	DQ1	DQ0	DQS0/CQ0	DQ0
2L	36	VREFB2LN0	IO			DIFFIO2L_6p		No	G20	DQ1	DQ0	DQS0/CQ0	DQ0
2L	35	VREFB2LN0	IO			DIFFIO2L_7n		No	E21	DQ2	DQ1	DQ0	DQ0
2L	34	VREFB2LN0	IO			DIFFIO2L_7p		No	D22	DQ2	DQ1	DQ0	DQ0
2L	33	VREFB2LN0	IO			DIFFIO2L_8n		No	E23	DQS2	DQ1	DQ0	DQ0
2L	32	VREFB2LN0	IO			DIFFIO2L_8p		No	D23	DQS2	DQ1	DQ0	DQ0
2L	31	VREFB2LN0	IO			DIFFIO2L_9n		No	F22	DQ2	DQ1	DQ0	DQ0
2L	30	VREFB2LN0	IO			DIFFIO2L_9p		No	E22	DQ2	DQ1	DQ0	DQ0
2L	29	VREFB2LN0	IO		PLL_2L_CLKOUT1n	DIFFIO2L_10n		No	C22	DQS3	DQS1/CQ1	DQ0	DQ0
2L	28	VREFB2LN0	IO		PLL_2L_CLKOUT1p,PLL_2L_CLKOUT1,PLL_2L_FB1	DIFFIO2L_10p		No	C23	DQS3	DQS1/CQ1	DQ0	DQ0
2L	27	VREFB2LN0	IO			DIFFIO2L_11n		No	D21	DQ3	DQ1	DQ0	DQ0
2L	26	VREFB2LN0	IO		RZQ_2L	DIFFIO2L_11p		No	F21	DQ3	DQ1	DQ0	DQ0
2L	25	VREFB2LN0	IO			DIFFIO2L_12n		No	G23	DQ3	DQ1	DQ0	DQ0
2L	24	VREFB2LN0	IO		CLK_2L_1n	DIFFIO2L_12p		No	F23	DQ3	DQ1	DQ0	DQ0
2L	23	VREFB2LN0	IO		CLK_2L_0n	DIFFIO2L_13n		No	H23	DQ4	DQ2	DQ1	DQ0
2L	22	VREFB2LN0	IO		CLK_2L_0p	DIFFIO2L_13p		No	J23	DQ4	DQ2	DQ1	DQ0
2L	21	VREFB2LN0	IO			DIFFIO2L_14n		No	K21	DQS4	DQ2	DQ1	DQS0/CQ0
2L	20	VREFB2LN0	IO			DIFFIO2L_14p		No	J20	DQS4	DQ2	DQ1	DQS0/CQ0
2L	19	VREFB2LN0	IO		PLL_2L_CLKOUT0n	DIFFIO2L_15n		No	H22	DQ4	DQ2	DQ1	DQ0
2L	18	VREFB2LN0	IO		PLL_2L_CLKOUT0p,PLL_2L_CLKOUT0,PLL_2L_FB0	DIFFIO2L_15p		No	J22	DQ4	DQ2	DQ1	DQ0
2L	17	VREFB2LN0	IO			DIFFIO2L_16n		No	H21	DQS5	DQ2	DQ1	DQ0
2L	16	VREFB2LN0	IO			DIFFIO2L_16p		No	H20	DQS5	DQS2/CQ2	DQ1	DQ0
2L	15	VREFB2LN0	IO			DIFFIO2L_17n		No	K20	DQ5	DQ2	DQ1	DQ0
2L	14	VREFB2LN0	IO			DIFFIO2L_17p		No	K19	DQ5	DQ2	DQ1	DQ0
2L	13	VREFB2LN0	IO			DIFFIO2L_18n		No	K22	DQ5	DQ2	DQS1/CQ1	DQ0
2L	12	VREFB2LN0	IO			DIFFIO2L_18p		No	K23	DQ5	DQ2	DQS1/CQ1	DQ0
2L	11	VREFB2LN0	IO			DIFFIO2L_19n		No	D18	DQ6	DQ3	DQ1	DQ0
2L	10	VREFB2LN0	IO			DIFFIO2L_19p		No	D19	DQ6	DQ3	DQ1	DQ0
2L	9	VREFB2LN0	IO			DIFFIO2L_20n		No	E17	DQS6	DQ3	DQ1	DQ0
2L	8	VREFB2LN0	IO			DIFFIO2L_20p		No	E16	DQS6	DQ3	DQ1	DQ0
2L	7	VREFB2LN0	IO			DIFFIO2L_21n		No	F19	DQ6	DQ3	DQ1	DQ0
2L	6	VREFB2LN0	IO			DIFFIO2L_21p		No	E19	DQ6	DQ3	DQ1	DQ0
2L	5	VREFB2LN0	IO			DIFFIO2L_22n		No	E20	DQS7	DQS3/CQ3	DQ1	DQ0
2L	4	VREFB2LN0	IO			DIFFIO2L_22p		No	D20	DQS7	DQS3/CQ3	DQ1	DQ0
2L	3	VREFB2LN0	IO			DIFFIO2L_23n		No	C16	DQ7	DQ3	DQ1	DQ0

Bank Number	Index within I/O Bank	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Non-dedicated Tx/Rx Channel	Dedicated Tx/Rx Channel	Soft CDR Support	F780	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
2L	2	VREFB2LN0	IO					No	C17	D07			D03
2L	1	VREFB2LN0	IO					No	D17	D07			D01
2L	0	VREFB2LN0	IO					No	C18	D07			D00
2K	47	VREFB2KN0	IO					No	B8	D08			D02
2K	46	VREFB2KN0	IO					No	B9	D08			D02
2K	45	VREFB2KN0	IO					No	C10	D08			D04
2K	44	VREFB2KN0	IO					Yes	B10	D08			D02
2K	43	VREFB2KN0	IO					No	C11	D08			D02
2K	42	VREFB2KN0	IO					No	C12	D08			D02
2K	41	VREFB2KN0	IO					Yes	A8	D08	D08n4/CQn4		D02
2K	40	VREFB2KN0	IO					Yes	A9	D08	D08n4/CQ4		D02
2K	39	VREFB2KN0	IO					No	D09	D09			D04
2K	38	VREFB2KN0	IO					No	C8	D09			D02
2K	37	VREFB2KN0	IO					Yes	D10	D09			D02
2K	36	VREFB2KN0	IO					Yes	D9	D09			D02
2K	35	VREFB2KN0	IO					No	A16	D09			D02
2K	34	VREFB2KN0	IO					No	A17	D09			D02
2K	33	VREFB2KN0	IO					Yes	A18	D09			D02
2K	32	VREFB2KN0	IO					Yes	A19	D09			D02
2K	31	VREFB2KN0	IO					No	C15	D09			D02
2K	30	VREFB2KN0	IO					No	B16	D09			D02
2K	29	VREFB2KN0	IO	PLL 2K CLKOUT1n				Yes	B18	D09n11			D02
2K	28	VREFB2KN0	IO	PLL 2K CLKOUT1p, PLL 2K, CLKOUT1, PLL 2K, FB1				Yes	B19	D09n11	D09n5/CQn5		D02
2K	27	VREFB2KN0	IO					No	C20	D09			D02
2K	26	VREFB2KN0	IO	RZQ 2K				No	B20	D09			D02
2K	25	VREFB2KN0	IO	CLK 2K 1n				Yes	E15	D09			D02
2K	24	VREFB2KN0	IO	CLK 2K 1p				Yes	D15	D09			D02
2K	23	VREFB2KN0	IO	CLK 2K 0n				No	A23	D09			D03
2K	22	VREFB2KN0	IO	CLK 2K 0p				No	A24	D09			D03
2K	21	VREFB2KN0	IO					Yes	C21	D09			D03
2K	20	VREFB2KN0	IO					Yes	B21	D09			D03
2K	19	VREFB2KN0	IO	PLL 2K CLKOUT0n				No	B23	D09			D02
2K	18	VREFB2KN0	IO	PLL 2K CLKOUT0p, PLL 2K, CLKOUT0, PLL 2K, FB0				No	B24	D09			D03
2K	17	VREFB2KN0	IO					Yes	A26	D09	D09n6/CQn6		D03
2K	16	VREFB2KN0	IO					Yes	A27	D09	D09n6/CQ6		D03
2K	15	VREFB2KN0	IO					No	A22	D09			D03
2K	14	VREFB2KN0	IO					No	A21	D09			D03
2K	13	VREFB2KN0	IO					Yes	B25	D09			D03
2K	12	VREFB2KN0	IO					Yes	B26	D09			D03
2K	11	VREFB2KN0	IO					No	E14	D09			D03
2K	10	VREFB2KN0	IO					No	D14	D09			D03
2K	9	VREFB2KN0	IO					Yes	D13	D09			D03
2K	8	VREFB2KN0	IO					Yes	C13	D09			D03
2K	7	VREFB2KN0	IO					No	B15	D09			D03
2K	6	VREFB2KN0	IO					No	B14	D09			D03
2K	5	VREFB2KN0	IO					Yes	B13	D09	D09n7/CQn7		D03
2K	4	VREFB2KN0	IO					Yes	A14	D09	D09n7/CQ7		D03
2K	3	VREFB2KN0	IO					No	A13	D09			D03
2K	2	VREFB2KN0	IO					No	A12	D09			D03
2K	1	VREFB2KN0	IO					Yes	B11	D09			D03
2K	0	VREFB2KN0	IO					Yes	A11	D09			D03
2J	47	VREFB2JN0	IO					No	A09	D08			D02
2J	46	VREFB2JN0	IO					No	AG10	D08			D02
2J	45	VREFB2JN0	IO					Yes	AH17	D08			D02
2J	44	VREFB2JN0	IO					Yes	AH18	D08			D02
2J	43	VREFB2JN0	IO					No	AH15	D08			D02
2J	42	VREFB2JN0	IO					No	AH16	D08			D02
2J	41	VREFB2JN0	IO					Yes	AH10	D08	D08n8/CQn8		D02
2J	40	VREFB2JN0	IO					Yes	AH11	D08	D08n8/CQ8		D02
2J	39	VREFB2JN0	IO					No	AG11	D08			D02
2J	38	VREFB2JN0	IO					No	AH12	D08			D02
2J	37	VREFB2JN0	IO					Yes	AG13	D08			D02
2J	36	VREFB2JN0	IO					Yes	AH13	D08			D02
2J	35	VREFB2JN0	IO					No	Y21	D08			D02
2J	34	VREFB2JN0	IO					No	AA21	D08			D02
2J	33	VREFB2JN0	IO					Yes	W21	D08			D02
2J	32	VREFB2JN0	IO					Yes	W20	D08			D02
2J	31	VREFB2JN0	IO					No	AB19	D08			D02
2J	30	VREFB2JN0	IO					No	AB18	D08			D02
2J	29	VREFB2JN0	IO	PLL 2J CLKOUT1n				Yes	Y17	D08	D08n9/CQn9		D02
2J	28	VREFB2JN0	IO	PLL 2J CLKOUT1p, PLL 2J, CLKOUT1, PLL 2J, FB1				Yes	AA17	D08	D08n9/CQ9		D02
2J	27	VREFB2JN0	IO					No	Y19	D08			D02
2J	26	VREFB2JN0	IO	RZQ 2J				No	Y20	D08			D02
2J	25	VREFB2JN0	IO	CLK 2J 1n				Yes	AA19	D08			D02
2J	24	VREFB2JN0	IO	CLK 2J 1p				Yes	AA18	D08			D02
2J	23	VREFB2JN0	IO	CLK 2J 0n				No	AB20	D08			D02
2J	22	VREFB2JN0	IO	CLK 2J 0p				No	AG20	D08			D02
2J	21	VREFB2JN0	IO					Yes	AH20	D08			D02
2J	20	VREFB2JN0	IO					Yes	AH21	D08			D02
2J	19	VREFB2JN0	IO	PLL 2J CLKOUT0n				No	AB21	D08			D02
2J	18	VREFB2JN0	IO	PLL 2J CLKOUT0p, PLL 2J, CLKOUT0, PLL 2J, FB0				No	AC21	D08			D02
2J	17	VREFB2JN0	IO					Yes	AZ21	D08			D02
2J	16	VREFB2JN0	IO					Yes	AZ21	D08	D08n10/CQn10		D02
2J	15	VREFB2JN0	IO					Yes	AF21	D08	D08n10/CQ10		D02
2J	14	VREFB2JN0	IO					No	AG21	D08			D02
2J	13	VREFB2JN0	IO					No	AH22	D08			D02
2J	12	VREFB2JN0	IO					Yes	AG20	D08			D02
2J	11	VREFB2JN0	IO					No	AG19	D08			D02
2J	10	VREFB2JN0	IO					No	AF23	D08			D02
2J	9	VREFB2JN0	IO					No	AG23	D08			D02
2J	8	VREFB2JN0	IO					Yes	AB23	D08			D02
2J	7	VREFB2JN0	IO					No	AZ22	D08			D02
2J	6	VREFB2JN0	IO					No	AA23	D08			D02
2J	5	VREFB2JN0	IO					Yes	AB23	D08	D08n11/CQn11		D02
2J	4	VREFB2JN0	IO					Yes	AC23	D08	D08n11/CQ11		D02
2J	3	VREFB2JN0	IO					No	AZ22	D08			D02
2J	2	VREFB2JN0	IO					No	AF22	D08			D02
2J	1	VREFB2JN0	IO					Yes	AC22	D08			D02
2J	0	VREFB2JN0	IO					Yes	AD22	D08			D02
2A	47	VREFB2AN0	IO					No	AE10	D04			D02
2A	46	VREFB2AN0	IO					No	AE11	D04			D02



Bank Number	Index within I/O Bank	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Non-dedicated Tx/Rx Channel	Dedicated Tx/Rx Channel	Soft CDR Support	F780	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
3A	40	VREFB3A0	IO				LVDS3A_4p	Yes	W5	DQS57	DQS28/CQ28	DQ14	DQ7
3A	39	VREFB3A0	IO				LVDS3A_5n	No	Y2	DO57	DO28	DQ14	DQ7
3A	38	VREFB3A0	IO				LVDS3A_5p	No	Y1	DO57	DO28	DQ14	DQ7
3A	37	VREFB3A0	IO				LVDS3A_6n	Yes	AA8	DO57	DO28	DQS14/CQ14	DQ7
3A	36	VREFB3A0	IO				LVDS3A_6p	Yes	AA9	DO57	DO28	DQS14/CQ14	DQ7
3A	35	VREFB3A0	IO				LVDS3A_7n	No	AA4	DO58	DO29	DQ14	DQ7
3A	34	VREFB3A0	IO				LVDS3A_7p	No	AC5	DO58	DO29	DQ14	DQ7
3A	33	VREFB3A0	IO				LVDS3A_8n	Yes	AA1	DQS58	DO29	DQ14	DQ7
3A	32	VREFB3A0	IO				LVDS3A_8p	Yes	AB1	DQS58	DO29	DQ14	DQ7
3A	31	VREFB3A0	IO				LVDS3A_9n	No	AB5	DO58	DO29	DQ14	DQ7
3A	30	VREFB3A0	IO				LVDS3A_9p	No	AB6	DO58	DO29	DQ14	DQ7
3A	29	VREFB3A0	IO	PLL_3A_CLKOUT1n			LVDS3A_10n	Yes	AB3	DQS59	DQS29/CQ29	DQ14	DQ7
3A	28	VREFB3A0	IO	PLL_3A_CLKOUT1p,PLL_3A_CLKOUT1,PLL_3A_FB1			LVDS3A_10p	Yes	AA2	DQS59	DQS29/CQ29	DQ14	DQ7
3A	27	VREFB3A0	IO				LVDS3A_11n	No	AA4	DO59	DO29	DQ14	DQ7
3A	26	VREFB3A0	IO	RZQ_3A			LVDS3A_11p	No	AA3	DO59	DO29	DQ14	DQ7
3A	25	VREFB3A0	IO	CLK_3A_1n			LVDS3A_12n	Yes	AA7	DO59	DO29	DQ14	DQ7
3A	24	VREFB3A0	IO	CLK_3A_1p			LVDS3A_12p	Yes	AA6	DO59	DO29	DQ14	DQ7
3A	23	VREFB3A0	IO	CLK_3A_0n			LVDS3A_13n	No	AC3	DO60	DO30	DQ15	DQ7
3A	22	VREFB3A0	IO	CLK_3A_0p			LVDS3A_13p	No	AD3	DO60	DO30	DQ15	DQ7
3A	21	VREFB3A0	IO				LVDS3A_14n	Yes	AF2	DQS60	DO30	DQ15	DQS17/CQ17
3A	20	VREFB3A0	IO				LVDS3A_14p	Yes	AE1	DQS60	DO30	DQ15	DQS17/CQ17
3A	19	VREFB3A0	IO	PLL_3A_CLKOUT0n			LVDS3A_15n	No	AC2	DO60	DO30	DQ15	DQ7
3A	18	VREFB3A0	IO	PLL_3A_CLKOUT0p,PLL_3A_CLKOUT0,PLL_3A_FB0			LVDS3A_15p	No	AC1	DO60	DO30	DQ15	DQ7
3A	17	VREFB3A0	IO				LVDS3A_16n	Yes	AD2	DQS61	DQS30/CQ30	DQ15	DQ7
3A	16	VREFB3A0	IO				LVDS3A_16p	Yes	AE2	DQS61	DQS30/CQ30	DQ15	DQ7
3A	15	VREFB3A0	IO				LVDS3A_17n	No	AE1	DO61	DO30	DQ15	DQ7
3A	14	VREFB3A0	IO				LVDS3A_17p	No	AD1	DO61	DO30	DQ15	DQ7
3A	13	VREFB3A0	IO				LVDS3A_18n	Yes	AF3	DO61	DO30	DQS15/CQ15	DQ7
3A	12	VREFB3A0	IO				LVDS3A_18p	Yes	AG3	DO61	DO30	DQS15/CQ15	DQ7
3A	11	VREFB3A0	IO				LVDS3A_19n	No	AH3	DO62	DO31	DQ15	DQ7
3A	10	VREFB3A0	IO				LVDS3A_19p	No	AH2	DO62	DO31	DQ15	DQ7
3A	9	VREFB3A0	IO				LVDS3A_20n	Yes	AD4	DQS62	DO31	DQ15	DQ7
3A	8	VREFB3A0	IO				LVDS3A_20p	Yes	AE4	DQS62	DO31	DQ15	DQ7
3A	7	VREFB3A0	IO				LVDS3A_21n	No	AC7	DO62	DO31	DQ15	DQ7
3A	6	VREFB3A0	IO				LVDS3A_21p	No	AC6	DO62	DO31	DQ15	DQ7
3A	5	VREFB3A0	IO				LVDS3A_22n	Yes	AE5	DQS63	DQS31/CQ31	DQ15	DQ7
3A	4	VREFB3A0	IO				LVDS3A_22p	Yes	AF5	DQS63	DQS31/CQ31	DQ15	DQ7
			GND						AB10				
CSS			TDO						W10				
CSS			TMS						AH6				
CSS			TRST						AF8				
CSS			TCK						Y9				
CSS			TDI						AC10				
CSS			MSEL0						AE7				
CSS			MSEL1						AD7				
CSS			MSEL2						AB8				
CSS			RD_PULLUP						AD9				
CSS			nSTATUS						AF7				
CSS			CONF_DONE						AG8				
CSS			GND						AD10				
CSS			nCONFIG						AC8				
CSS			nCE						AB9				
CSS			nCS00						AH8				
CSS			nCS01						AH7				
CSS			nCS02						AF9				
CSS			AS_DATA0,ASDO						AER				
CSS			AS_DATA1						AG6				
CSS			AS_DATA2						AG5				
CSS			AS_DATA3						AH5				
CSS			DCLK						AD9				
			ADC_GND						G10				
			GND						H13				
			GND						K14				
			GND						L13				
			GND						L14				
			GND						M13				
			GND						J14				
			GND						A10				
			GND						A15				
			GND						A20				
			GND						A25				
			GND						A5				
			GND						AA10				
			GND						AA24				
			GND						AA25				
			GND						AA26				
			GND						AB17				
			GND						AB2				
			GND						AB22				
			GND						AB24				
			GND						AB27				
			GND						AB28				
			GND						AB7				
			GND						AC24				
			GND						AC25				
			GND						AC26				
			GND						AC4				
			GND						AC9				
			GND						AD1				
			GND						AD11				
			GND						AD16				
			GND						AD21				
			GND						AD24				
			GND						AD27				
			GND						AD28				
			GND						AD6				
			GND						AE13				
			GND						AE18				
			GND						AE24				
			GND						AE25				

Bank Number	Index within I/O Bank	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Non-dedicated Tx/Rx Channel	Dedicated Tx/Rx Channel	Soft CDR Support	F780	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
			GND						AE26				
			GND						AE3				
			GND						AE8				
			GND						AF10				
			GND						AF15				
			GND						AF20				
			GND						AF24				
			GND						AF27				
			GND						AF28				
			GND						AF5				
			GND						AG12				
			GND						AG17				
			GND						AG2				
			GND						AG22				
			GND						AG24				
			GND						AG25				
			GND						AG26				
			GND						AG7				
			GND						AH14				
			GND						AH19				
			GND						AH26				
			GND						AH27				
			GND						AH4				
			GND						AH9				
			GND						B17				
			GND						B2				
			GND						B22				
			GND						B27				
			GND						B28				
			GND						B7				
			GND						C19				
			GND						C24				
			GND						C25				
			GND						C26				
			GND						C27				
			GND						C4				
			GND						C9				
			GND						D1				
			GND						D11				
			GND						D16				
			GND						D21				
			GND						D24				
			GND						D27				
			GND						D28				
			GND						D6				
			GND						E13				
			GND						E24				
			GND						E25				
			GND						E26				
			GND						E3				
			GND						E8				
			GND						F10				
			GND						F20				
			GND						F24				
			GND						F27				
			GND						F28				
			GND						F5				
			GND						G12				
			GND						G17				
			GND						G2				
			GND						G22				
			GND						G24				
			GND						G25				
			GND						G26				
			GND						H14				
			GND						H24				
			GND						H27				
			GND						H28				
			GND						H4				
			GND						J1				
			GND						J11				
			GND						J16				
			GND						J21				
			GND						J24				
			GND						J25				
			GND						J26				
			GND						J6				
			GND						K13				
			GND						K24				
			GND						K27				
			GND						K28				
			GND						K3				
			GND						L10				
			GND						L15				
			GND						L20				
			GND						L21				
			GND						L22				
			GND						L23				
			GND						L24				
			GND						L25				
			GND						L26				
			GND						M12				
			GND						M17				
			GND						M2				
			GND						M21				
			GND						M27				
			GND						M28				
			GND						N14				
			GND						N19				
			GND						N21				
			GND						N22				

Bank Number	Index within I/O Bank	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Non-dedicated Tx/Rx Channel	Dedicated Tx/Rx Channel	Soft CDR Support	F780	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
			GND						N25				
			GND						N25				
			GND						N4				
			GND						N9				
			GND						P1				
			GND						P11				
			GND						P16				
			GND						P21				
			GND						P22				
			GND						P27				
			GND						P28				
			GND						R13				
			GND						R18				
			GND						R21				
			GND						R22				
			GND						R26				
			GND						R26				
			GND						R3				
			GND						R8				
			GND						T10				
			GND						T15				
			GND						T20				
			GND						T21				
			GND						T27				
			GND						T28				
			GND						U12				
			GND						U17				
			GND						U2				
			GND						U21				
			GND						U22				
			GND						U25				
			GND						U26				
			GND						V14				
			GND						V19				
			GND						V21				
			GND						V22				
			GND						V27				
			GND						V28				
			GND						V9				
			GND						W1				
			GND						W11				
			GND						W16				
			GND						W22				
			GND						W25				
			GND						W26				
			GND						Y13				
			GND						Y22				
			GND						Y23				
			GND						Y24				
			GND						Y27				
			GND						Y28				
			GND						Y3				
			GNDSENSE						T12				
			VCC						L11				
			VCC						L12				
			VCC						L16				
			VCC						L17				
			VCC						L18				
			VCC						L19				
			VCC						M10				
			VCC						M11				
			VCC						M15				
			VCC						M16				
			VCC						M19				
			VCC						M20				
			VCC						N10				
			VCC						N12				
			VCC						N13				
			VCC						N15				
			VCC						N16				
			VCC						N18				
			VCC						N20				
			VCC						P10				
			VCC						P12				
			VCC						P14				
			VCC						P17				
			VCC						P18				
			VCC						P19				
			VCC						P20				
			VCC						R10				
			VCC						R11				
			VCC						R14				
			VCC						R15				
			VCC						R16				
			VCC						R19				
			VCC						R20				
			VCC						T11				
			VCC						T14				
			VCC						T16				
			VCC						T17				
			VCC						T18				
			VCC						T19				
			VCC						U10				
			VCC						U14				
			VCC						U15				
			VCC						U18				
			VCC						U19				
			VCC						U20				
			VCC						V10				
			VCC						V11				
			VCC						V13				

Bank Number	Index within I/O Bank	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Non-dedicated Tx/Rx Channel	Dedicated Tx/Rx Channel	Soft CDR Support	F780	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
			VCC						V15				
			VCC						V16				
			VCC						V17				
			VCC						V20				
			VCC						W12				
			VCC						W18				
			VCC						W19				
			VCCPT						M14				
			VCCPT						M18				
			VCCPT						V12				
			VCCPT						X18				
			DNU						AH23				
			DNU						AH24				
			DNU						Y11				
			DNU						Y12				
			DNU						Y10				
			VCCPGM						W14				
			VCCPGM						Y14				
			TEMPDIODEn						H10				
			TEMPDIODEp						H11				
			VCCBAT						W13				
			VCCA_PLL						P13				
			VCCA_PLL						P15				
			VCCIO2A						AA15				
			VCCIO2A						AB12				
			VCCIO2A						AC14				
			VCCIO2J						AA20				
			VCCIO2J						AC19				
			VCCIO2J						Y18				
			VCCIO2K						B12				
			VCCIO2K						G14				
			VCCIO2K						F15				
			VCCIO2L						E18				
			VCCIO2L						H19				
			VCCIO2L						K18				
			VCCIO3A						AA8				
			VCCIO3A						W6				
			VCCIO3A						Y8				
			VCCIO3B						T5				
			VCCIO3B						U7				
			VCCIO3B						V4				
2A		VREFB2AN0	VREFB2AN0						W15				
2J		VREFB2JN0	VREFB2JN0						W17				
2K		VREFB2KN0	VREFB2KN0						E9				
2L		VREFB2LN0	VREFB2LN0						K16				
3A		VREFB3AN0	VREFB3AN0						W9				
3B		VREFB3BN0	VREFB3BN0						U9				
			VREFN_ADC						J10				
			VREFP_ADC						K10				
			NC						G14				
			NC						K11				
			NC						K12				
			NC						F12				
			NC						G16				
			NC						D12				
			NC						J12				
			NC						H12				
			NC						F14				
			NC						G13				
			NC						J15				
			NC						H15				
			NC						F16				
			NC						E12				
			NC						G15				
			NC						K15				
			NC						F13				
			NC						J9				
			NC						K9				
			NC						G9				
			NC						F9				
			NC						L8				
			NC						L9				
			NC						J8				
			NC						H8				
			NC						F7				
			NC						F6				
			NC						F8				
			NC						G8				
			NC						D7				
			NC						C7				
			NC						A7				
			NC						A6				
			NC						E7				
			NC						E6				
			NC						C6				
			NC						C5				
			NC						B6				
			NC						B5				
			NC						E5				
			NC						F1				
			NC						D5				
			NC						E1				
			NC						M9				
			NC						C1				
			NC						R9				
			NC						B1				
			NC						K8				
			NC						H3				
			NC						H9				
			NC						J4				
			NC						G7				

Bank Number	Index within I/O Bank	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Non-dedicated Tx/Rx Channel	Dedicated Tx/Rx Channel	Soft CDR Support	F780	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
			NC						G3				
			NC						P8				
			NC						F3				
			NC						M7				
			NC						F2				
			NC						L5				
			NC						E2				
			NC						D2				
			NC						C2				
			NC						D3				
			NC						D4				
			NC						A2				
			NC						A3				
			NC						F4				
			NC						E4				
			NC						A4				
			NC						B4				
			NC						B3				
			NC						C3				
			NC						G5				
			NC						G8				
			NC						N5				
			NC						P5				
			NC						M5				
			NC						M6				
			NC						M5				
			NC						A5				
			NC						R6				
			NC						R7				
			NC						N6				
			NC						P7				
			NC						P9				
			NC						P8				
			NC						L7				
			NC						M8				
			NC						K7				
			NC						J7				
			NC						G4				
			NC						H5				
			NC						L6				
			NC						K6				
			NC						N7				
			NC						N8				
			NC						H6				
			NC						H7				
			NC						A4A				
			NC						AG4				
			NC						AD5				
			NC						AE5				
			VCCX_GXBL						M22				
			VCCX_GXBL						T22				
			VCCR_GXBLIC						V23				
			VCCR_GXBLIC						V24				
			VCCR_GXBLID						P23				
			VCCR_GXBLID						P24				
			VCCT_GXBLIC						T23				
			VCCT_GXBLIC						T24				
			VCCT_GXBLID						M23				
			VCCT_GXBLID						M24				
			RREF_BL						AH25				
			RREF_TL						G26				
			VCCERAM						R12				
			VCCERAM						R17				
			VCCLSENSE						T13				
			VCCP						N11				
			VCCP						N17				
			VCCP						U11				
			VCCP						U13				
			VCCP						U16				
			VSIGN_0						E11				
			VSIGN_1						G11				
			VSIGN_0						E10				
			VSIGN_1						F11				

Note:
(1) For more information about pin definition and pin connection guidelines, refer to the [Intel Cyclone 10 GX Device Family Pin Connection Guidelines](#).

Date	Version	Changes
February 2017	2017.02.13	Initial release.
May 2017	2017.05.26	Updated the transceiver channels information.
December 2018	2018.12.27	Changed VCCIO3B and VREF3BN0 to GND pins in Pin List U484.
April 2019	2019.04.22	Added the PR Request, PR Ready, PR Done, and PR Error pins.