Bank Number	VREF	PinName/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Emulated LVDS Output Channel	F780	DQS for X4	DQS for X8/X9	DQS for X16/ X18	DQS for X32/ X36
GXB_L1		REFCLK3Lp					L22				
GXB_L1		REFCLK3Ln					L23				
GXB_L1		GXB_TX_L11n					D26				
GXB_L1		GXB_TX_L11p					D25				
GXB_L1		GXB_RX_L11n,GXB_REFCLK_L11n					C28				
GXB_L1		GXB_RX_L11p,GXB_REFCLK_L11p					C27				
GXB_L1		GXB_TX_L10n					F26				
GXB_L1		GXB_TX_L10p					F25				
GXB_L1		GXB_RX_L10n,GXB_REFCLK_L10n					E28				
GXB_L1		GXB_RX_L10p,GXB_REFCLK_L10p					E27				
GXB_L1		GXB_TX_L9n					H26				
GXB_L1		GXB_TX_L9p					H25				
GXB_L1		GXB_RX_L9n,GXB_REFCLK_L9n					G28				
GXB_L1		GXB_RX_L9p,GXB_REFCLK_L9p					G27				
GXB_L1		GXB_TX_L8n					K26				
GXB_L1		GXB_TX_L8p					K25				
GXB_L1		GXB_RX_L8n,GXB_REFCLK_L8n					J28				
GXB_L1		GXB_RX_L8p,GXB_REFCLK_L8p					J27				
GXB_L1		GXB_TX_L7n					M26				
GXB_L1		GXB_TX_L7p					M25				
GXB_L1		GXB_RX_L7n,GXB_REFCLK_L7n					L28				
GXB_L1		GXB_RX_L7p,GXB_REFCLK_L7p					L27				
GXB_L1		GXB_TX_L6n					P26				
GXB_L1		GXB_TX_L6p					P25				
GXB_L1		GXB_RX_L6n,GXB_REFCLK_L6n					N28				
GXB_L1		GXB_RX_L6p,GXB_REFCLK_L6p					N27				
GXB_L1		REFCLK2Lp					N23				
GXB_L1		REFCLK2Ln					N24				
GXB_L0		REFCLK1Lp					R22				
GXB_L0		REFCLK1Ln					R23				
GXB_L0		GXB_TX_L5n					T26				
GXB_L0		GXB_TX_L5p					T25				
GXB_L0		GXB_RX_L5n,GXB_REFCLK_L5n					R28				
GXB_L0		GXB_RX_L5p,GXB_REFCLK_L5p					R27				
GXB_L0		GXB_TX_L4n					V26				
GXB_L0		GXB_TX_L4p					V25				
GXB_L0		GXB_RX_L4n,GXB_REFCLK_L4n					U28				
GXB_L0		GXB_RX_L4p,GXB_REFCLK_L4p					U27				
GXB_L0		GXB_TX_L3n					Y26				
GXB_L0		GXB_TX_L3p					Y25				
GXB_L0		GXB_RX_L3n,GXB_REFCLK_L3n					W28				
GXB_L0		GXB_RX_L3p,GXB_REFCLK_L3p					W27				
GXB_L0		GXB_TX_L2n					AB26				
GXB_L0		GXB_TX_L2p					AB25				
GXB_L0		GXB_RX_L2n,GXB_REFCLK_L2n					AA28				
GXB_L0		GXB_RX_L2p,GXB_REFCLK_L2p					AA27				
GXB_L0		GXB_TX_L1n					AD26				
GXB_L0		GXB_TX_L1p					AD25				
GXB_L0		GXB_RX_L1n,GXB_REFCLK_L1n					AC28				
GXB_L0		GXB_RX_L1p,GXB_REFCLK_L1p					AC27				
GXB_L0		GXB_TX_L0n					AF26				
GXB_L0		GXB_TX_L0p					AF25				
GXB_L0		GXB_RX_L0n,GXB_REFCLK_L0n					AE28				
GXB_L0		GXB_RX_L0p,GXB_REFCLK_L0p					AE27				
GXB_L0		REFCLK0Lp					U23				
GXB_L0		REFCLK0Ln					U24				
3A		nCONFIG		nCONFIG			AF23				
3A		TRST		TRST			W19				
3A		TMS		TMS			Y20				
3A		TCK		TCK			AA21				
3A		TDI		TDI			AD22				
3A		TDO		TDO			AB22				
3A		nCSO		nCSO			AE23				
3A		AS_DATA3		AS_DATA3			V19				
3A		AS_DATA2		AS_DATA2			W20				
3A		AS_DATA1		AS_DATA1			Y21				
3A		AS_DATA0,ASDO		AS_DATA0,ASDO			AD23				
3A		DCLK		DCLK			AB21				
3A	VREFB3AN0	IO		CLKUSR	DIFFIO_TX_B1n	DIFFOUT_B1n	AH23	DQ1B	DQ1B		
3A	VREFB3AN0	IO		CRC_ERROR	DIFFIO_TX_B1p	DIFFOUT_B1p	AH22	DQ1B	DQ1B		
3A	VREFB3AN0	IO	RZQ_0		DIFFIO_RX_B2n	DIFFOUT_B2n	AG22	DQSn1B	DQ1B		
3A	VREFB3AN0	IO		DEV_OE	DIFFIO_RX_B2p	DIFFOUT_B2p	AF22	DQS1B	DQ1B/CQn1B		
3A	VREFB3AN0	IO		DEV_CLRn	DIFFIO_TX_B3n	DIFFOUT_B3n	AH25	DQ1B	DQ1B		
3A	VREFB3AN0	IO		INIT_DONE	DIFFIO_TX_B3p	DIFFOUT_B3p	AH26	DQ1B	DQ1B		
3A	VREFB3AN0	IO		nCEO	DIFFIO_RX_B4n	DIFFOUT_B4n	AH21	DQSn2B	DQSn1B/DQ1B		
3A	VREFB3AN0	IO		DATA0	DIFFIO_RX_B4p	DIFFOUT_B4p	AG21	DQS2B	DQS1B/CQ1B		
3A	VREFB3AN0	IO		DATA1	DIFFIO_TX_B5n	DIFFOUT_B5n	AD21	DQ2B	DQ1B		
3A	VREFB3AN0	IO		DATA2	DIFFIO_TX_B5p	DIFFOUT_B5p	AC21	DQ2B	DQ1B		
3A	VREFB3AN0	IO		DATA3	DIFFIO_RX_B6n	DIFFOUT_B6n	AF21	DQ2B	DQ1B		
3A	VREFB3AN0	IO		DATA4	DIFFIO_RX_B6p	DIFFOUT_B6p	AE22	DQ2B	DQ1B		

Bank Number	VREF	PinName/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Emulated LVDS Output Channel	F780	DQS for X4	DQS for X8/X9	DQS for X16/ X18	DQS for X32/ X36
3A	VREFB3AN0	IO		DATA5	DIFFIO_TX_B7n	DIFFOUT_B7n	AE20	DQ3B	DQ2B	DQ1B	
3A	VREFB3AN0	IO		DATA6	DIFFIO_TX_B7p	DIFFOUT_B7p	AD19	DQ3B	DQ2B	DQ1B	
3A	VREFB3AN0	IO		DATA7	DIFFIO_RX_B8n	DIFFOUT_B8n	AH19	DQSn3B	DQ2B	DQ1B	
3A	VREFB3AN0	IO		DATA8	DIFFIO_RX_B8p	DIFFOUT_B8p	AG19	DQS3B	DQ2B/CQn2B	DQ1B	
3A	VREFB3AN0	IO		DATA9	DIFFIO_TX_B9n	DIFFOUT_B9n	AH18	DQ3B	DQ2B	DQ1B	
3A	VREFB3AN0	IO		DATA10	DIFFIO_TX_B9p	DIFFOUT_B9p	AG18	DQ3B	DQ2B	DQ1B	
3A	VREFB3AN0	IO		DATA11	DIFFIO_RX_B10n	DIFFOUT_B10n	AF17	DQSn4B	DQSn2B/DQ2B	DQ1B	
3A	VREFB3AN0	IO		DATA12	DIFFIO_RX_B10p	DIFFOUT_B10p	AF16	DQS4B	DQS2B/CQ2B	DQ1B/CQn1B	
3A	VREFB3AN0	IO		DATA13	DIFFIO_TX_B11n	DIFFOUT_B11n	AF19	DQ4B	DQ2B	DQ1B	
3A	VREFB3AN0	IO		DATA14	DIFFIO_TX_B11p	DIFFOUT_B11p	AE19	DQ4B	DQ2B	DQ1B	
3A	VREFB3AN0	IO		DATA15	DIFFIO_RX_B12n	DIFFOUT_B12n	AE17	DQ4B	DQ2B	DQ1B	
3A	VREFB3AN0	IO		DATA16	DIFFIO_RX_B12p	DIFFOUT_B12p	AD18	DQ4B	DQ2B	DQ1B	
3A	VREFB3AN0	IO		DATA17	DIFFIO_TX_B13n	DIFFOUT_B13n	AD20	DQ5B	DQ3B	DQ1B	
3A	VREFB3AN0	IO		DATA18	DIFFIO_TX_B13p	DIFFOUT_B13p	AC20	DQ5B	DQ3B	DQ1B	
3A	VREFB3AN0	IO		DATA19	DIFFIO_RX_B14n	DIFFOUT_B14n	AA19	DQSn5B	DQ3B	DQSn1B/DQ1B	
3A	VREFB3AN0	IO		DATA20	DIFFIO_RX_B14p	DIFFOUT_B14p	Y19	DQS5B	DQ3B/CQn3B	DQS1B/CQ1B	
3A	VREFB3AN0	IO		DATA21	DIFFIO_TX_B15n	DIFFOUT_B15n	AB18	DQ5B	DQ3B	DQ1B	
3A	VREFB3AN0	IO		DATA22	DIFFIO_TX_B15p	DIFFOUT_B15p	AB19	DQ5B	DQ3B	DQ1B	
3A	VREFB3AN0	IO		DATA23	DIFFIO_RX_B16n	DIFFOUT_B16n	Y17	DQSn6B	DQSn3B/DQ3B	DQ1B	
3A	VREFB3AN0	IO		DATA24	DIFFIO_RX_B16p	DIFFOUT_B16p	AA18	DQS6B	DQS3B/CQ3B	DQ1B	
3A	VREFB3AN0	IO		DATA25	DIFFIO_TX_B17n	DIFFOUT_B17n	AC18	DQ6B	DQ3B	DQ1B	
3A	VREFB3AN0	IO		DATA26	DIFFIO_TX_B17p	DIFFOUT_B17p	AB17	DQ6B	DQ3B	DQ1B	
3A	VREFB3AN0	IO		DATA27	DIFFIO_RX_B18n	DIFFOUT_B18n	AD17	DQ6B	DQ3B	DQ1B	
3A	VREFB3AN0	IO		DATA28	DIFFIO_RX_B18p	DIFFOUT_B18p	AC17	DQ6B	DQ3B	DQ1B	
3B	VREFB3BN0	IO		DATA29	DIFFIO_TX_B19n	DIFFOUT_B19n	AH16	DQ7B	DQ4B	DQ2B	DQ1B
3B	VREFB3BN0	IO		DATA30	DIFFIO_TX_B19p	DIFFOUT_B19p	AG16	DQ7B	DQ4B	DQ2B	DQ1B
3B	VREFB3BN0	IO		DATA31	DIFFIO_RX_B20n	DIFFOUT_B20n	AH15	DQSn7B	DQ4B	DQ2B	DQ1B
3B	VREFB3BN0	IO		PR_DONE	DIFFIO_RX_B20p	DIFFOUT_B20p	AG15	DQS7B	DQ4B/CQn4B	DQ2B	DQ1B
3B	VREFB3BN0	IO		PR_REQUEST	DIFFIO_TX_B21n	DIFFOUT_B21n	AH13	DQ7B	DQ4B	DQ2B	DQ1B
3B	VREFB3BN0	IO		PR_READY	DIFFIO_TX_B21p	DIFFOUT_B21p	AG13	DQ7B	DQ4B	DQ2B	DQ1B
3B	VREFB3BN0	IO	CLK0n		DIFFIO_RX_B22n	DIFFOUT_B22n	AF13	DQSn8B	DQSn4B/DQ4B	DQ2B	DQ1B
3B	VREFB3BN0	IO	CLK0p		DIFFIO_RX_B22p	DIFFOUT_B22p	AE13	DQS8B	DQS4B/CQ4B	DQ2B/CQn2B	DQ1B
3B	VREFB3BN0	IO		PR_ERROR	DIFFIO_TX_B23n	DIFFOUT_B23n	AF15	DQ8B	DQ4B	DQ2B	DQ1B
3B	VREFB3BN0	IO		CvP_CONFDONE	DIFFIO_TX_B23p	DIFFOUT_B23p	AE16	DQ8B	DQ4B	DQ2B	DQ1B
3B	VREFB3BN0	IO	CLK1n		DIFFIO_RX_B24n	DIFFOUT_B24n	AF14	DQ8B	DQ4B	DQ2B	DQ1B
3B	VREFB3BN0	IO	CLK1p		DIFFIO_RX_B24p	DIFFOUT_B24p	AE14	DQ8B	DQ4B	DQ2B	DQ1B
3B	VREFB3BN0	IO	FPLL_BL_CLKOUT1,FPLL_BL_CLKOUTn		DIFFIO_TX_B25n	DIFFOUT_B25n	AH12	DQ9B	DQ5B	DQ2B	DQ1B
3B	VREFB3BN0	IO	FPLL_BL_CLKOUT0,FPLL_BL_CLKOUTp,FPLL_BL_FB0		DIFFIO_TX_B25p	DIFFOUT_B25p	AG12	DQ9B	DQ5B	DQ2B	DQ1B
3B	VREFB3BN0	IO	FPLL_BL_CLKOUT3,FPLL_BL_FBn		DIFFIO_RX_B26n	DIFFOUT_B26n	AF11	DQSn9B	DQ5B	DQSn2B/DQ2B	DQ1B
3B	VREFB3BN0	IO	FPLL_BL_CLKOUT2,FPLL_BL_FBp,FPLL_BL_FB1		DIFFIO_RX_B26p	DIFFOUT_B26p	AF12	DQS9B	DQ5B/CQn5B	DQS2B/CQ2B	DQ1B
3B	VREFB3BN0	IO		nPERSTL0	DIFFIO_TX_B27n	DIFFOUT_B27n	AH11	DQ9B	DQ5B	DQ2B	DQ1B
3B	VREFB3BN0	IO			DIFFIO_TX_B27p	DIFFOUT_B27p	AH10	DQ9B	DQ5B	DQ2B	DQ1B
3B	VREFB3BN0	IO	CLK2n		DIFFIO_RX_B28n	DIFFOUT_B28n	AE10	DQSn10B	DQSn5B/DQ5B	DQ2B	DQ1B
3B	VREFB3BN0	IO	CLK2p		DIFFIO_RX_B28p	DIFFOUT_B28p	AE11	DQS10B	DQS5B/CQ5B	DQ2B	DQ1B/CQn1B
3B	VREFB3BN0	IO			DIFFIO_TX_B29n	DIFFOUT_B29n	AG10	DQ10B	DQ5B	DQ2B	DQ1B
3B	VREFB3BN0	IO			DIFFIO_TX_B29p	DIFFOUT_B29p	AF10	DQ10B	DQ5B	DQ2B	DQ1B
3B	VREFB3BN0	IO	CLK3n		DIFFIO_RX_B30n	DIFFOUT_B30n	AH9	DQ10B	DQ5B	DQ2B	DQ1B
3B	VREFB3BN0	IO	CLK3p		DIFFIO_RX_B30p	DIFFOUT_B30p	AG9	DQ10B	DQ5B	DQ2B	DQ1B
3B	VREFB3BN0	IO			DIFFIO_TX_B31n	DIFFOUT_B31n	Y16	DQ11B	DQ6B	DQ3B	DQ1B
3B	VREFB3BN0	IO			DIFFIO_TX_B31p	DIFFOUT_B31p	AA16	DQ11B	DQ6B	DQ3B	DQ1B
3B	VREFB3BN0	IO			DIFFIO_RX_B32n	DIFFOUT_B32n	AC15	DQSn11B	DQ6B	DQ3B	DQSn1B/DQ1B
3B	VREFB3BN0	IO			DIFFIO_RX_B32p	DIFFOUT_B32p	AB15	DQS11B	DQ6B/CQn6B	DQ3B	DQS1B/CQ1B
3B	VREFB3BN0	IO			DIFFIO_TX_B33n	DIFFOUT_B33n	AD16	DQ11B	DQ6B	DQ3B	DQ1B
3B	VREFB3BN0	IO			DIFFIO_TX_B33p	DIFFOUT_B33p	AD15	DQ11B	DQ6B	DQ3B	DQ1B
3B	VREFB3BN0	IO			DIFFIO_RX_B34n	DIFFOUT_B34n	AD14	DQSn12B	DQSn6B/DQ6B	DQ3B	DQ1B
3B	VREFB3BN0	IO			DIFFIO_RX_B34p	DIFFOUT_B34p	AD13	DQS12B	DQS6B/CQ6B	DQ3B/CQn3B	DQ1B
3B	VREFB3BN0	IO			DIFFIO_TX_B35n	DIFFOUT_B35n	Y13	DQ12B	DQ6B	DQ3B	DQ1B
3B	VREFB3BN0	IO			DIFFIO_TX_B35p	DIFFOUT_B35p	AA13	DQ12B	DQ6B	DQ3B	DQ1B
3B	VREFB3BN0	IO			DIFFIO_RX_B36n	DIFFOUT_B36n	AB12	DQ12B	DQ6B	DQ3B	DQ1B
3B	VREFB3BN0	IO			DIFFIO_RX_B36p	DIFFOUT_B36p	AB13	DQ12B	DQ6B	DQ3B	DQ1B
3B	VREFB3BN0	IO			DIFFIO_TX_B37n	DIFFOUT_B37n	Y12	DQ13B	DQ7B	DQ3B	DQ1B
3B	VREFB3BN0	IO			DIFFIO_TX_B37p	DIFFOUT_B37p	AA12	DQ13B	DQ7B	DQ3B	DQ1B
3B	VREFB3BN0	IO			DIFFIO_RX_B38n	DIFFOUT_B38n	AD12	DQSn13B	DQ7B	DQSn3B/DQ3B	DQ1B
3B	VREFB3BN0	IO			DIFFIO_RX_B38p	DIFFOUT_B38p	AC12	DQS13B	DQ7B/CQn7B	DQS3B/CQ3B	DQ1B
3B	VREFB3BN0	IO			DIFFIO_TX_B39n	DIFFOUT_B39n	AD11	DQ13B	DQ7B	DQ3B	DQ1B
3B	VREFB3BN0	IO			DIFFIO_TX_B39p	DIFFOUT_B39p	AC11	DQ13B	DQ7B	DQ3B	DQ1B
3B	VREFB3BN0	IO			DIFFIO_RX_B40n	DIFFOUT_B40n	AB10	DQSn14B	DQSn7B/DQ7B	DQ3B	DQ1B
3B	VREFB3BN0	IO			DIFFIO_RX_B40p	DIFFOUT_B40p	AB11	DQS14B	DQS7B/CQ7B	DQ3B	DQ1B
3B	VREFB3BN0	IO			DIFFIO_TX_B41n	DIFFOUT_B41n	AD9	DQ14B	DQ7B	DQ3B	DQ1B
3B	VREFB3BN0	IO			DIFFIO_TX_B41p	DIFFOUT_B41p	AD10	DQ14B	DQ7B	DQ3B	DQ1B
3B	VREFB3BN0	IO			DIFFIO_RX_B42n	DIFFOUT_B42n	Y11	DQ14B	DQ7B	DQ3B	DQ1B
3B	VREFB3BN0	IO			DIFFIO_RX_B42p	DIFFOUT_B42p	AA10	DQ14B	DQ7B	DQ3B	DQ1B
3D	VREFB3DN0	IO			DIFFIO_TX_B67n	DIFFOUT_B67n	AH6	DQ23B	DQ8B	DQ4B	
3D	VREFB3DN0	IO			DIFFIO_TX_B67p	DIFFOUT_B67p	AG6	DQ23B	DQ8B	DQ4B	
3D	VREFB3DN0	IO			DIFFIO_RX_B68n	DIFFOUT_B68n	AF7	DQSn23B	DQ8B	DQ4B	
3D	VREFB3DN0	IO			DIFFIO_RX_B68p	DIFFOUT_B68p	AF8	DQS23B	DQ8B/CQn8B	DQ4B	
3D	VREFB3DN0	IO			DIFFIO_TX_B69n	DIFFOUT_B69n	AH7	DQ23B	DQ8B	DQ4B	
3D	VREFB3DN0	IO			DIFFIO_TX_B69p	DIFFOUT_B69p	AG7	DQ23B	DQ8B	DQ4B	
3D	VREFB3DN0	IO			DIFFIO_RX_B70n	DIFFOUT_B70n	AC8	DQSn24B	DQSn8B/DQ8B	DQ4B	
3D	VREFB3DN0	IO			DIFFIO_RX_B70p	DIFFOUT_B70p	AB8	DQS24B	DQS8B/CQ8B	DQ4B/CQn4B	

Bank Number	VREF	PinName/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Emulated LVDS Output Channel	F780	DQS for X4	DQS for X8/X9	DQS for X16/ X18	DQS for X32/ X36
3D	VREFB3DN0	IO			DIFFIO_TX_B71n	DIFFOUT_B71n	AE8	DQ24B	DQ8B	DQ4B	
3D	VREFB3DN0	IO			DIFFIO_TX_B71p	DIFFOUT_B71p	AD8	DQ24B	DQ8B	DQ4B	
3D	VREFB3DN0	IO			DIFFIO_RX_B72n	DIFFOUT_B72n	AE7	DQ24B	DQ8B	DQ4B	
3D	VREFB3DN0	IO			DIFFIO_RX_B72p	DIFFOUT_B72p	AD7	DQ24B	DQ8B	DQ4B	
3D	VREFB3DN0	IO			DIFFIO_TX_B73n	DIFFOUT_B73n	W8	DQ25B	DQ9B	DQ4B	
3D	VREFB3DN0	IO			DIFFIO_TX_B73p	DIFFOUT_B73p	Y8	DQ25B	DQ9B	DQ4B	
3D	VREFB3DN0	IO			DIFFIO_RX_B74n	DIFFOUT_B74n	V8	DQSn25B	DQ9B	DQSn4B/DQ4B	
3D	VREFB3DN0	IO			DIFFIO_RX_B74p	DIFFOUT_B74p	U8	DQS25B	DQ9B/CQn9B	DQS4B/CQ4B	
3D	VREFB3DN0	IO			DIFFIO_TX_B75n	DIFFOUT_B75n	AB9	DQ25B	DQ9B	DQ4B	
3D	VREFB3DN0	IO			DIFFIO_TX_B75p	DIFFOUT_B75p	AA9	DQ25B	DQ9B	DQ4B	
3D	VREFB3DN0	IO	CLK4n		DIFFIO_RX_B76n	DIFFOUT_B76n	V9	DQSn26B	DQSn9B/DQ9B	DQ4B	
3D	VREFB3DN0	IO	CLK4p		DIFFIO_RX_B76p	DIFFOUT_B76p	U9	DQS26B	DQS9B/CQ9B	DQ4B	
3D	VREFB3DN0	IO			DIFFIO_TX_B77n	DIFFOUT_B77n	Y10	DQ26B	DQ9B	DQ4B	
3D	VREFB3DN0	IO			DIFFIO_TX_B77p	DIFFOUT_B77p	Y9	DQ26B	DQ9B	DQ4B	
3D	VREFB3DN0	IO	CLK5n		DIFFIO_RX_B78n	DIFFOUT_B78n	V10	DQ26B	DQ9B	DQ4B	
3D	VREFB3DN0	IO	CLK5p		DIFFIO_RX_B78p	DIFFOUT_B78p	W10	DQ26B	DQ9B	DQ4B	
4D	VREFB4DN0	IO	FPLL_BC_CLKOUT1,FPLL_BC_CLKOUTn		DIFFIO_TX_B91n	DIFFOUT_B91n	AB6	DQ31B	DQ10B	DQ5B	
4D	VREFB4DN0	IO	FPLL_BC_CLKOUT0,FPLL_BC_CLKOUTp,FPLL_BC_FB0		DIFFIO_TX_B91p	DIFFOUT_B91p	AA6	DQ31B	DQ10B	DQ5B	
4D	VREFB4DN0	IO	FPLL_BC_CLKOUT3,FPLL_BC_FBn		DIFFIO_RX_B92n	DIFFOUT_B92n	AC6	DQSn31B	DQ10B	DQ5B	
4D	VREFB4DN0	IO	FPLL_BC_CLKOUT2,FPLL_BC_FBp,FPLL_BC_FB1		DIFFIO_RX_B92p	DIFFOUT_B92p	AB5	DQS31B	DQ10B/CQn10B	DQ5B	
4D	VREFB4DN0	IO			DIFFIO_TX_B93n	DIFFOUT_B93n	AF6	DQ31B	DQ10B	DQ5B	
4D	VREFB4DN0	IO			DIFFIO_TX_B93p	DIFFOUT_B93p	AF5	DQ31B	DQ10B	DQ5B	
4D	VREFB4DN0	IO	CLK6n		DIFFIO_RX_B94n	DIFFOUT_B94n	AH4	DQSn32B	DQSn10B/DQ10B	DQ5B	
4D	VREFB4DN0	IO	CLK6p		DIFFIO_RX_B94p	DIFFOUT_B94p	AG4	DQS32B	DQS10B/CQ10B	DQ5B/CQn5B	
4D	VREFB4DN0	IO			DIFFIO_TX_B95n	DIFFOUT_B95n	AD5	DQ32B	DQ10B	DQ5B	
4D	VREFB4DN0	IO			DIFFIO_TX_B95p	DIFFOUT_B95p	AD6	DQ32B	DQ10B	DQ5B	
4D	VREFB4DN0	IO	CLK7n		DIFFIO_RX_B96n	DIFFOUT_B96n	AF4	DQ32B	DQ10B	DQ5B	
4D	VREFB4DN0	IO	CLK7p		DIFFIO_RX_B96p	DIFFOUT_B96p	AE5	DQ32B	DQ10B	DQ5B	
4D	VREFB4DN0	IO			DIFFIO_TX_B97n	DIFFOUT_B97n	R6	DQ33B	DQ11B	DQ5B	
4D	VREFB4DN0	IO			DIFFIO_TX_B97p	DIFFOUT_B97p	R7	DQ33B	DQ11B	DQ5B	
4D	VREFB4DN0	IO			DIFFIO_RX_B98n	DIFFOUT_B98n	U6	DQSn33B	DQ11B	DQSn5B/DQ5B	
4D	VREFB4DN0	IO			DIFFIO_RX_B98p	DIFFOUT_B98p	T7	DQS33B	DQ11B/CQn11B	DQS5B/CQ5B	
4D	VREFB4DN0	IO			DIFFIO_TX_B99n	DIFFOUT_B99n	P6	DQ33B	DQ11B	DQ5B	
4D	VREFB4DN0	IO			DIFFIO_TX_B99p	DIFFOUT_B99p	N6	DQ33B	DQ11B	DQ5B	
4D	VREFB4DN0	IO			DIFFIO_RX_B100n	DIFFOUT_B100n	V6	DQSn34B	DQSn11B/DQ11B	DQ5B	
4D	VREFB4DN0	IO			DIFFIO_RX_B100p	DIFFOUT_B100p	W7	DQS34B	DQS11B/CQ11B	DQ5B	
4D	VREFB4DN0	IO			DIFFIO_TX_B101n	DIFFOUT_B101n	AA7	DQ34B	DQ11B	DQ5B	
4D	VREFB4DN0	IO			DIFFIO_TX_B101p	DIFFOUT_B101p	Y7	DQ34B	DQ11B	DQ5B	
4D	VREFB4DN0	IO			DIFFIO_RX_B102n	DIFFOUT_B102n	Y5	DQ34B	DQ11B	DQ5B	
4D	VREFB4DN0	IO			DIFFIO_RX_B102p	DIFFOUT_B102p	Y6	DQ34B	DQ11B	DQ5B	
4A	VREFB4AN0	IO			DIFFIO_TX_B151n	DIFFOUT_B151n	W5	DQ51B	DQ12B	DQ6B	
4A	VREFB4AN0	IO			DIFFIO_TX_B151p	DIFFOUT_B151p	W4	DQ51B	DQ12B	DQ6B	
4A	VREFB4AN0	IO	CLK11n		DIFFIO_RX_B152n	DIFFOUT_B152n	V5	DQSn51B	DQ12B	DQ6B	
4A	VREFB4AN0	IO	CLK11p		DIFFIO_RX_B152p	DIFFOUT_B152p	U5	DQS51B	DQ12B/CQn12B	DQ6B	
4A	VREFB4AN0	IO			DIFFIO_TX_B153n	DIFFOUT_B153n	R4	DQ51B	DQ12B	DQ6B	
4A	VREFB4AN0	IO			DIFFIO_TX_B153p	DIFFOUT_B153p	T4	DQ51B	DQ12B	DQ6B	
4A	VREFB4AN0	IO	CLK10n		DIFFIO_RX_B154n	DIFFOUT_B154n	AA4	DQSn52B	DQSn12B/DQ12B	DQ6B	
4A	VREFB4AN0	IO	CLK10p		DIFFIO_RX_B154p	DIFFOUT_B154p	AA3	DQS52B	DQS12B/CQ12B	DQ6B/CQn6B	
4A	VREFB4AN0	IO	FPLL_BR_CLKOUT1,FPLL_BR_CLKOUTn		DIFFIO_TX_B155n	DIFFOUT_B155n	V3	DQ52B	DQ12B	DQ6B	
4A	VREFB4AN0	IO	FPLL_BR_CLKOUT0,FPLL_BR_CLKOUTp,FPLL_BR_FB0		DIFFIO_TX_B155p	DIFFOUT_B155p	V4	DQ52B	DQ12B	DQ6B	
4A	VREFB4AN0	IO	FPLL_BR_CLKOUT3,FPLL_BR_FBn		DIFFIO_RX_B156n	DIFFOUT_B156n	AB3	DQ52B	DQ12B	DQ6B	
4A	VREFB4AN0	IO	FPLL_BR_CLKOUT2,FPLL_BR_FBp,FPLL_BR_FB1		DIFFIO_RX_B156p	DIFFOUT_B156p	AB4	DQ52B	DQ12B	DQ6B	
4A	VREFB4AN0	IO			DIFFIO_TX_B157n	DIFFOUT_B157n	AH2	DQ53B	DQ13B	DQ6B	
4A	VREFB4AN0	IO			DIFFIO_TX_B157p	DIFFOUT_B157p	AH3	DQ53B	DQ13B	DQ6B	
4A	VREFB4AN0	IO	CLK9n		DIFFIO_RX_B158n	DIFFOUT_B158n	AG1	DQSn53B	DQ13B	DQSn6B/DQ6B	
4A	VREFB4AN0	IO	CLK9p		DIFFIO_RX_B158p	DIFFOUT_B158p	AF2	DQS53B	DQ13B/CQn13B	DQS6B/CQ6B	
4A	VREFB4AN0	IO			DIFFIO_TX_B159n	DIFFOUT_B159n	AG3	DQ53B	DQ13B	DQ6B	
4A	VREFB4AN0	IO			DIFFIO_TX_B159p	DIFFOUT_B159p	AF3	DQ53B	DQ13B	DQ6B	
4A	VREFB4AN0	IO	CLK8n		DIFFIO_RX_B160n	DIFFOUT_B160n	AE2	DQSn54B	DQSn13B/DQ13B	DQ6B	
4A	VREFB4AN0	IO	CLK8p		DIFFIO_RX_B160p	DIFFOUT_B160p	AE1	DQS54B	DQS13B/CQ13B	DQ6B	
4A	VREFB4AN0	IO			DIFFIO_TX_B161n	DIFFOUT_B161n	AD2	DQ54B	DQ13B	DQ6B	
4A	VREFB4AN0	IO			DIFFIO_TX_B161p	DIFFOUT_B161p	AD3	DQ54B	DQ13B	DQ6B	
4A	VREFB4AN0	IO			DIFFIO_RX_B162n	DIFFOUT_B162n	AD4	DQ54B	DQ13B	DQ6B	
4A	VREFB4AN0	IO	RZQ_1		DIFFIO_RX_B162p	DIFFOUT_B162p	AC3	DQ54B	DQ13B	DQ6B	
4A		GND					V1				
4A		nCE		nCE			R3				
4A		nSTATUS		nSTATUS			V2				
4A		CONF_DONE		CONF_DONE			AB1				
4A		nIO_PULLUP		nIO_PULLUP			U2				
4A		MSEL0		MSEL0			W1				
4A		MSEL1		MSEL1			P3				
4A		MSEL2		MSEL2			W2				
4A		MSEL3		MSEL3			AA1				
4A		MSEL4		MSEL4			U3				
7A		GND					G1				
7A	VREFB7AN0	IO	RZQ_4		DIFFIO_RX_T1p	DIFFOUT_T1p	G4	DQ1T			
7A	VREFB7AN0	IO			DIFFIO_RX_T1n	DIFFOUT_T1n	G3	DQ1T			
7A	VREFB7AN0	IO			DIFFIO_TX_T2p	DIFFOUT_T2p	H6	DQ1T			
7A	VREFB7AN0	IO			DIFFIO_TX_T2n	DIFFOUT_T2n	J6	DQ1T			
7A	VREFB7AN0	IO	CLK12p		DIFFIO_RX_T3p	DIFFOUT_T3p	H3	DQS1T			

Bank Number	VREF	PinName/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Emulated LVDS Output Channel	F780	DQS for X4	DQS for X8/X9	DQS for X16/ X18	DQS for X32/ X36
7A	VREFB7AN0	IO	CLK12n		DIFFIO_RX_T3n	DIFFOUT_T3n	H4	DQSn1T			
7A	VREFB7AN0	IO	CLK13p		DIFFIO_RX_T5p	DIFFOUT_T5p	E2				
7A	VREFB7AN0	IO	CLK13n		DIFFIO_RX_T5n	DIFFOUT_T5n	F3				
7A	VREFB7AN0	IO	FPLL_TR_CLKOUT2,FPLL_TR_FBp,FPLL_TR_FB1		DIFFIO_RX_T7p	DIFFOUT_T7p	J4	DQ3T			
7A	VREFB7AN0	IO	FPLL_TR_CLKOUT3,FPLL_TR_FBn		DIFFIO_RX_T7n	DIFFOUT_T7n	J5	DQ3T			
7A	VREFB7AN0	IO	FPLL_TR_CLKOUT0,FPLL_TR_CLKOUTp,FPLL_TR_FB0		DIFFIO_TX_T8p	DIFFOUT_T8p	L1	DQ3T			
7A	VREFB7AN0	IO	FPLL_TR_CLKOUT1,FPLL_TR_CLKOUTn		DIFFIO_TX_T8n	DIFFOUT_T8n	L2	DQ3T			
7A	VREFB7AN0	IO	CLK14p		DIFFIO_RX_T9p	DIFFOUT_T9p	L3	DQS3T			
7A	VREFB7AN0	IO	CLK14n		DIFFIO_RX_T9n	DIFFOUT_T9n	M3	DQSn3T			
7A	VREFB7AN0	IO	CLK15p		DIFFIO_RX_T11p	DIFFOUT_T11p	L6				
7A	VREFB7AN0	IO	CLK15n		DIFFIO_RX_T11n	DIFFOUT_T11n	M6				
7C	VREFB7CN0	IO			DIFFIO_RX_T37p	DIFFOUT_T37p	F8	DQ13T	DQ3T	DQ2T	DQ1T
7C	VREFB7CN0	IO			DIFFIO_RX_T37n	DIFFOUT_T37n	E8	DQ13T	DQ3T	DQ2T	DQ1T
7C	VREFB7CN0	IO			DIFFIO_TX_T38p	DIFFOUT_T38p	H9	DQ13T	DQ3T	DQ2T	DQ1T
7C	VREFB7CN0	IO			DIFFIO_TX_T38n	DIFFOUT_T38n	G9	DQ13T	DQ3T	DQ2T	DQ1T
7C	VREFB7CN0	IO			DIFFIO_RX_T39p	DIFFOUT_T39p	G7	DQS13T	DQS3T/CQ3T	DQ2T	DQ1T
7C	VREFB7CN0	IO			DIFFIO_RX_T39n	DIFFOUT_T39n	G8	DQSn13T	DQSn3T/DQ3T	DQ2T	DQ1T
7C	VREFB7CN0	IO			DIFFIO_TX_T40p	DIFFOUT_T40p	H7	DQ14T	DQ3T	DQ2T	DQ1T
7C	VREFB7CN0	IO			DIFFIO_TX_T40n	DIFFOUT_T40n	J7	DQ14T	DQ3T	DQ2T	DQ1T
7C	VREFB7CN0	IO			DIFFIO_RX_T41p	DIFFOUT_T41p	K7	DQS14T	DQ3T/CQn3T	DQS2T/CQ2T	DQ1T
7C	VREFB7CN0	IO			DIFFIO_RX_T41n	DIFFOUT_T41n	K8	DQSn14T	DQ3T	DQSn2T/DQ2T	DQ1T
7C	VREFB7CN0	IO			DIFFIO_TX_T42p	DIFFOUT_T42p	J9	DQ14T	DQ3T	DQ2T	DQ1T
7C	VREFB7CN0	IO			DIFFIO_TX_T42n	DIFFOUT_T42n	J8	DQ14T	DQ3T	DQ2T	DQ1T
7C	VREFB7CN0	IO			DIFFIO_RX_T43p	DIFFOUT_T43p	D2	DQ15T	DQ4T	DQ2T	DQ1T
7C	VREFB7CN0	IO			DIFFIO_RX_T43n	DIFFOUT_T43n	C2	DQ15T	DQ4T	DQ2T	DQ1T
7C	VREFB7CN0	IO			DIFFIO_TX_T44p	DIFFOUT_T44p	C1	DQ15T	DQ4T	DQ2T	DQ1T
7C	VREFB7CN0	IO			DIFFIO_TX_T44n	DIFFOUT_T44n	B1	DQ15T	DQ4T	DQ2T	DQ1T
7C	VREFB7CN0	IO			DIFFIO_RX_T45p	DIFFOUT_T45p	D4	DQS15T	DQS4T/CQ4T	DQ2T/CQn2T	DQ1T
7C	VREFB7CN0	IO			DIFFIO_RX_T45n	DIFFOUT_T45n	C3	DQSn15T	DQSn4T/DQ4T	DQ2T	DQ1T
7C	VREFB7CN0	IO			DIFFIO_TX_T46p	DIFFOUT_T46p	C4	DQ16T	DQ4T	DQ2T	DQ1T
7C	VREFB7CN0	IO			DIFFIO_TX_T46n	DIFFOUT_T46n	C5	DQ16T	DQ4T	DQ2T	DQ1T
7C	VREFB7CN0	IO			DIFFIO_RX_T47p	DIFFOUT_T47p	B3	DQS16T	DQ4T/CQn4T	DQ2T	DQS1T/CQ1T
7C	VREFB7CN0	IO			DIFFIO_RX_T47n	DIFFOUT_T47n	A3	DQSn16T	DQ4T	DQ2T	DQSn1T/DQ1T
7C	VREFB7CN0	IO			DIFFIO_TX_T48p	DIFFOUT_T48p	B4	DQ16T	DQ4T	DQ2T	DQ1T
7C	VREFB7CN0	IO			DIFFIO_TX_T48n	DIFFOUT_T48n	A4	DQ16T	DQ4T	DQ2T	DQ1T
7C	VREFB7CN0	IO			DIFFIO_RX_T49p	DIFFOUT_T49p	F6	DQ17T	DQ5T	DQ3T	DQ1T
7C	VREFB7CN0	IO			DIFFIO_RX_T49n	DIFFOUT_T49n	E5	DQ17T	DQ5T	DQ3T	DQ1T
7C	VREFB7CN0	IO			DIFFIO_TX_T50p	DIFFOUT_T50p	C6	DQ17T	DQ5T	DQ3T	DQ1T
7C	VREFB7CN0	IO			DIFFIO_TX_T50n	DIFFOUT_T50n	C7	DQ17T	DQ5T	DQ3T	DQ1T
7C	VREFB7CN0	IO			DIFFIO_RX_T51p	DIFFOUT_T51p	B6	DQS17T	DQS5T/CQ5T	DQ3T	DQ1T/CQn1T
7C	VREFB7CN0	IO			DIFFIO_RX_T51n	DIFFOUT_T51n	A6	DQSn17T	DQSn5T/DQ5T	DQ3T	DQ1T
7C	VREFB7CN0	IO			DIFFIO_TX_T52p	DIFFOUT_T52p	B7	DQ18T	DQ5T	DQ3T	DQ1T
7C	VREFB7CN0	IO			DIFFIO_TX_T52n	DIFFOUT_T52n	A7	DQ18T	DQ5T	DQ3T	DQ1T
7C	VREFB7CN0	IO			DIFFIO_RX_T53p	DIFFOUT_T53p	E7	DQS18T	DQ5T/CQn5T	DQS3T/CQ3T	DQ1T
7C	VREFB7CN0	IO			DIFFIO_RX_T53n	DIFFOUT_T53n	E6	DQSn18T	DQ5T	DQSn3T/DQ3T	DQ1T
7C	VREFB7CN0	IO			DIFFIO_TX_T54p	DIFFOUT_T54p	D7	DQ18T	DQ5T	DQ3T	DQ1T
7C	VREFB7CN0	IO			DIFFIO_TX_T54n	DIFFOUT_T54n	D8	DQ18T	DQ5T	DQ3T	DQ1T
7C	VREFB7CN0	IO			DIFFIO_RX_T55p	DIFFOUT_T55p	M8	DQ19T	DQ6T	DQ3T	DQ1T
7C	VREFB7CN0	IO			DIFFIO_RX_T55n	DIFFOUT_T55n	L8	DQ19T	DQ6T	DQ3T	DQ1T
7C	VREFB7CN0	IO			DIFFIO_TX_T56p	DIFFOUT_T56p	M9	DQ19T	DQ6T	DQ3T	DQ1T
7C	VREFB7CN0	IO			DIFFIO_TX_T56n	DIFFOUT_T56n	L9	DQ19T	DQ6T	DQ3T	DQ1T
7C	VREFB7CN0	IO			DIFFIO_RX_T57p	DIFFOUT_T57p	N7	DQS19T	DQS6T/CQ6T	DQ3T/CQn3T	DQ1T
7C	VREFB7CN0	IO			DIFFIO_RX_T57n	DIFFOUT_T57n	N8	DQSn19T	DQSn6T/DQ6T	DQ3T	DQ1T
7C	VREFB7CN0	IO			DIFFIO_TX_T58p	DIFFOUT_T58p	R8	DQ20T	DQ6T	DQ3T	DQ1T
7C	VREFB7CN0	IO			DIFFIO_TX_T58n	DIFFOUT_T58n	P7	DQ20T	DQ6T	DQ3T	DQ1T
7C	VREFB7CN0	IO			DIFFIO_RX_T59p	DIFFOUT_T59p	P9	DQS20T	DQ6T/CQn6T	DQ3T	DQ1T
7C	VREFB7CN0	IO			DIFFIO_RX_T59n	DIFFOUT_T59n	N9	DQSn20T	DQ6T	DQ3T	DQ1T
7C	VREFB7CN0	IO			DIFFIO_TX_T60p	DIFFOUT_T60p	T8	DQ20T	DQ6T	DQ3T	DQ1T
7C	VREFB7CN0	IO			DIFFIO_TX_T60n	DIFFOUT_T60n	R9	DQ20T	DQ6T	DQ3T	DQ1T
7D	VREFB7DN0	IO			DIFFIO_RX_T61p	DIFFOUT_T61p	H10	DQ21T	DQ7T	DQ4T	
7D	VREFB7DN0	IO			DIFFIO_RX_T61n	DIFFOUT_T61n	J10	DQ21T	DQ7T	DQ4T	
7D	VREFB7DN0	IO			DIFFIO_TX_T62p	DIFFOUT_T62p	K10	DQ21T	DQ7T	DQ4T	
7D	VREFB7DN0	IO			DIFFIO_TX_T62n	DIFFOUT_T62n	L10	DQ21T	DQ7T	DQ4T	
7D	VREFB7DN0	IO			DIFFIO_RX_T63p	DIFFOUT_T63p	L11	DQS21T	DQS7T/CQ7T	DQ4T	
7D	VREFB7DN0	IO			DIFFIO_RX_T63n	DIFFOUT_T63n	K11	DQSn21T	DQSn7T/DQ7T	DQ4T	
7D	VREFB7DN0	IO			DIFFIO_TX_T64p	DIFFOUT_T64p	G11	DQ22T	DQ7T	DQ4T	
7D	VREFB7DN0	IO			DIFFIO_TX_T64n	DIFFOUT_T64n	G10	DQ22T	DQ7T	DQ4T	
7D	VREFB7DN0	IO			DIFFIO_RX_T65p	DIFFOUT_T65p	H12	DQS22T	DQ7T/CQn7T	DQS4T/CQ4T	
7D	VREFB7DN0	IO			DIFFIO_RX_T65n	DIFFOUT_T65n	G12	DQSn22T	DQ7T	DQSn4T/DQ4T	
7D	VREFB7DN0	IO			DIFFIO_TX_T66p	DIFFOUT_T66p	J12	DQ22T	DQ7T	DQ4T	
7D	VREFB7DN0	IO			DIFFIO_TX_T66n	DIFFOUT_T66n	J11	DQ22T	DQ7T	DQ4T	
7D	VREFB7DN0	IO	CLK19p		DIFFIO_RX_T67p	DIFFOUT_T67p	E10	DQ23T	DQ8T	DQ4T	
7D	VREFB7DN0	IO	CLK19n		DIFFIO_RX_T67n	DIFFOUT_T67n	E9	DQ23T	DQ8T	DQ4T	
7D	VREFB7DN0	IO			DIFFIO_TX_T68p	DIFFOUT_T68p	B9	DQ23T	DQ8T	DQ4T	
7D	VREFB7DN0	IO			DIFFIO_TX_T68n	DIFFOUT_T68n	A9	DQ23T	DQ8T	DQ4T	
7D	VREFB7DN0	IO	CLK18p		DIFFIO_RX_T69p	DIFFOUT_T69p	D10	DQS23T	DQS8T/CQ8T	DQ4T/CQn4T	
7D	VREFB7DN0	IO	CLK18n		DIFFIO_RX_T69n	DIFFOUT_T69n	C10	DQSn23T	DQSn8T/DQ8T	DQ4T	
7D	VREFB7DN0	IO			DIFFIO_TX_T70p	DIFFOUT_T70p	B10	DQ24T	DQ8T	DQ4T	
7D	VREFB7DN0	IO			DIFFIO_TX_T70n	DIFFOUT_T70n	A10	DQ24T	DQ8T	DQ4T	
7D	VREFB7DN0	IO	FPLL_TC_CLKOUT2,FPLL_TC_FBp,FPLL_TC_FB1		DIFFIO_RX_T71p	DIFFOUT_T71p	E11	DQS24T	DQ8T/CQn8T	DQ4T	

Bank Number	VREF	PinName/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Emulated LVDS Output Channel	F780	DQS for X4	DQS for X8/X9	DQS for X16/ X18	DQS for X32/ X36
7D	VREFB7DN0	IO	FPLL_TC_CLKOUT3,FPLL_TC_FBn		DIFFIO_RX_T71n	DIFFOUT_T71n	F11	DQSn24T	DQ8T	DQ4T	
7D	VREFB7DN0	IO	FPLL_TC_CLKOUT0,FPLL_TC_CLKOUTp,FPLL_TC_FB0		DIFFIO_TX_T72p	DIFFOUT_T72p	D11	DQ24T	DQ8T	DQ4T	
7D	VREFB7DN0	IO	FPLL_TC_CLKOUT1,FPLL_TC_CLKOUTn		DIFFIO_TX_T72n	DIFFOUT_T72n	C11	DQ24T	DQ8T	DQ4T	
7D	VREFB7DN0	IO			DIFFIO_RX_T73p	DIFFOUT_T73p	U10	DQ25T	DQ9T		
7D	VREFB7DN0	IO			DIFFIO_RX_T73n	DIFFOUT_T73n	T10	DQ25T	DQ9T		
7D	VREFB7DN0	IO			DIFFIO_TX_T74p	DIFFOUT_T74p	N10	DQ25T	DQ9T		
7D	VREFB7DN0	IO			DIFFIO_TX_T74n	DIFFOUT_T74n	M11	DQ25T	DQ9T		
7D	VREFB7DN0	IO			DIFFIO_RX_T75p	DIFFOUT_T75p	P10	DQS25T	DQS9T/CQ9T		
7D	VREFB7DN0	IO			DIFFIO_RX_T75n	DIFFOUT_T75n	R10	DQSn25T	DQSn9T/DQ9T		
7D	VREFB7DN0	IO			DIFFIO_TX_T76p	DIFFOUT_T76p	L12	DQ26T	DQ9T		
7D	VREFB7DN0	IO			DIFFIO_TX_T76n	DIFFOUT_T76n	K13	DQ26T	DQ9T		
7D	VREFB7DN0	IO			DIFFIO_RX_T77p	DIFFOUT_T77p	N13	DQS26T	DQ9T/CQn9T		
7D	VREFB7DN0	IO			DIFFIO_RX_T77n	DIFFOUT_T77n	N12	DQSn26T	DQ9T		
7D	VREFB7DN0	IO			DIFFIO_TX_T78p	DIFFOUT_T78p	N11	DQ26T	DQ9T		
7D	VREFB7DN0	IO			DIFFIO_TX_T78n	DIFFOUT_T78n	M12	DQ26T	DQ9T		
8D	VREFB8DN0	IO	CLK17p		DIFFIO_RX_T85p	DIFFOUT_T85p	C12	DQ29T	DQ10T	DQ5T	
8D	VREFB8DN0	IO	CLK17n		DIFFIO_RX_T85n	DIFFOUT_T85n	C13	DQ29T	DQ10T	DQ5T	
8D	VREFB8DN0	IO			DIFFIO_TX_T86p	DIFFOUT_T86p	D13	DQ29T	DQ10T	DQ5T	
8D	VREFB8DN0	IO			DIFFIO_TX_T86n	DIFFOUT_T86n	E12	DQ29T	DQ10T	DQ5T	
8D	VREFB8DN0	IO	CLK16p		DIFFIO_RX_T87p	DIFFOUT_T87p	E14	DQS29T	DQS10T/CQ10T	DQ5T	
8D	VREFB8DN0	IO	CLK16n		DIFFIO_RX_T87n	DIFFOUT_T87n	E13	DQSn29T	DQSn10T/DQ10T	DQ5T	
8D	VREFB8DN0	IO			DIFFIO_TX_T88p	DIFFOUT_T88p	B13	DQ30T	DQ10T	DQ5T	
8D	VREFB8DN0	IO			DIFFIO_TX_T88n	DIFFOUT_T88n	A13	DQ30T	DQ10T	DQ5T	
8D	VREFB8DN0	IO			DIFFIO_RX_T89p	DIFFOUT_T89p	B12	DQS30T	DQ10T/CQn10T	DQS5T/CQ5T	
8D	VREFB8DN0	IO			DIFFIO_RX_T89n	DIFFOUT_T89n	A12	DQSn30T	DQ10T	DQSn5T/DQ5T	
8D	VREFB8DN0	IO			DIFFIO_TX_T90p	DIFFOUT_T90p	D14	DQ30T	DQ10T	DQ5T	
8D	VREFB8DN0	IO			DIFFIO_TX_T90n	DIFFOUT_T90n	C14	DQ30T	DQ10T	DQ5T	
8D	VREFB8DN0	IO			DIFFIO_RX_T91p	DIFFOUT_T91p	G14	DQ31T	DQ11T	DQ5T	
8D	VREFB8DN0	IO			DIFFIO_RX_T91n	DIFFOUT_T91n	G15	DQ31T	DQ11T	DQ5T	
8D	VREFB8DN0	IO			DIFFIO_TX_T92p	DIFFOUT_T92p	J14	DQ31T	DQ11T	DQ5T	
8D	VREFB8DN0	IO			DIFFIO_TX_T92n	DIFFOUT_T92n	K14	DQ31T	DQ11T	DQ5T	
8D	VREFB8DN0	IO			DIFFIO_RX_T93p	DIFFOUT_T93p	H15	DQS31T	DQS11T/CQ11T	DQ5T/CQn5T	
8D	VREFB8DN0	IO			DIFFIO_RX_T93n	DIFFOUT_T93n	J15	DQSn31T	DQSn11T/DQ11T	DQ5T	
8D	VREFB8DN0	IO			DIFFIO_TX_T94p	DIFFOUT_T94p	N14	DQ32T	DQ11T	DQ5T	
8D	VREFB8DN0	IO			DIFFIO_TX_T94n	DIFFOUT_T94n	N15	DQ32T	DQ11T	DQ5T	
8D	VREFB8DN0	IO			DIFFIO_RX_T95p	DIFFOUT_T95p	L14	DQS32T	DQ11T/CQn11T	DQ5T	
8D	VREFB8DN0	IO			DIFFIO_RX_T95n	DIFFOUT_T95n	M14	DQSn32T	DQ11T	DQ5T	
8D	VREFB8DN0	IO			DIFFIO_TX_T96p	DIFFOUT_T96p	M15	DQ32T	DQ11T	DQ5T	
8D	VREFB8DN0	IO			DIFFIO_TX_T96n	DIFFOUT_T96n	L15	DQ32T	DQ11T	DQ5T	
8C	VREFB8CN0	IO			DIFFIO_RX_T97p	DIFFOUT_T97p	L17	DQ33T	DQ12T	DQ6T	DQ2T
8C	VREFB8CN0	IO			DIFFIO_RX_T97n	DIFFOUT_T97n	K17	DQ33T	DQ12T	DQ6T	DQ2T
8C	VREFB8CN0	IO			DIFFIO_TX_T98p	DIFFOUT_T98p	L16	DQ33T	DQ12T	DQ6T	DQ2T
8C	VREFB8CN0	IO			DIFFIO_TX_T98n	DIFFOUT_T98n	K16	DQ33T	DQ12T	DQ6T	DQ2T
8C	VREFB8CN0	IO			DIFFIO_RX_T99p	DIFFOUT_T99p	J16	DQS33T	DQS12T/CQ12T	DQ6T	DQ2T
8C	VREFB8CN0	IO			DIFFIO_RX_T99n	DIFFOUT_T99n	J17	DQSn33T	DQSn12T/DQ12T	DQ6T	DQ2T
8C	VREFB8CN0	IO			DIFFIO_TX_T100p	DIFFOUT_T100p	G16	DQ34T	DQ12T	DQ6T	DQ2T
8C	VREFB8CN0	IO			DIFFIO_TX_T100n	DIFFOUT_T100n	H16	DQ34T	DQ12T	DQ6T	DQ2T
8C	VREFB8CN0	IO			DIFFIO_RX_T101p	DIFFOUT_T101p	G17	DQS34T	DQ12T/CQn12T	DQS6T/CQ6T	DQ2T
8C	VREFB8CN0	IO			DIFFIO_RX_T101n	DIFFOUT_T101n	F17	DQSn34T	DQ12T	DQSn6T/DQ6T	DQ2T
8C	VREFB8CN0	IO			DIFFIO_TX_T102p	DIFFOUT_T102p	E16	DQ34T	DQ12T	DQ6T	DQ2T
8C	VREFB8CN0	IO			DIFFIO_TX_T102n	DIFFOUT_T102n	E15	DQ34T	DQ12T	DQ6T	DQ2T
8C	VREFB8CN0	IO			DIFFIO_RX_T103p	DIFFOUT_T103p	B15	DQ35T	DQ13T	DQ6T	DQ2T
8C	VREFB8CN0	IO			DIFFIO_RX_T103n	DIFFOUT_T103n	A15	DQ35T	DQ13T	DQ6T	DQ2T
8C	VREFB8CN0	IO			DIFFIO_TX_T104p	DIFFOUT_T104p	C15	DQ35T	DQ13T	DQ6T	DQ2T
8C	VREFB8CN0	IO			DIFFIO_TX_T104n	DIFFOUT_T104n	C16	DQ35T	DQ13T	DQ6T	DQ2T
8C	VREFB8CN0	IO			DIFFIO_RX_T105p	DIFFOUT_T105p	B16	DQS35T	DQS13T/CQ13T	DQ6T/CQn6T	DQ2T
8C	VREFB8CN0	IO			DIFFIO_RX_T105n	DIFFOUT_T105n	A16	DQSn35T	DQSn13T/DQ13T	DQ6T	DQ2T
8C	VREFB8CN0	IO			DIFFIO_TX_T106p	DIFFOUT_T106p	C18	DQ36T	DQ13T	DQ6T	DQ2T
8C	VREFB8CN0	IO			DIFFIO_TX_T106n	DIFFOUT_T106n	C17	DQ36T	DQ13T	DQ6T	DQ2T
8C	VREFB8CN0	IO			DIFFIO_RX_T107p	DIFFOUT_T107p	E17	DQS36T	DQ13T/CQn13T	DQ6T	DQS2T/CQ2T
8C	VREFB8CN0	IO			DIFFIO_RX_T107n	DIFFOUT_T107n	D17	DQSn36T	DQ13T	DQ6T	DQSn2T/DQ2T
8C	VREFB8CN0	IO			DIFFIO_TX_T108p	DIFFOUT_T108p	B18	DQ36T	DQ13T	DQ6T	DQ2T
8C	VREFB8CN0	IO			DIFFIO_TX_T108n	DIFFOUT_T108n	A18	DQ36T	DQ13T	DQ6T	DQ2T
8C	VREFB8CN0	IO			DIFFIO_RX_T109p	DIFFOUT_T109p	B19	DQ37T	DQ14T	DQ7T	DQ2T
8C	VREFB8CN0	IO			DIFFIO_RX_T109n	DIFFOUT_T109n	A19	DQ37T	DQ14T	DQ7T	DQ2T
8C	VREFB8CN0	IO			DIFFIO_TX_T110p	DIFFOUT_T110p	D19	DQ37T	DQ14T	DQ7T	DQ2T
8C	VREFB8CN0	IO			DIFFIO_TX_T110n	DIFFOUT_T110n	C19	DQ37T	DQ14T	DQ7T	DQ2T
8C	VREFB8CN0	IO			DIFFIO_RX_T111p	DIFFOUT_T111p	B21	DQS37T	DQS14T/CQ14T	DQ7T	DQ2T/CQn2T
8C	VREFB8CN0	IO			DIFFIO_RX_T111n	DIFFOUT_T111n	A21	DQSn37T	DQSn14T/DQ14T	DQ7T	DQ2T
8C	VREFB8CN0	IO			DIFFIO_TX_T112p	DIFFOUT_T112p	E18	DQ38T	DQ14T	DQ7T	DQ2T
8C	VREFB8CN0	IO			DIFFIO_TX_T112n	DIFFOUT_T112n	E19	DQ38T	DQ14T	DQ7T	DQ2T
8C	VREFB8CN0	IO			DIFFIO_RX_T113p	DIFFOUT_T113p	C20	DQS38T	DQ14T/CQn14T	DQS7T/CQ7T	DQ2T
8C	VREFB8CN0	IO			DIFFIO_RX_T113n	DIFFOUT_T113n	D20	DQSn38T	DQ14T	DQSn7T/DQ7T	DQ2T
8C	VREFB8CN0	IO			DIFFIO_TX_T114p	DIFFOUT_T114p	F20	DQ38T	DQ14T	DQ7T	DQ2T
8C	VREFB8CN0	IO			DIFFIO_TX_T114n	DIFFOUT_T114n	E20	DQ38T	DQ14T	DQ7T	DQ2T
8C	VREFB8CN0	IO			DIFFIO_RX_T115p	DIFFOUT_T115p	H18	DQ39T	DQ15T	DQ7T	DQ2T
8C	VREFB8CN0	IO			DIFFIO_RX_T115n	DIFFOUT_T115n	G18	DQ39T	DQ15T	DQ7T	DQ2T
8C	VREFB8CN0	IO			DIFFIO_TX_T116p	DIFFOUT_T116p	J19	DQ39T	DQ15T	DQ7T	DQ2T
8C	VREFB8CN0	IO			DIFFIO_TX_T116n	DIFFOUT_T116n	J18	DQ39T	DQ15T	DQ7T	DQ2T
8C	VREFB8CN0	IO			DIFFIO_RX_T117p	DIFFOUT_T117p	H19	DQS39T	DQS15T/CQ15T	DQ7T/CQn7T	DQ2T

Bank Number	VREF	PinName/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Emulated LVDS Output Channel	F780	DQS for X4	DQS for X8/X9	DQS for X16/ X18	DQS for X32/ X36
8C	VREFB8CN0	IO			DIFFIO_RX_T117n	DIFFOUT_T117n	G19	DQSn39T	DQSn15T/DQ15T	DQ7T	DQ2T
8C	VREFB8CN0	IO			DIFFIO_TX_T118p	DIFFOUT_T118p	M17	DQ40T	DQ15T	DQ7T	DQ2T
8C	VREFB8CN0	IO			DIFFIO_TX_T118n	DIFFOUT_T118n	L18	DQ40T	DQ15T	DQ7T	DQ2T
8C	VREFB8CN0	IO			DIFFIO_RX_T119p	DIFFOUT_T119p	M18	DQS40T	DQ15T/CQn15T	DQ7T	DQ2T
8C	VREFB8CN0	IO			DIFFIO_RX_T119n	DIFFOUT_T119n	N18	DQSn40T	DQ15T	DQ7T	DQ2T
8C	VREFB8CN0	IO			DIFFIO_TX_T120p	DIFFOUT_T120p	N16	DQ40T	DQ15T	DQ7T	DQ2T
8C	VREFB8CN0	IO			DIFFIO_TX_T120n	DIFFOUT_T120n	N17	DQ40T	DQ15T	DQ7T	DQ2T
8A	VREFB8AN0	IO	CLK23p		DIFFIO_RX_T145p	DIFFOUT_T145p	G20				
8A	VREFB8AN0	IO	CLK23n		DIFFIO_RX_T145n	DIFFOUT_T145n	G21				
8A	VREFB8AN0	IO	CLK22p		DIFFIO_RX_T147p	DIFFOUT_T147p	K19				
8A	VREFB8AN0	IO	CLK22n		DIFFIO_RX_T147n	DIFFOUT_T147n	L19				
8A	VREFB8AN0	IO	FPLL_TL_CLKOUT2,FPLL_TL_FBp,FPLL_TL_FB1		DIFFIO_RX_T149p	DIFFOUT_T149p	G22				
8A	VREFB8AN0	IO	FPLL_TL_CLKOUT3,FPLL_TL_FBn		DIFFIO_RX_T149n	DIFFOUT_T149n	G23				
8A	VREFB8AN0	IO	FPLL_TL_CLKOUT0,FPLL_TL_CLKOUTp,FPLL_TL_FB0		DIFFIO_TX_T150p	DIFFOUT_T150p	H21				
8A	VREFB8AN0	IO	FPLL_TL_CLKOUT1,FPLL_TL_CLKOUTn		DIFFIO_TX_T150n	DIFFOUT_T150n	J21				
8A	VREFB8AN0	IO	CLK21p		DIFFIO_RX_T151p	DIFFOUT_T151p	D22				
8A	VREFB8AN0	IO	CLK21n		DIFFIO_RX_T151n	DIFFOUT_T151n	C22				
8A	VREFB8AN0	IO	CLK20p		DIFFIO_RX_T153p	DIFFOUT_T153p	B22				
8A	VREFB8AN0	IO	CLK20n		DIFFIO_RX_T153n	DIFFOUT_T153n	A22				
8A	VREFB8AN0	IO			DIFFIO_RX_T155p	DIFFOUT_T155p	D23				
8A	VREFB8AN0	IO	RZQ_5		DIFFIO_RX_T155n	DIFFOUT_T155n	C23				
		GND					A26				
		GND					AA25				
		GND					AA26				
		GND					AB27				
		GND					AB28				
		GND					AC25				
		GND					AC26				
		GND					AD27				
		GND					AD28				
		GND					AE25				
		GND					AE26				
		GND					AF27				
		GND					AF28				
		GND					AG25				
		GND					AG26				
		GND					B26				
		GND					B27				
		GND					B28				
		GND					C25				
		GND					C26				
		GND					D27				
		GND					D28				
		GND					E25				
		GND					E26				
		GND					F27				
		GND					F28				
		GND					G25				
		GND					G26				
		GND					H27				
		GND					H28				
		GND					J25				
		GND					J26				
		GND					K21				
		GND					K22				
		GND					K23				
		GND					K24				
		GND					K27				
		GND					K28				
		GND					L21				
		GND					L25				
		GND					L26				
		GND					M21				
		GND					M23				
		GND					M27				
		GND					M28				
		GND					N25				
		GND					N26				
		GND					P22				
		GND					P24				
		GND					P27				
		GND					P28				
		GND					R21				
		GND					R25				
		GND					R26				
		GND					T23				
		GND					T27				
		GND					T28				
		GND					U25				
		GND					U26				

Bank Number	VREF	PinName/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Emulated LVDS Output Channel	F780	DQS for X4	DQS for X8/X9	DQS for X16/ X18	DQS for X32/ X36
		GND					V21				
		GND					V22				
		GND					V24				
		GND					V27				
		GND					V28				
		GND					W22				
		GND					W23				
		GND					W24				
		GND					W25				
		GND					W26				
		GND					Y27				
		GND					Y28				
		GND					M1				
		GND					M2				
		GND					N2				
		GND					P1				
		GND					P2				
		GND					R2				
		GND					AA11				
		GND					AA14				
		GND					AA17				
		GND					AA2				
		GND					AA20				
		GND					AA23				
		GND					AA24				
		GND					AA5				
		GND					AA8				
		GND					AB24				
		GND					AC1				
		GND					AC10				
		GND					AC13				
		GND					AC16				
		GND					AC19				
		GND					AC22				
		GND					AC24				
		GND					AC4				
		GND					AC7				
		GND					AD24				
		GND					AE12				
		GND					AE15				
		GND					AE18				
		GND					AE21				
		GND					AE24				
		GND					AE3				
		GND					AE6				
		GND					AE9				
		GND					AF1				
		GND					AF24				
		GND					AG11				
		GND					AG14				
		GND					AG17				
		GND					AG2				
		GND					AG20				
		GND					AG23				
		GND					AG24				
		GND					AG5				
		GND					AG8				
		GND					B11				
		GND					B14				
		GND					B17				
		GND					B2				
		GND					B20				
		GND					B23				
		GND					B5				
		GND					B8				
		GND					C24				
		GND					D1				
		GND					D12				
		GND					D15				
		GND					D18				
		GND					D21				
		GND					D24				
		GND					D3				
		GND					D6				
		GND					D9				
		GND					E24				
		GND					F1				
		GND					F10				
		GND					F13				
		GND					F16				

Bank Number	VREF	PinName/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Emulated LVDS Output Channel	F780	DQS for X4	DQS for X8/X9	DQS for X16/ X18	DQS for X32/ X36
		GND					F19				
		GND					F22				
		GND					F24				
		GND					F4				
		GND					F7				
		GND					G24				
		GND					H11				
		GND					H14				
		GND					H17				
		GND					H2				
		GND					H20				
		GND					H23				
		GND					H24				
		GND					H5				
		GND					H8				
		GND					J1				
		GND					J24				
		GND					K12				
		GND					K15				
		GND					K18				
		GND					K3				
		GND					K6				
		GND					K9				
		GND					M10				
		GND					M13				
		GND					M16				
		GND					M19				
		GND					M4				
		GND					M7				
		GND					N20				
		GND					P11				
		GND					P13				
		GND					P15				
		GND					P17				
		GND					P5				
		GND					P8				
		GND					R12				
		GND					R14				
		GND					T11				
		GND					T16				
		GND					T18				
		GND					T3				
		GND					T6				
		GND					T9				
		GND					U1				
		GND					U12				
		GND					U17				
		GND					U20				
		GND					U4				
		GND					U7				
		GND					V11				
		GND					V18				
		GND					W11				
		GND					W13				
		GND					W15				
		GND					W17				
		GND					W21				
		GND					W3				
		GND					W6				
		GND					W9				
		GND					Y1				
		GND					Y18				
		GND					Y24				
		GND					U14				
		VCC					P12				
		VCC					P14				
		VCC					P16				
		VCC					P18				
		VCC					W12				
		VCC					W14				
		VCC					W16				
		VCC					W18				
		VCC					R11				
		VCC					R13				
		VCC					R15				
		VCC					R16				
		VCC					R17				
		VCC					R18				
		VCC					T12				
		VCC					T13				

Bank Number	VREF	PinName/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Emulated LVDS Output Channel	F780	DQS for X4	DQS for X8/X9	DQS for X16/ X18	DQS for X32/ X36
		VCC					T14				
		VCC					T15				
		VCC					T17				
		VCC					U11				
		VCC					U15				
		VCC					U16				
		VCC					U18				
		VCC					V12				
		VCC					V13				
		VCC					V15				
		VCC					V16				
		VCC					V17				
		VCC					V14				
		VCCPT					L13				
		VCCPT					L20				
		VCCPT					L7				
		VCCPT					V20				
		VCCPT					V7				
		VCCPT					Y14				
		DNU					AH27				
		DNU					AG27				
		DNU					Y23				
		DNU					AC14				
		DNU					T2				
		DNU					T1				
		DNU					H1				
		DNU					F14				
		DNU					U13				
		VCCPGM					AA22				
		VCCPGM					Y2				
		TEMPDIODEn					J2				
		TEMPDIODEp					K2				
		VCCBAT					Y4				
		VCCIO3A					AH20				
		VCCIO3A					AH24				
		VCCIO3B					AH14				
		VCCIO3B					AH17				
		VCCIO3D					AH8				
		VCCIO4A					AD1				
		VCCIO4D					AH5				
		VCCIO7A					E1				
		VCCIO7C					A2				
		VCCIO7C					A5				
		VCCIO7D					A11				
		VCCIO7D					A8				
		VCCIO8A					A23				
		VCCIO8C					A17				
		VCCIO8C					A20				
		VCCIO8D					A14				
		VCCPD3AB					AF18				
		VCCPD3AB					AF20				
		VCCPD3CD					AF9				
		VCCPD4					AE4				
		VCCPD7					C9				
		VCCPD7					D5				
		VCCPD8					C21				
		VCCPD8					D16				
3A	VREFB3AN0	VREFB3AN0					AB20				
3B	VREFB3BN0	VREFB3BN0					AB16				
3D	VREFB3DN0	VREFB3DN0					AC9				
4A	VREFB4AN0	VREFB4AN0					AC5				
4D	VREFB4DN0	VREFB4DN0					AB7				
7A	VREFB7AN0	VREFB7AN0					F5				
7C	VREFB7CN0	VREFB7CN0					F9				
7D	VREFB7DN0	VREFB7DN0					F12				
8A	VREFB8AN0	VREFB8AN0					F21				
8C	VREFB8CN0	VREFB8CN0					F18				
8D	VREFB8DN0	VREFB8DN0					F15				
		NC					G5				
		NC					G6				
		NC					E3				
		NC					E4				
		NC					L4				
		NC					L5				
		NC					K5				
		NC					K4				
		NC					J20				
		NC					K20				
		NC					H22				
		NC					J22				

Bank Number	VREF	PinName/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Emulated LVDS Output Channel	F780	DQS for X4	DQS for X8/X9	DQS for X16/ X18	DQS for X32/ X36
		NC					E22				
		NC					E21				
		NC					B24				
		NC					A24				
		NC					B25				
		NC					A25				
		NC					P19				
		NC					R20				
		NC					T19				
		NC					N3				
		NC					N4				
		NC					P4				
		NC					K1				
		NC					C8				
		VCCH_GXBL0					T24				
		VCCH_GXBL1					M24				
		VCCR_GXBL0					V23				
		VCCR_GXBL1					P23				
		VCCT_GXBL0					T22				
		VCCT_GXBL0					U22				
		VCCT_GXBL1					M22				
		VCCT_GXBL1					N22				
		VCCHIP_L					N19				
		VCCHIP_L					R19				
		VCCHIP_L					U19				
		RREF_BL					AG28				
		RREF_BR					R1				
		RREF_TL					A27				
		RREF_TR					N1				
		VCCA_FPLL					AB23				
		VCCA_FPLL					Y15				
		VCCA_FPLL					AB2				
		VCCA_FPLL					G2				
		VCCA_FPLL					J13				
		VCCA_FPLL					F23				
		VCCA_FPLL					N21				
		VCCA_FPLL					U21				
		VCCA_FPLL					M5				
		VCCA_FPLL					T5				
		VCCA_GXBL0					R24				
		VCCA_GXBL1					L24				
		VCCHSSI_L					M20				
		VCCHSSI_L					P20				
		VCCHSSI_L					T20				
		VCCD_FPLL					AC23				
		VCCD_FPLL					AA15				
		VCCD_FPLL					AC2				
		VCCD_FPLL					F2				
		VCCD_FPLL					H13				
		VCCD_FPLL					E23				
		VCCD_FPLL					P21				
		VCCD_FPLL					T21				
		VCCD_FPLL					N5				
		VCCD_FPLL					R5				
		VCC_AUX					AB14				
		VCC_AUX					G13				
		VCC_AUX					J23				
		VCC_AUX					J3				
		VCC_AUX					Y22				
		VCC_AUX					Y3				

Note:
(1) For more information about pin definitions and pin connection guidelines, refer to the Arria V Device Family Pin Connection Guidelines.

Bank Number	VREF	PinName/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Emulated LVDS Output Channel	F1152	DQS for X4	DQS for X8/X9	DQS for X16/ X18	DQS for X32/ X36
GXB_L1		REFCLK3Lp					N28				
GXB_L1		REFCLK3Ln					N29				
GXB_L1		GXB_TX_L11n					H32				
GXB_L1		GXB_TX_L11p					H31				
GXB_L1		GXB_RX_L11n,GXB_REFCLK_L11n					J34				
GXB_L1		GXB_RX_L11p,GXB_REFCLK_L11p					J33				
GXB_L1		GXB_TX_L10n					K32				
GXB_L1		GXB_TX_L10p					K31				
GXB_L1		GXB_RX_L10n,GXB_REFCLK_L10n					L34				
GXB_L1		GXB_RX_L10p,GXB_REFCLK_L10p					L33				
GXB_L1		GXB_TX_L9n					M32				
GXB_L1		GXB_TX_L9p					M31				
GXB_L1		GXB_RX_L9n,GXB_REFCLK_L9n					N34				
GXB_L1		GXB_RX_L9p,GXB_REFCLK_L9p					N33				
GXB_L1		GXB_TX_L8n					P32				
GXB_L1		GXB_TX_L8p					P31				
GXB_L1		GXB_RX_L8n,GXB_REFCLK_L8n					R34				
GXB_L1		GXB_RX_L8p,GXB_REFCLK_L8p					R33				
GXB_L1		GXB_TX_L7n					T32				
GXB_L1		GXB_TX_L7p					T31				
GXB_L1		GXB_RX_L7n,GXB_REFCLK_L7n					U34				
GXB_L1		GXB_RX_L7p,GXB_REFCLK_L7p					U33				
GXB_L1		GXB_TX_L6n					V32				
GXB_L1		GXB_TX_L6p					V31				
GXB_L1		GXB_RX_L6n,GXB_REFCLK_L6n					W34				
GXB_L1		GXB_RX_L6p,GXB_REFCLK_L6p					W33				
GXB_L1		REFCLK2Lp					R29				
GXB_L1		REFCLK2Ln					R30				
GXB_L0		REFCLK1Lp					U28				
GXB_L0		REFCLK1Ln					U29				
GXB_L0		GXB_TX_L5n					Y32				
GXB_L0		GXB_TX_L5p					Y31				
GXB_L0		GXB_RX_L5n,GXB_REFCLK_L5n					AA34				
GXB_L0		GXB_RX_L5p,GXB_REFCLK_L5p					AA33				
GXB_L0		GXB_TX_L4n					AB32				
GXB_L0		GXB_TX_L4p					AB31				
GXB_L0		GXB_RX_L4n,GXB_REFCLK_L4n					AC34				
GXB_L0		GXB_RX_L4p,GXB_REFCLK_L4p					AC33				
GXB_L0		GXB_TX_L3n					AD32				
GXB_L0		GXB_TX_L3p					AD31				
GXB_L0		GXB_RX_L3n,GXB_REFCLK_L3n					AE34				
GXB_L0		GXB_RX_L3p,GXB_REFCLK_L3p					AE33				
GXB_L0		GXB_TX_L2n					AF32				
GXB_L0		GXB_TX_L2p					AF31				
GXB_L0		GXB_RX_L2n,GXB_REFCLK_L2n					AG34				
GXB_L0		GXB_RX_L2p,GXB_REFCLK_L2p					AG33				
GXB_L0		GXB_TX_L1n					AH32				
GXB_L0		GXB_TX_L1p					AH31				
GXB_L0		GXB_RX_L1n,GXB_REFCLK_L1n					AJ34				
GXB_L0		GXB_RX_L1p,GXB_REFCLK_L1p					AJ33				
GXB_L0		GXB_TX_L0n					AK32				
GXB_L0		GXB_TX_L0p					AK31				
GXB_L0		GXB_RX_L0n,GXB_REFCLK_L0n					AL34				
GXB_L0		GXB_RX_L0p,GXB_REFCLK_L0p					AL33				
GXB_L0		REFCLK0Lp					W29				
GXB_L0		REFCLK0Ln					W30				
3A		nCONFIG		nCONFIG			AE30				
3A		TRST		TRST			Y27				
3A		TMS		TMS			AJ30				
3A		TCK		TCK			AN31				
3A		TDI		TDI			AL29				
3A		TDO		TDO			AK29				
3A		nCSO		nCSO			AC27				
3A		AS_DATA3		AS_DATA3			AF27				
3A		AS_DATA2		AS_DATA2			AC28				
3A		AS_DATA1		AS_DATA1			AA29				
3A		AS_DATA0,ASDO		AS_DATA0,ASDO			AF28				
3A		DCLK		DCLK			AB28				
3A	VREFB3AN0	IO		CLKUSR	DIFFIO_TX_B1n	DIFFOUT_B1n	AP32	DQ1B	DQ1B		
3A	VREFB3AN0	IO		CRC_ERROR	DIFFIO_TX_B1p	DIFFOUT_B1p	AP31	DQ1B	DQ1B		
3A	VREFB3AN0	IO	RZQ_0		DIFFIO_RX_B2n	DIFFOUT_B2n	AM30	DQSn1B	DQ1B		
3A	VREFB3AN0	IO		DEV_OE	DIFFIO_RX_B2p	DIFFOUT_B2p	AM31	DQS1B	DQ1B/CQn1B		
3A	VREFB3AN0	IO		DEV_CLRn	DIFFIO_TX_B3n	DIFFOUT_B3n	AP30	DQ1B	DQ1B		
3A	VREFB3AN0	IO		INIT_DONE	DIFFIO_TX_B3p	DIFFOUT_B3p	AN30	DQ1B	DQ1B		
3A	VREFB3AN0	IO		nCEO	DIFFIO_RX_B4n	DIFFOUT_B4n	AP28	DQSn2B	DQSn1B/DQ1B		
3A	VREFB3AN0	IO		DATA0	DIFFIO_RX_B4p	DIFFOUT_B4p	AN28	DQS2B	DQS1B/CQ1B		
3A	VREFB3AN0	IO		DATA1	DIFFIO_TX_B5n	DIFFOUT_B5n	AP27	DQ2B	DQ1B		
3A	VREFB3AN0	IO		DATA2	DIFFIO_TX_B5p	DIFFOUT_B5p	AN27	DQ2B	DQ1B		
3A	VREFB3AN0	IO		DATA3	DIFFIO_RX_B6n	DIFFOUT_B6n	AL28	DQ2B	DQ1B		
3A	VREFB3AN0	IO		DATA4	DIFFIO_RX_B6p	DIFFOUT_B6p	AM28	DQ2B	DQ1B		
3A	VREFB3AN0	IO		DATA5	DIFFIO_TX_B7n	DIFFOUT_B7n	AE29	DQ3B	DQ2B	DQ1B	
3A	VREFB3AN0	IO		DATA6	DIFFIO_TX_B7p	DIFFOUT_B7p	AD29	DQ3B	DQ2B	DQ1B	
3A	VREFB3AN0	IO		DATA7	DIFFIO_RX_B8n	DIFFOUT_B8n	AC29	DQSn3B	DQ2B	DQ1B	
3A	VREFB3AN0	IO		DATA8	DIFFIO_RX_B8p	DIFFOUT_B8p	AC30	DQS3B	DQ2B/CQn2B	DQ1B	

Bank Number	VREF	PinName/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Emulated LVDS Output Channel	F1152	DQS for X4	DQS for X8/X9	DQS for X16/ X18	DQS for X32/ X36
3A	VREFB3AN0	IO		DATA9	DIFFIO_TX_B9n	DIFFOUT_B9n	AF29	DQ3B	DQ2B	DQ1B	
3A	VREFB3AN0	IO		DATA10	DIFFIO_TX_B9p	DIFFOUT_B9p	AG30	DQ3B	DQ2B	DQ1B	
3A	VREFB3AN0	IO		DATA11	DIFFIO_RX_B10n	DIFFOUT_B10n	AB29	DQSn4B	DQSn2B/DQ2B	DQ1B	
3A	VREFB3AN0	IO		DATA12	DIFFIO_RX_B10p	DIFFOUT_B10p	AA30	DQS4B	DQS2B/CQ2B	DQ1B/CQn1B	
3A	VREFB3AN0	IO		DATA13	DIFFIO_TX_B11n	DIFFOUT_B11n	AE28	DQ4B	DQ2B	DQ1B	
3A	VREFB3AN0	IO		DATA14	DIFFIO_TX_B11p	DIFFOUT_B11p	AD28	DQ4B	DQ2B	DQ1B	
3A	VREFB3AN0	IO		DATA15	DIFFIO_RX_B12n	DIFFOUT_B12n	AB27	DQ4B	DQ2B	DQ1B	
3A	VREFB3AN0	IO		DATA16	DIFFIO_RX_B12p	DIFFOUT_B12p	AA28	DQ4B	DQ2B	DQ1B	
3A	VREFB3AN0	IO		DATA17	DIFFIO_TX_B13n	DIFFOUT_B13n	AH27	DQ5B	DQ3B	DQ1B	
3A	VREFB3AN0	IO		DATA18	DIFFIO_TX_B13p	DIFFOUT_B13p	AG27	DQ5B	DQ3B	DQ1B	
3A	VREFB3AN0	IO		DATA19	DIFFIO_RX_B14n	DIFFOUT_B14n	AJ26	DQSn5B	DQ3B	DQSn1B/DQ1B	
3A	VREFB3AN0	IO		DATA20	DIFFIO_RX_B14p	DIFFOUT_B14p	AH26	DQS5B	DQ3B/CQn3B	DQS1B/CQ1B	
3A	VREFB3AN0	IO		DATA21	DIFFIO_TX_B15n	DIFFOUT_B15n	AK28	DQ5B	DQ3B	DQ1B	
3A	VREFB3AN0	IO		DATA22	DIFFIO_TX_B15p	DIFFOUT_B15p	AJ27	DQ5B	DQ3B	DQ1B	
3A	VREFB3AN0	IO		DATA23	DIFFIO_RX_B16n	DIFFOUT_B16n	AK26	DQSn6B	DQSn3B/DQ3B	DQ1B	
3A	VREFB3AN0	IO		DATA24	DIFFIO_RX_B16p	DIFFOUT_B16p	AK27	DQS6B	DQS3B/CQ3B	DQ1B	
3A	VREFB3AN0	IO		DATA25	DIFFIO_TX_B17n	DIFFOUT_B17n	AM26	DQ6B	DQ3B	DQ1B	
3A	VREFB3AN0	IO		DATA26	DIFFIO_TX_B17p	DIFFOUT_B17p	AL26	DQ6B	DQ3B	DQ1B	
3A	VREFB3AN0	IO		DATA27	DIFFIO_RX_B18n	DIFFOUT_B18n	AM25	DQ6B	DQ3B	DQ1B	
3A	VREFB3AN0	IO		DATA28	DIFFIO_RX_B18p	DIFFOUT_B18p	AL25	DQ6B	DQ3B	DQ1B	
3B	VREFB3BN0	IO		DATA29	DIFFIO_TX_B19n	DIFFOUT_B19n	AP25	DQ7B	DQ4B	DQ2B	DQ1B
3B	VREFB3BN0	IO		DATA30	DIFFIO_TX_B19p	DIFFOUT_B19p	AN25	DQ7B	DQ4B	DQ2B	DQ1B
3B	VREFB3BN0	IO		DATA31	DIFFIO_RX_B20n	DIFFOUT_B20n	AP24	DQSn7B	DQ4B	DQ2B	DQ1B
3B	VREFB3BN0	IO		PR_DONE	DIFFIO_RX_B20p	DIFFOUT_B20p	AN24	DQS7B	DQ4B/CQn4B	DQ2B	DQ1B
3B	VREFB3BN0	IO		PR_REQUEST	DIFFIO_TX_B21n	DIFFOUT_B21n	AM23	DQ7B	DQ4B	DQ2B	DQ1B
3B	VREFB3BN0	IO		PR_READY	DIFFIO_TX_B21p	DIFFOUT_B21p	AL23	DQ7B	DQ4B	DQ2B	DQ1B
3B	VREFB3BN0	IO	CLK0n		DIFFIO_RX_B22n	DIFFOUT_B22n	AK24	DQSn8B	DQSn4B/DQ4B	DQ2B	DQ1B
3B	VREFB3BN0	IO	CLK0p		DIFFIO_RX_B22p	DIFFOUT_B22p	AK25	DQS8B	DQS4B/CQ4B	DQ2B/CQn2B	DQ1B
3B	VREFB3BN0	IO		PR_ERROR	DIFFIO_TX_B23n	DIFFOUT_B23n	AK23	DQ8B	DQ4B	DQ2B	DQ1B
3B	VREFB3BN0	IO		CvP_CONFDONE	DIFFIO_TX_B23p	DIFFOUT_B23p	AJ23	DQ8B	DQ4B	DQ2B	DQ1B
3B	VREFB3BN0	IO	CLK1n		DIFFIO_RX_B24n	DIFFOUT_B24n	AJ24	DQ8B	DQ4B	DQ2B	DQ1B
3B	VREFB3BN0	IO	CLK1p		DIFFIO_RX_B24p	DIFFOUT_B24p	AH24	DQ8B	DQ4B	DQ2B	DQ1B
3B	VREFB3BN0	IO	FPLL_BL_CLKOUT1,FPLL_BL_CLKOUTn		DIFFIO_TX_B25n	DIFFOUT_B25n	U25	DQ9B	DQ5B	DQ2B	DQ1B
3B	VREFB3BN0	IO	FPLL_BL_CLKOUT0,FPLL_BL_CLKOUTp,FPLL_BL_FB0		DIFFIO_TX_B25p	DIFFOUT_B25p	U26	DQ9B	DQ5B	DQ2B	DQ1B
3B	VREFB3BN0	IO	FPLL_BL_CLKOUT3,FPLL_BL_FBn		DIFFIO_RX_B26n	DIFFOUT_B26n	Y25	DQSn9B	DQ5B	DQSn2B/DQ2B	DQ1B
3B	VREFB3BN0	IO	FPLL_BL_CLKOUT2,FPLL_BL_FBp,FPLL_BL_FB1		DIFFIO_RX_B26p	DIFFOUT_B26p	W25	DQS9B	DQ5B/CQn5B	DQS2B/CQ2B	DQ1B
3B	VREFB3BN0	IO		nPERSTL0	DIFFIO_TX_B27n	DIFFOUT_B27n	W26	DQ9B	DQ5B	DQ2B	DQ1B
3B	VREFB3BN0	IO			DIFFIO_TX_B27p	DIFFOUT_B27p	V25	DQ9B	DQ5B	DQ2B	DQ1B
3B	VREFB3BN0	IO	CLK2n		DIFFIO_RX_B28n	DIFFOUT_B28n	AB26	DQSn10B	DQSn5B/DQ5B	DQ2B	DQ1B
3B	VREFB3BN0	IO	CLK2p		DIFFIO_RX_B28p	DIFFOUT_B28p	AA25	DQS10B	DQS5B/CQ5B	DQ2B	DQ1B/CQn1B
3B	VREFB3BN0	IO			DIFFIO_TX_B29n	DIFFOUT_B29n	AA27	DQ10B	DQ5B	DQ2B	DQ1B
3B	VREFB3BN0	IO			DIFFIO_TX_B29p	DIFFOUT_B29p	Y26	DQ10B	DQ5B	DQ2B	DQ1B
3B	VREFB3BN0	IO	CLK3n		DIFFIO_RX_B30n	DIFFOUT_B30n	AB24	DQ10B	DQ5B	DQ2B	DQ1B
3B	VREFB3BN0	IO	CLK3p		DIFFIO_RX_B30p	DIFFOUT_B30p	AB23	DQ10B	DQ5B	DQ2B	DQ1B
3B	VREFB3BN0	IO			DIFFIO_TX_B31n	DIFFOUT_B31n	AF26	DQ11B	DQ6B	DQ3B	DQ1B
3B	VREFB3BN0	IO			DIFFIO_TX_B31p	DIFFOUT_B31p	AE26	DQ11B	DQ6B	DQ3B	DQ1B
3B	VREFB3BN0	IO			DIFFIO_RX_B32n	DIFFOUT_B32n	AD26	DQSn11B	DQ6B	DQ3B	DQSn1B/DQ1B
3B	VREFB3BN0	IO			DIFFIO_RX_B32p	DIFFOUT_B32p	AC26	DQS11B	DQ6B/CQn6B	DQ3B	DQS1B/CQ1B
3B	VREFB3BN0	IO			DIFFIO_TX_B33n	DIFFOUT_B33n	AF25	DQ11B	DQ6B	DQ3B	DQ1B
3B	VREFB3BN0	IO			DIFFIO_TX_B33p	DIFFOUT_B33p	AE25	DQ11B	DQ6B	DQ3B	DQ1B
3B	VREFB3BN0	IO			DIFFIO_RX_B34n	DIFFOUT_B34n	AH25	DQSn12B	DQSn6B/DQ6B	DQ3B	DQ1B
3B	VREFB3BN0	IO			DIFFIO_RX_B34p	DIFFOUT_B34p	AG25	DQS12B	DQS6B/CQ6B	DQ3B/CQn3B	DQ1B
3B	VREFB3BN0	IO			DIFFIO_TX_B35n	DIFFOUT_B35n	AG24	DQ12B	DQ6B	DQ3B	DQ1B
3B	VREFB3BN0	IO			DIFFIO_TX_B35p	DIFFOUT_B35p	AF24	DQ12B	DQ6B	DQ3B	DQ1B
3B	VREFB3BN0	IO			DIFFIO_RX_B36n	DIFFOUT_B36n	AD24	DQ12B	DQ6B	DQ3B	DQ1B
3B	VREFB3BN0	IO			DIFFIO_RX_B36p	DIFFOUT_B36p	AC24	DQ12B	DQ6B	DQ3B	DQ1B
3B	VREFB3BN0	IO			DIFFIO_TX_B37n	DIFFOUT_B37n	N24	DQ13B	DQ7B	DQ3B	DQ1B
3B	VREFB3BN0	IO			DIFFIO_TX_B37p	DIFFOUT_B37p	N23	DQ13B	DQ7B	DQ3B	DQ1B
3B	VREFB3BN0	IO			DIFFIO_RX_B38n	DIFFOUT_B38n	R26	DQSn13B	DQ7B	DQSn3B/DQ3B	DQ1B
3B	VREFB3BN0	IO			DIFFIO_RX_B38p	DIFFOUT_B38p	T25	DQS13B	DQ7B/CQn7B	DQS3B/CQ3B	DQ1B
3B	VREFB3BN0	IO			DIFFIO_TX_B39n	DIFFOUT_B39n	T23	DQ13B	DQ7B	DQ3B	DQ1B
3B	VREFB3BN0	IO			DIFFIO_TX_B39p	DIFFOUT_B39p	R24	DQ13B	DQ7B	DQ3B	DQ1B
3B	VREFB3BN0	IO			DIFFIO_RX_B40n	DIFFOUT_B40n	V23	DQSn14B	DQSn7B/DQ7B	DQ3B	DQ1B
3B	VREFB3BN0	IO			DIFFIO_RX_B40p	DIFFOUT_B40p	U24	DQS14B	DQS7B/CQ7B	DQ3B	DQ1B
3B	VREFB3BN0	IO			DIFFIO_TX_B41n	DIFFOUT_B41n	W24	DQ14B	DQ7B	DQ3B	DQ1B
3B	VREFB3BN0	IO			DIFFIO_TX_B41p	DIFFOUT_B41p	V24	DQ14B	DQ7B	DQ3B	DQ1B
3B	VREFB3BN0	IO			DIFFIO_RX_B42n	DIFFOUT_B42n	AA24	DQ14B	DQ7B	DQ3B	DQ1B
3B	VREFB3BN0	IO			DIFFIO_RX_B42p	DIFFOUT_B42p	Y24	DQ14B	DQ7B	DQ3B	DQ1B
3D	VREFB3DN0	IO			DIFFIO_TX_B67n	DIFFOUT_B67n	AP18	DQ23B	DQ8B	DQ4B	
3D	VREFB3DN0	IO			DIFFIO_TX_B67p	DIFFOUT_B67p	AN18	DQ23B	DQ8B	DQ4B	
3D	VREFB3DN0	IO			DIFFIO_RX_B68n	DIFFOUT_B68n	AM18	DQSn23B	DQ8B	DQ4B	
3D	VREFB3DN0	IO			DIFFIO_RX_B68p	DIFFOUT_B68p	AL19	DQS23B	DQ8B/CQn8B	DQ4B	
3D	VREFB3DN0	IO			DIFFIO_TX_B69n	DIFFOUT_B69n	AM17	DQ23B	DQ8B	DQ4B	
3D	VREFB3DN0	IO			DIFFIO_TX_B69p	DIFFOUT_B69p	AL17	DQ23B	DQ8B	DQ4B	
3D	VREFB3DN0	IO			DIFFIO_RX_B70n	DIFFOUT_B70n	AK18	DQSn24B	DQSn8B/DQ8B	DQ4B	
3D	VREFB3DN0	IO			DIFFIO_RX_B70p	DIFFOUT_B70p	AK17	DQS24B	DQS8B/CQ8B	DQ4B/CQn4B	
3D	VREFB3DN0	IO			DIFFIO_TX_B71n	DIFFOUT_B71n	AH18	DQ24B	DQ8B	DQ4B	
3D	VREFB3DN0	IO			DIFFIO_TX_B71p	DIFFOUT_B71p	AG19	DQ24B	DQ8B	DQ4B	
3D	VREFB3DN0	IO			DIFFIO_RX_B72n	DIFFOUT_B72n	AK19	DQ24B	DQ8B	DQ4B	
3D	VREFB3DN0	IO			DIFFIO_RX_B72p	DIFFOUT_B72p	AJ18	DQ24B	DQ8B	DQ4B	
3D	VREFB3DN0	IO			DIFFIO_TX_B73n	DIFFOUT_B73n	Y19	DQ25B	DQ9B	DQ4B	
3D	VREFB3DN0	IO			DIFFIO_TX_B73p	DIFFOUT_B73p	W19	DQ25B	DQ9B	DQ4B	
3D	VREFB3DN0	IO			DIFFIO_RX_B74n	DIFFOUT_B74n	AA18	DQSn25B	DQ9B	DQSn4B/DQ4B	
3D	VREFB3DN0	IO			DIFFIO_RX_B74p	DIFFOUT_B74p	Y17	DQS25B	DQ9B/CQn9B	DQS4B/CQ4B	

Bank Number	VREF	PinName/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Emulated LVDS Output Channel	F1152	DQS for X4	DQS for X8/X9	DQS for X16/ X18	DQS for X32/ X36
3D	VREFB3DN0	IO			DIFFIO_TX_B75n	DIFFOUT_B75n	Y18	DQ25B	DQ9B	DQ4B	
3D	VREFB3DN0	IO			DIFFIO_TX_B75p	DIFFOUT_B75p	W18	DQ25B	DQ9B	DQ4B	
3D	VREFB3DN0	IO	CLK4n		DIFFIO_RX_B76n	DIFFOUT_B76n	AB19	DQSn26B	DQSn9B/DQ9B	DQ4B	
3D	VREFB3DN0	IO	CLK4p		DIFFIO_RX_B76p	DIFFOUT_B76p	AB18	DQS26B	DQS9B/CQ9B	DQ4B	
3D	VREFB3DN0	IO			DIFFIO_TX_B77n	DIFFOUT_B77n	AF19	DQ26B	DQ9B	DQ4B	
3D	VREFB3DN0	IO			DIFFIO_TX_B77p	DIFFOUT_B77p	AE19	DQ26B	DQ9B	DQ4B	
3D	VREFB3DN0	IO	CLK5n		DIFFIO_RX_B78n	DIFFOUT_B78n	AG18	DQ26B	DQ9B	DQ4B	
3D	VREFB3DN0	IO	CLK5p		DIFFIO_RX_B78p	DIFFOUT_B78p	AF18	DQ26B	DQ9B	DQ4B	
4D	VREFB4DN0	IO	FPLL_BC_CLKOUT1,FPLL_BC_CLKOUTn		DIFFIO_TX_B91n	DIFFOUT_B91n	AD17	DQ31B	DQ10B	DQ5B	
4D	VREFB4DN0	IO	FPLL_BC_CLKOUT0,FPLL_BC_CLKOUTp,FPLL_BC_FB0		DIFFIO_TX_B91p	DIFFOUT_B91p	AC17	DQ31B	DQ10B	DQ5B	
4D	VREFB4DN0	IO	FPLL_BC_CLKOUT3,FPLL_BC_FBn		DIFFIO_RX_B92n	DIFFOUT_B92n	W17	DQSn31B	DQ10B	DQ5B	
4D	VREFB4DN0	IO	FPLL_BC_CLKOUT2,FPLL_BC_FBp,FPLL_BC_FB1		DIFFIO_RX_B92p	DIFFOUT_B92p	Y16	DQS31B	DQ10B/CQn10B	DQ5B	
4D	VREFB4DN0	IO			DIFFIO_TX_B93n	DIFFOUT_B93n	W16	DQ31B	DQ10B	DQ5B	
4D	VREFB4DN0	IO			DIFFIO_TX_B93p	DIFFOUT_B93p	W15	DQ31B	DQ10B	DQ5B	
4D	VREFB4DN0	IO	CLK6n		DIFFIO_RX_B94n	DIFFOUT_B94n	AF17	DQSn32B	DQSn10B/DQ10B	DQ5B	
4D	VREFB4DN0	IO	CLK6p		DIFFIO_RX_B94p	DIFFOUT_B94p	AF16	DQS32B	DQS10B/CQ10B	DQ5B/CQn5B	
4D	VREFB4DN0	IO			DIFFIO_TX_B95n	DIFFOUT_B95n	AG15	DQ32B	DQ10B	DQ5B	
4D	VREFB4DN0	IO			DIFFIO_TX_B95p	DIFFOUT_B95p	AG16	DQ32B	DQ10B	DQ5B	
4D	VREFB4DN0	IO	CLK7n		DIFFIO_RX_B96n	DIFFOUT_B96n	AD16	DQ32B	DQ10B	DQ5B	
4D	VREFB4DN0	IO	CLK7p		DIFFIO_RX_B96p	DIFFOUT_B96p	AE16	DQ32B	DQ10B	DQ5B	
4D	VREFB4DN0	IO			DIFFIO_TX_B97n	DIFFOUT_B97n	AH17	DQ33B	DQ11B	DQ5B	
4D	VREFB4DN0	IO			DIFFIO_TX_B97p	DIFFOUT_B97p	AH16	DQ33B	DQ11B	DQ5B	
4D	VREFB4DN0	IO			DIFFIO_RX_B98n	DIFFOUT_B98n	AK15	DQSn33B	DQ11B	DQSn5B/DQ5B	
4D	VREFB4DN0	IO			DIFFIO_RX_B98p	DIFFOUT_B98p	AJ15	DQS33B	DQ11B/CQn11B	DQS5B/CQ5B	
4D	VREFB4DN0	IO			DIFFIO_TX_B99n	DIFFOUT_B99n	AK16	DQ33B	DQ11B	DQ5B	
4D	VREFB4DN0	IO			DIFFIO_TX_B99p	DIFFOUT_B99p	AJ17	DQ33B	DQ11B	DQ5B	
4D	VREFB4DN0	IO			DIFFIO_RX_B100n	DIFFOUT_B100n	AL16	DQSn34B	DQSn11B/DQ11B	DQ5B	
4D	VREFB4DN0	IO			DIFFIO_RX_B100p	DIFFOUT_B100p	AM16	DQS34B	DQS11B/CQ11B	DQ5B	
4D	VREFB4DN0	IO			DIFFIO_TX_B101n	DIFFOUT_B101n	AP16	DQ34B	DQ11B	DQ5B	
4D	VREFB4DN0	IO			DIFFIO_TX_B101p	DIFFOUT_B101p	AN16	DQ34B	DQ11B	DQ5B	
4D	VREFB4DN0	IO			DIFFIO_RX_B102n	DIFFOUT_B102n	AP15	DQ34B	DQ11B	DQ5B	
4D	VREFB4DN0	IO			DIFFIO_RX_B102p	DIFFOUT_B102p	AN15	DQ34B	DQ11B	DQ5B	
4B	VREFB4BN0	IO			DIFFIO_TX_B127n	DIFFOUT_B127n	AC11	DQ43B	DQ12B	DQ6B	DQ2B
4B	VREFB4BN0	IO			DIFFIO_TX_B127p	DIFFOUT_B127p	AD11	DQ43B	DQ12B	DQ6B	DQ2B
4B	VREFB4BN0	IO			DIFFIO_RX_B128n	DIFFOUT_B128n	AB10	DQSn43B	DQ12B	DQ6B	DQ2B
4B	VREFB4BN0	IO			DIFFIO_RX_B128p	DIFFOUT_B128p	AB11	DQS43B	DQ12B/CQn12B	DQ6B	DQ2B
4B	VREFB4BN0	IO			DIFFIO_TX_B129n	DIFFOUT_B129n	AE10	DQ43B	DQ12B	DQ6B	DQ2B
4B	VREFB4BN0	IO			DIFFIO_TX_B129p	DIFFOUT_B129p	AE11	DQ43B	DQ12B	DQ6B	DQ2B
4B	VREFB4BN0	IO			DIFFIO_RX_B130n	DIFFOUT_B130n	W11	DQSn44B	DQSn12B/DQ12B	DQ6B	DQ2B
4B	VREFB4BN0	IO			DIFFIO_RX_B130p	DIFFOUT_B130p	V11	DQS44B	DQS12B/CQ12B	DQ6B/CQn6B	DQ2B
4B	VREFB4BN0	IO			DIFFIO_TX_B131n	DIFFOUT_B131n	U11	DQ44B	DQ12B	DQ6B	DQ2B
4B	VREFB4BN0	IO			DIFFIO_TX_B131p	DIFFOUT_B131p	U10	DQ44B	DQ12B	DQ6B	DQ2B
4B	VREFB4BN0	IO			DIFFIO_RX_B132n	DIFFOUT_B132n	Y11	DQ44B	DQ12B	DQ6B	DQ2B
4B	VREFB4BN0	IO			DIFFIO_RX_B132p	DIFFOUT_B132p	Y10	DQ44B	DQ12B	DQ6B	DQ2B
4B	VREFB4BN0	IO			DIFFIO_TX_B133n	DIFFOUT_B133n	AJ11	DQ45B	DQ13B	DQ6B	DQ2B
4B	VREFB4BN0	IO			DIFFIO_TX_B133p	DIFFOUT_B133p	AH11	DQ45B	DQ13B	DQ6B	DQ2B
4B	VREFB4BN0	IO			DIFFIO_RX_B134n	DIFFOUT_B134n	AH10	DQSn45B	DQ13B	DQSn6B/DQ6B	DQ2B
4B	VREFB4BN0	IO			DIFFIO_RX_B134p	DIFFOUT_B134p	AG10	DQS45B	DQ13B/CQn13B	DQS6B/CQ6B	DQ2B
4B	VREFB4BN0	IO			DIFFIO_TX_B135n	DIFFOUT_B135n	AF10	DQ45B	DQ13B	DQ6B	DQ2B
4B	VREFB4BN0	IO			DIFFIO_TX_B135p	DIFFOUT_B135p	AF9	DQ45B	DQ13B	DQ6B	DQ2B
4B	VREFB4BN0	IO			DIFFIO_RX_B136n	DIFFOUT_B136n	AF8	DQSn46B	DQSn13B/DQ13B	DQ6B	DQ2B
4B	VREFB4BN0	IO			DIFFIO_RX_B136p	DIFFOUT_B136p	AE8	DQS46B	DQS13B/CQ13B	DQ6B	DQ2B/CQn2B
4B	VREFB4BN0	IO			DIFFIO_TX_B137n	DIFFOUT_B137n	AJ8	DQ46B	DQ13B	DQ6B	DQ2B
4B	VREFB4BN0	IO			DIFFIO_TX_B137p	DIFFOUT_B137p	AH8	DQ46B	DQ13B	DQ6B	DQ2B
4B	VREFB4BN0	IO			DIFFIO_RX_B138n	DIFFOUT_B138n	AH9	DQ46B	DQ13B	DQ6B	DQ2B
4B	VREFB4BN0	IO			DIFFIO_RX_B138p	DIFFOUT_B138p	AG9	DQ46B	DQ13B	DQ6B	DQ2B
4B	VREFB4BN0	IO			DIFFIO_TX_B139n	DIFFOUT_B139n	AB9	DQ47B	DQ14B	DQ7B	DQ2B
4B	VREFB4BN0	IO			DIFFIO_TX_B139p	DIFFOUT_B139p	AA9	DQ47B	DQ14B	DQ7B	DQ2B
4B	VREFB4BN0	IO			DIFFIO_RX_B140n	DIFFOUT_B140n	AD9	DQSn47B	DQ14B	DQ7B	DQSn2B/DQ2B
4B	VREFB4BN0	IO			DIFFIO_RX_B140p	DIFFOUT_B140p	AC9	DQS47B	DQ14B/CQn14B	DQ7B	DQS2B/CQ2B
4B	VREFB4BN0	IO			DIFFIO_TX_B141n	DIFFOUT_B141n	AA8	DQ47B	DQ14B	DQ7B	DQ2B
4B	VREFB4BN0	IO			DIFFIO_TX_B141p	DIFFOUT_B141p	Y9	DQ47B	DQ14B	DQ7B	DQ2B
4B	VREFB4BN0	IO			DIFFIO_RX_B142n	DIFFOUT_B142n	T10	DQSn48B	DQSn14B/DQ14B	DQ7B	DQ2B
4B	VREFB4BN0	IO			DIFFIO_RX_B142p	DIFFOUT_B142p	R10	DQS48B	DQS14B/CQ14B	DQ7B/CQn7B	DQ2B
4B	VREFB4BN0	IO			DIFFIO_TX_B143n	DIFFOUT_B143n	W10	DQ48B	DQ14B	DQ7B	DQ2B
4B	VREFB4BN0	IO			DIFFIO_TX_B143p	DIFFOUT_B143p	W9	DQ48B	DQ14B	DQ7B	DQ2B
4B	VREFB4BN0	IO			DIFFIO_RX_B144n	DIFFOUT_B144n	V10	DQ48B	DQ14B	DQ7B	DQ2B
4B	VREFB4BN0	IO			DIFFIO_RX_B144p	DIFFOUT_B144p	U9	DQ48B	DQ14B	DQ7B	DQ2B
4B	VREFB4BN0	IO			DIFFIO_TX_B145n	DIFFOUT_B145n	AK11	DQ49B	DQ15B	DQ7B	DQ2B
4B	VREFB4BN0	IO			DIFFIO_TX_B145p	DIFFOUT_B145p	AK10	DQ49B	DQ15B	DQ7B	DQ2B
4B	VREFB4BN0	IO			DIFFIO_RX_B146n	DIFFOUT_B146n	AK9	DQSn49B	DQ15B	DQSn7B/DQ7B	DQ2B
4B	VREFB4BN0	IO			DIFFIO_RX_B146p	DIFFOUT_B146p	AJ9	DQS49B	DQ15B/CQn15B	DQS7B/CQ7B	DQ2B
4B	VREFB4BN0	IO			DIFFIO_TX_B147n	DIFFOUT_B147n	AM11	DQ49B	DQ15B	DQ7B	DQ2B
4B	VREFB4BN0	IO			DIFFIO_TX_B147p	DIFFOUT_B147p	AL11	DQ49B	DQ15B	DQ7B	DQ2B
4B	VREFB4BN0	IO			DIFFIO_RX_B148n	DIFFOUT_B148n	AM10	DQSn50B	DQSn15B/DQ15B	DQ7B	DQ2B
4B	VREFB4BN0	IO			DIFFIO_RX_B148p	DIFFOUT_B148p	AL10	DQS50B	DQS15B/CQ15B	DQ7B	DQ2B
4B	VREFB4BN0	IO			DIFFIO_TX_B149n	DIFFOUT_B149n	AP9	DQ50B	DQ15B	DQ7B	DQ2B
4B	VREFB4BN0	IO			DIFFIO_TX_B149p	DIFFOUT_B149p	AN9	DQ50B	DQ15B	DQ7B	DQ2B
4B	VREFB4BN0	IO			DIFFIO_RX_B150n	DIFFOUT_B150n	AP10	DQ50B	DQ15B	DQ7B	DQ2B
4B	VREFB4BN0	IO			DIFFIO_RX_B150p	DIFFOUT_B150p	AN10	DQ50B	DQ15B	DQ7B	DQ2B
4A	VREFB4AN0	IO			DIFFIO_TX_B151n	DIFFOUT_B151n	AD8	DQ51B	DQ16B	DQ8B	
4A	VREFB4AN0	IO			DIFFIO_TX_B151p	DIFFOUT_B151p	AD7	DQ51B	DQ16B	DQ8B	
4A	VREFB4AN0	IO	CLK11n		DIFFIO_RX_B152n	DIFFOUT_B152n	AC8	DQSn51B	DQ16B	DQ8B	
4A	VREFB4AN0	IO	CLK11p		DIFFIO_RX_B152p	DIFFOUT_B152p	AB8	DQS51B	DQ16B/CQn16B	DQ8B	

Bank Number	VREF	PinName/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Emulated LVDS Output Channel	F1152	DQS for X4	DQS for X8/X9	DQS for X16/ X18	DQS for X32/ X36
4A	VREFB4AN0	IO			DIFFIO_TX_B153n	DIFFOUT_B153n	AG7	DQ51B	DQ16B	DQ8B	
4A	VREFB4AN0	IO			DIFFIO_TX_B153p	DIFFOUT_B153p	AF7	DQ51B	DQ16B	DQ8B	
4A	VREFB4AN0	IO	CLK10n		DIFFIO_RX_B154n	DIFFOUT_B154n	AB7	DQSn52B	DQSn16B/DQ16B	DQ8B	
4A	VREFB4AN0	IO	CLK10p		DIFFIO_RX_B154p	DIFFOUT_B154p	AB6	DQS52B	DQS16B/CQ16B	DQ8B/CQn8B	
4A	VREFB4AN0	IO	FPLL_BR_CLKOUT1,FPLL_BR_CLKOUTn		DIFFIO_TX_B155n	DIFFOUT_B155n	AG6	DQ52B	DQ16B	DQ8B	
4A	VREFB4AN0	IO	FPLL_BR_CLKOUT0,FPLL_BR_CLKOUTp,FPLL_BR_FB0		DIFFIO_TX_B155p	DIFFOUT_B155p	AF6	DQ52B	DQ16B	DQ8B	
4A	VREFB4AN0	IO	FPLL_BR_CLKOUT3,FPLL_BR_FBn		DIFFIO_RX_B156n	DIFFOUT_B156n	AD6	DQ52B	DQ16B	DQ8B	
4A	VREFB4AN0	IO	FPLL_BR_CLKOUT2,FPLL_BR_FBp,FPLL_BR_FB1		DIFFIO_RX_B156p	DIFFOUT_B156p	AC6	DQ52B	DQ16B	DQ8B	
4A	VREFB4AN0	IO			DIFFIO_TX_B157n	DIFFOUT_B157n	AL8	DQ53B	DQ17B	DQ8B	
4A	VREFB4AN0	IO			DIFFIO_TX_B157p	DIFFOUT_B157p	AK8	DQ53B	DQ17B	DQ8B	
4A	VREFB4AN0	IO	CLK9n		DIFFIO_RX_B158n	DIFFOUT_B158n	AM7	DQSn53B	DQ17B	DQSn8B/DQ8B	
4A	VREFB4AN0	IO	CLK9p		DIFFIO_RX_B158p	DIFFOUT_B158p	AL7	DQS53B	DQ17B/CQn17B	DQS8B/CQ8B	
4A	VREFB4AN0	IO			DIFFIO_TX_B159n	DIFFOUT_B159n	AP7	DQ53B	DQ17B	DQ8B	
4A	VREFB4AN0	IO			DIFFIO_TX_B159p	DIFFOUT_B159p	AN7	DQ53B	DQ17B	DQ8B	
4A	VREFB4AN0	IO	CLK8n		DIFFIO_RX_B160n	DIFFOUT_B160n	AP4	DQSn54B	DQSn17B/DQ17B	DQ8B	
4A	VREFB4AN0	IO	CLK8p		DIFFIO_RX_B160p	DIFFOUT_B160p	AN4	DQS54B	DQS17B/CQ17B	DQ8B	
4A	VREFB4AN0	IO			DIFFIO_TX_B161n	DIFFOUT_B161n	AP6	DQ54B	DQ17B	DQ8B	
4A	VREFB4AN0	IO			DIFFIO_TX_B161p	DIFFOUT_B161p	AN6	DQ54B	DQ17B	DQ8B	
4A	VREFB4AN0	IO			DIFFIO_RX_B162n	DIFFOUT_B162n	AM5	DQ54B	DQ17B	DQ8B	
4A	VREFB4AN0	IO	RZQ_1		DIFFIO_RX_B162p	DIFFOUT_B162p	AM6	DQ54B	DQ17B	DQ8B	
4A		GND					AC5				
4A		nCE		nCE			AN3				
4A		nSTATUS		nSTATUS			AM4				
4A		CONF_DONE		CONF_DONE			AE5				
4A		nIO_PULLUP		nIO_PULLUP			AP3				
4A		MSEL0		MSEL0			AA6				
4A		MSEL1		MSEL1			AA5				
4A		MSEL2		MSEL2			AL5				
4A		MSEL3		MSEL3			AJ5				
4A		MSEL4		MSEL4			AG5				
GXB_R0		REFCLK0Rn					W5				
GXB_R0		REFCLK0Rp					W6				
GXB_R0		GXB_RX_R0p,GXB_REFCLK_R0p					AL2				
GXB_R0		GXB_RX_R0n,GXB_REFCLK_R0n					AL1				
GXB_R0		GXB_TX_R0p					AK4				
GXB_R0		GXB_TX_R0n					AK3				
GXB_R0		GXB_RX_R1p,GXB_REFCLK_R1p					AJ2				
GXB_R0		GXB_RX_R1n,GXB_REFCLK_R1n					AJ1				
GXB_R0		GXB_TX_R1p					AH4				
GXB_R0		GXB_TX_R1n					AH3				
GXB_R0		GXB_RX_R2p,GXB_REFCLK_R2p					AG2				
GXB_R0		GXB_RX_R2n,GXB_REFCLK_R2n					AG1				
GXB_R0		GXB_TX_R2p					AF4				
GXB_R0		GXB_TX_R2n					AF3				
GXB_R0		GXB_RX_R3p,GXB_REFCLK_R3p					AE2				
GXB_R0		GXB_RX_R3n,GXB_REFCLK_R3n					AE1				
GXB_R0		GXB_TX_R3p					AD4				
GXB_R0		GXB_TX_R3n					AD3				
GXB_R0		GXB_RX_R4p,GXB_REFCLK_R4p					AC2				
GXB_R0		GXB_RX_R4n,GXB_REFCLK_R4n					AC1				
GXB_R0		GXB_TX_R4p					AB4				
GXB_R0		GXB_TX_R4n					AB3				
GXB_R0		GXB_RX_R5p,GXB_REFCLK_R5p					AA2				
GXB_R0		GXB_RX_R5n,GXB_REFCLK_R5n					AA1				
GXB_R0		GXB_TX_R5p					Y4				
GXB_R0		GXB_TX_R5n					Y3				
GXB_R0		REFCLK1Rn					U6				
GXB_R0		REFCLK1Rp					U7				
GXB_R1		REFCLK2Rn					R5				
GXB_R1		REFCLK2Rp					R6				
GXB_R1		GXB_RX_R6p,GXB_REFCLK_R6p					W2				
GXB_R1		GXB_RX_R6n,GXB_REFCLK_R6n					W1				
GXB_R1		GXB_TX_R6p					V4				
GXB_R1		GXB_TX_R6n					V3				
GXB_R1		GXB_RX_R7p,GXB_REFCLK_R7p					U2				
GXB_R1		GXB_RX_R7n,GXB_REFCLK_R7n					U1				
GXB_R1		GXB_TX_R7p					T4				
GXB_R1		GXB_TX_R7n					T3				
GXB_R1		GXB_RX_R8p,GXB_REFCLK_R8p					R2				
GXB_R1		GXB_RX_R8n,GXB_REFCLK_R8n					R1				
GXB_R1		GXB_TX_R8p					P4				
GXB_R1		GXB_TX_R8n					P3				
GXB_R1		GXB_RX_R9p,GXB_REFCLK_R9p					N2				
GXB_R1		GXB_RX_R9n,GXB_REFCLK_R9n					N1				
GXB_R1		GXB_TX_R9p					M4				
GXB_R1		GXB_TX_R9n					M3				
GXB_R1		GXB_RX_R10p,GXB_REFCLK_R10p					L2				
GXB_R1		GXB_RX_R10n,GXB_REFCLK_R10n					L1				
GXB_R1		GXB_TX_R10p					K4				
GXB_R1		GXB_TX_R10n					K3				
GXB_R1		GXB_RX_R11p,GXB_REFCLK_R11p					J2				
GXB_R1		GXB_RX_R11n,GXB_REFCLK_R11n					J1				
GXB_R1		GXB_TX_R11p					H4				
GXB_R1		GXB_TX_R11n					H3				

Bank Number	VREF	PinName/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Emulated LVDS Output Channel	F1152	DQS for X4	DQS for X8/X9	DQS for X16/ X18	DQS for X32/ X36
GXB_R1		REFCLK3Rn					N6				
GXB_R1		REFCLK3Rp					N7				
7A		GND					J5				
7A	VREFB7AN0	IO	RZQ_4		DIFFIO_RX_T1p	DIFFOUT_T1p	F3	DQ1T			
7A	VREFB7AN0	IO			DIFFIO_RX_T1n	DIFFOUT_T1n	F4	DQ1T			
7A	VREFB7AN0	IO			DIFFIO_TX_T2p	DIFFOUT_T2p	E2	DQ1T			
7A	VREFB7AN0	IO			DIFFIO_TX_T2n	DIFFOUT_T2n	E3	DQ1T			
7A	VREFB7AN0	IO	CLK12p		DIFFIO_RX_T3p	DIFFOUT_T3p	E1	DQS1T			
7A	VREFB7AN0	IO	CLK12n		DIFFIO_RX_T3n	DIFFOUT_T3n	D1	DQSn1T			
7A	VREFB7AN0	IO	CLK13p		DIFFIO_RX_T5p	DIFFOUT_T5p	B2				
7A	VREFB7AN0	IO	CLK13n		DIFFIO_RX_T5n	DIFFOUT_T5n	A2				
7A	VREFB7AN0	IO	FPLL_TR_CLKOUT2,FPLL_TR_FBp,FPLL_TR_FB1		DIFFIO_RX_T7p	DIFFOUT_T7p	E4	DQ3T			
7A	VREFB7AN0	IO	FPLL_TR_CLKOUT3,FPLL_TR_FBn		DIFFIO_RX_T7n	DIFFOUT_T7n	E5	DQ3T			
7A	VREFB7AN0	IO	FPLL_TR_CLKOUT0,FPLL_TR_CLKOUTp,FPLL_TR_FB0		DIFFIO_TX_T8p	DIFFOUT_T8p	F5	DQ3T			
7A	VREFB7AN0	IO	FPLL_TR_CLKOUT1,FPLL_TR_CLKOUTn		DIFFIO_TX_T8n	DIFFOUT_T8n	E6	DQ3T			
7A	VREFB7AN0	IO	CLK14p		DIFFIO_RX_T9p	DIFFOUT_T9p	D6	DQS3T			
7A	VREFB7AN0	IO	CLK14n		DIFFIO_RX_T9n	DIFFOUT_T9n	D7	DQSn3T			
7A	VREFB7AN0	IO	CLK15p		DIFFIO_RX_T11p	DIFFOUT_T11p	B4				
7A	VREFB7AN0	IO	CLK15n		DIFFIO_RX_T11n	DIFFOUT_T11n	A4				
7B	VREFB7BN0	IO			DIFFIO_RX_T25p	DIFFOUT_T25p	E7	DQ9T	DQ3T	DQ2T	
7B	VREFB7BN0	IO			DIFFIO_RX_T25n	DIFFOUT_T25n	E8	DQ9T	DQ3T	DQ2T	
7B	VREFB7BN0	IO			DIFFIO_TX_T26p	DIFFOUT_T26p	G7	DQ9T	DQ3T	DQ2T	
7B	VREFB7BN0	IO			DIFFIO_TX_T26n	DIFFOUT_T26n	G8	DQ9T	DQ3T	DQ2T	
7B	VREFB7BN0	IO			DIFFIO_RX_T27p	DIFFOUT_T27p	D9	DQS9T	DQS3T/CQ3T	DQ2T	
7B	VREFB7BN0	IO			DIFFIO_RX_T27n	DIFFOUT_T27n	C9	DQSn9T	DQSn3T/DQ3T	DQ2T	
7B	VREFB7BN0	IO			DIFFIO_TX_T28p	DIFFOUT_T28p	F8	DQ10T	DQ3T	DQ2T	
7B	VREFB7BN0	IO			DIFFIO_TX_T28n	DIFFOUT_T28n	F9	DQ10T	DQ3T	DQ2T	
7B	VREFB7BN0	IO			DIFFIO_RX_T29p	DIFFOUT_T29p	E10	DQS10T	DQ3T/CQn3T	DQS2T/CQ2T	
7B	VREFB7BN0	IO			DIFFIO_RX_T29n	DIFFOUT_T29n	E9	DQSn10T	DQ3T	DQSn2T/DQ2T	
7B	VREFB7BN0	IO			DIFFIO_TX_T30p	DIFFOUT_T30p	D10	DQ10T	DQ3T	DQ2T	
7B	VREFB7BN0	IO			DIFFIO_TX_T30n	DIFFOUT_T30n	E11	DQ10T	DQ3T	DQ2T	
7B	VREFB7BN0	IO			DIFFIO_RX_T31p	DIFFOUT_T31p	T9	DQ11T	DQ4T	DQ2T	
7B	VREFB7BN0	IO			DIFFIO_RX_T31n	DIFFOUT_T31n	R9	DQ11T	DQ4T	DQ2T	
7B	VREFB7BN0	IO			DIFFIO_TX_T32p	DIFFOUT_T32p	N10	DQ11T	DQ4T	DQ2T	
7B	VREFB7BN0	IO			DIFFIO_TX_T32n	DIFFOUT_T32n	P10	DQ11T	DQ4T	DQ2T	
7B	VREFB7BN0	IO			DIFFIO_RX_T33p	DIFFOUT_T33p	L10	DQS11T	DQS4T/CQ4T	DQ2T/CQn2T	
7B	VREFB7BN0	IO			DIFFIO_RX_T33n	DIFFOUT_T33n	L9	DQSn11T	DQSn4T/DQ4T	DQ2T	
7B	VREFB7BN0	IO			DIFFIO_TX_T34p	DIFFOUT_T34p	K9	DQ12T	DQ4T	DQ2T	
7B	VREFB7BN0	IO			DIFFIO_TX_T34n	DIFFOUT_T34n	J9	DQ12T	DQ4T	DQ2T	
7B	VREFB7BN0	IO			DIFFIO_RX_T35p	DIFFOUT_T35p	J10	DQS12T	DQ4T/CQn4T	DQ2T	
7B	VREFB7BN0	IO			DIFFIO_RX_T35n	DIFFOUT_T35n	H10	DQSn12T	DQ4T	DQ2T	
7B	VREFB7BN0	IO			DIFFIO_TX_T36p	DIFFOUT_T36p	G10	DQ12T	DQ4T	DQ2T	
7B	VREFB7BN0	IO			DIFFIO_TX_T36n	DIFFOUT_T36n	G9	DQ12T	DQ4T	DQ2T	
7C	VREFB7CN0	IO			DIFFIO_RX_T37p	DIFFOUT_T37p	C15	DQ13T	DQ5T	DQ3T	DQ1T
7C	VREFB7CN0	IO			DIFFIO_RX_T37n	DIFFOUT_T37n	B14	DQ13T	DQ5T	DQ3T	DQ1T
7C	VREFB7CN0	IO			DIFFIO_TX_T38p	DIFFOUT_T38p	A13	DQ13T	DQ5T	DQ3T	DQ1T
7C	VREFB7CN0	IO			DIFFIO_TX_T38n	DIFFOUT_T38n	A14	DQ13T	DQ5T	DQ3T	DQ1T
7C	VREFB7CN0	IO			DIFFIO_RX_T39p	DIFFOUT_T39p	C16	DQS13T	DQS5T/CQ5T	DQ3T	DQ1T
7C	VREFB7CN0	IO			DIFFIO_RX_T39n	DIFFOUT_T39n	B16	DQSn13T	DQSn5T/DQ5T	DQ3T	DQ1T
7C	VREFB7CN0	IO			DIFFIO_TX_T40p	DIFFOUT_T40p	C13	DQ14T	DQ5T	DQ3T	DQ1T
7C	VREFB7CN0	IO			DIFFIO_TX_T40n	DIFFOUT_T40n	B13	DQ14T	DQ5T	DQ3T	DQ1T
7C	VREFB7CN0	IO			DIFFIO_RX_T41p	DIFFOUT_T41p	E16	DQS14T	DQ5T/CQn5T	DQS3T/CQ3T	DQ1T
7C	VREFB7CN0	IO			DIFFIO_RX_T41n	DIFFOUT_T41n	D16	DQSn14T	DQ5T	DQSn3T/DQ3T	DQ1T
7C	VREFB7CN0	IO			DIFFIO_TX_T42p	DIFFOUT_T42p	E15	DQ14T	DQ5T	DQ3T	DQ1T
7C	VREFB7CN0	IO			DIFFIO_TX_T42n	DIFFOUT_T42n	D15	DQ14T	DQ5T	DQ3T	DQ1T
7C	VREFB7CN0	IO			DIFFIO_RX_T43p	DIFFOUT_T43p	E12	DQ15T	DQ6T	DQ3T	DQ1T
7C	VREFB7CN0	IO			DIFFIO_RX_T43n	DIFFOUT_T43n	F12	DQ15T	DQ6T	DQ3T	DQ1T
7C	VREFB7CN0	IO			DIFFIO_TX_T44p	DIFFOUT_T44p	D12	DQ15T	DQ6T	DQ3T	DQ1T
7C	VREFB7CN0	IO			DIFFIO_TX_T44n	DIFFOUT_T44n	C12	DQ15T	DQ6T	DQ3T	DQ1T
7C	VREFB7CN0	IO			DIFFIO_RX_T45p	DIFFOUT_T45p	G11	DQS15T	DQS6T/CQ6T	DQ3T/CQn3T	DQ1T
7C	VREFB7CN0	IO			DIFFIO_RX_T45n	DIFFOUT_T45n	F11	DQSn15T	DQSn6T/DQ6T	DQ3T	DQ1T
7C	VREFB7CN0	IO			DIFFIO_TX_T46p	DIFFOUT_T46p	D13	DQ16T	DQ6T	DQ3T	DQ1T
7C	VREFB7CN0	IO			DIFFIO_TX_T46n	DIFFOUT_T46n	E13	DQ16T	DQ6T	DQ3T	DQ1T
7C	VREFB7CN0	IO			DIFFIO_RX_T47p	DIFFOUT_T47p	G15	DQS16T	DQ6T/CQn6T	DQ3T	DQS1T/CQ1T
7C	VREFB7CN0	IO			DIFFIO_RX_T47n	DIFFOUT_T47n	F15	DQSn16T	DQ6T	DQ3T	DQSn1T/DQ1T
7C	VREFB7CN0	IO			DIFFIO_TX_T48p	DIFFOUT_T48p	F14	DQ16T	DQ6T	DQ3T	DQ1T
7C	VREFB7CN0	IO			DIFFIO_TX_T48n	DIFFOUT_T48n	E14	DQ16T	DQ6T	DQ3T	DQ1T
7C	VREFB7CN0	IO			DIFFIO_RX_T49p	DIFFOUT_T49p	M12	DQ17T	DQ7T	DQ4T	DQ1T
7C	VREFB7CN0	IO			DIFFIO_RX_T49n	DIFFOUT_T49n	L11	DQ17T	DQ7T	DQ4T	DQ1T
7C	VREFB7CN0	IO			DIFFIO_TX_T50p	DIFFOUT_T50p	N11	DQ17T	DQ7T	DQ4T	DQ1T
7C	VREFB7CN0	IO			DIFFIO_TX_T50n	DIFFOUT_T50n	P11	DQ17T	DQ7T	DQ4T	DQ1T
7C	VREFB7CN0	IO			DIFFIO_RX_T51p	DIFFOUT_T51p	N12	DQS17T	DQS7T/CQ7T	DQ4T	DQ1T/CQn1T
7C	VREFB7CN0	IO			DIFFIO_RX_T51n	DIFFOUT_T51n	N13	DQSn17T	DQSn7T/DQ7T	DQ4T	DQ1T
7C	VREFB7CN0	IO			DIFFIO_TX_T52p	DIFFOUT_T52p	H11	DQ18T	DQ7T	DQ4T	DQ1T
7C	VREFB7CN0	IO			DIFFIO_TX_T52n	DIFFOUT_T52n	G12	DQ18T	DQ7T	DQ4T	DQ1T
7C	VREFB7CN0	IO			DIFFIO_RX_T53p	DIFFOUT_T53p	K12	DQS18T	DQ7T/CQn7T	DQS4T/CQ4T	DQ1T
7C	VREFB7CN0	IO			DIFFIO_RX_T53n	DIFFOUT_T53n	J12	DQSn18T	DQ7T	DQSn4T/DQ4T	DQ1T
7C	VREFB7CN0	IO			DIFFIO_TX_T54p	DIFFOUT_T54p	L12	DQ18T	DQ7T	DQ4T	DQ1T
7C	VREFB7CN0	IO			DIFFIO_TX_T54n	DIFFOUT_T54n	L13	DQ18T	DQ7T	DQ4T	DQ1T
7C	VREFB7CN0	IO			DIFFIO_RX_T55p	DIFFOUT_T55p	H13	DQ19T	DQ8T	DQ4T	DQ1T
7C	VREFB7CN0	IO			DIFFIO_RX_T55n	DIFFOUT_T55n	G13	DQ19T	DQ8T	DQ4T	DQ1T
7C	VREFB7CN0	IO			DIFFIO_TX_T56p	DIFFOUT_T56p	H14	DQ19T	DQ8T	DQ4T	DQ1T
7C	VREFB7CN0	IO			DIFFIO_TX_T56n	DIFFOUT_T56n	G14	DQ19T	DQ8T	DQ4T	DQ1T
7C	VREFB7CN0	IO			DIFFIO_RX_T57p	DIFFOUT_T57p	J14	DQS19T	DQS8T/CQ8T	DQ4T/CQn4T	DQ1T

Bank Number	VREF	PinName/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Emulated LVDS Output Channel	F1152	DQS for X4	DQS for X8/X9	DQS for X16/ X18	DQS for X32/ X36
7C	VREFB7CN0	IO			DIFFIO_RX_T57n	DIFFOUT_T57n	J13	DQSn19T	DQSn8T/DQ8T	DQ4T	DQ1T
7C	VREFB7CN0	IO			DIFFIO_TX_T58p	DIFFOUT_T58p	H16	DQ20T	DQ8T	DQ4T	DQ1T
7C	VREFB7CN0	IO			DIFFIO_TX_T58n	DIFFOUT_T58n	G16	DQ20T	DQ8T	DQ4T	DQ1T
7C	VREFB7CN0	IO			DIFFIO_RX_T59p	DIFFOUT_T59p	J15	DQS20T	DQ8T/CQn8T	DQ4T	DQ1T
7C	VREFB7CN0	IO			DIFFIO_RX_T59n	DIFFOUT_T59n	K15	DQSn20T	DQ8T	DQ4T	DQ1T
7C	VREFB7CN0	IO			DIFFIO_TX_T60p	DIFFOUT_T60p	K14	DQ20T	DQ8T	DQ4T	DQ1T
7C	VREFB7CN0	IO			DIFFIO_TX_T60n	DIFFOUT_T60n	K13	DQ20T	DQ8T	DQ4T	DQ1T
7D	VREFB7DN0	IO			DIFFIO_RX_T61p	DIFFOUT_T61p	A16	DQ21T	DQ9T	DQ5T	
7D	VREFB7DN0	IO			DIFFIO_RX_T61n	DIFFOUT_T61n	A17	DQ21T	DQ9T	DQ5T	
7D	VREFB7DN0	IO			DIFFIO_TX_T62p	DIFFOUT_T62p	C17	DQ21T	DQ9T	DQ5T	
7D	VREFB7DN0	IO			DIFFIO_TX_T62n	DIFFOUT_T62n	B17	DQ21T	DQ9T	DQ5T	
7D	VREFB7DN0	IO			DIFFIO_RX_T63p	DIFFOUT_T63p	D18	DQS21T	DQS9T/CQ9T	DQ5T	
7D	VREFB7DN0	IO			DIFFIO_RX_T63n	DIFFOUT_T63n	E19	DQSn21T	DQSn9T/DQ9T	DQ5T	
7D	VREFB7DN0	IO			DIFFIO_TX_T64p	DIFFOUT_T64p	B19	DQ22T	DQ9T	DQ5T	
7D	VREFB7DN0	IO			DIFFIO_TX_T64n	DIFFOUT_T64n	A19	DQ22T	DQ9T	DQ5T	
7D	VREFB7DN0	IO			DIFFIO_RX_T65p	DIFFOUT_T65p	D19	DQS22T	DQ9T/CQn9T	DQS5T/CQ5T	
7D	VREFB7DN0	IO			DIFFIO_RX_T65n	DIFFOUT_T65n	C19	DQSn22T	DQ9T	DQSn5T/DQ5T	
7D	VREFB7DN0	IO			DIFFIO_TX_T66p	DIFFOUT_T66p	B20	DQ22T	DQ9T	DQ5T	
7D	VREFB7DN0	IO			DIFFIO_TX_T66n	DIFFOUT_T66n	A20	DQ22T	DQ9T	DQ5T	
7D	VREFB7DN0	IO	CLK19p		DIFFIO_RX_T67p	DIFFOUT_T67p	J19	DQ23T	DQ10T	DQ5T	
7D	VREFB7DN0	IO	CLK19n		DIFFIO_RX_T67n	DIFFOUT_T67n	J18	DQ23T	DQ10T	DQ5T	
7D	VREFB7DN0	IO			DIFFIO_TX_T68p	DIFFOUT_T68p	J16	DQ23T	DQ10T	DQ5T	
7D	VREFB7DN0	IO			DIFFIO_TX_T68n	DIFFOUT_T68n	K16	DQ23T	DQ10T	DQ5T	
7D	VREFB7DN0	IO	CLK18p		DIFFIO_RX_T69p	DIFFOUT_T69p	H19	DQS23T	DQS10T/CQ10T	DQ5T/CQn5T	
7D	VREFB7DN0	IO	CLK18n		DIFFIO_RX_T69n	DIFFOUT_T69n	G19	DQSn23T	DQSn10T/DQ10T	DQ5T	
7D	VREFB7DN0	IO			DIFFIO_TX_T70p	DIFFOUT_T70p	H17	DQ24T	DQ10T	DQ5T	
7D	VREFB7DN0	IO			DIFFIO_TX_T70n	DIFFOUT_T70n	G17	DQ24T	DQ10T	DQ5T	
7D	VREFB7DN0	IO	FPLL_TC_CLKOUT2,FPLL_TC_FBp,FPLL_TC_FB1		DIFFIO_RX_T71p	DIFFOUT_T71p	E17	DQS24T	DQ10T/CQn10T	DQ5T	
7D	VREFB7DN0	IO	FPLL_TC_CLKOUT3,FPLL_TC_FBn		DIFFIO_RX_T71n	DIFFOUT_T71n	F17	DQSn24T	DQ10T	DQ5T	
7D	VREFB7DN0	IO	FPLL_TC_CLKOUT0,FPLL_TC_CLKOUTp,FPLL_TC_FB0		DIFFIO_TX_T72p	DIFFOUT_T72p	F18	DQ24T	DQ10T	DQ5T	
7D	VREFB7DN0	IO	FPLL_TC_CLKOUT1,FPLL_TC_CLKOUTn		DIFFIO_TX_T72n	DIFFOUT_T72n	E18	DQ24T	DQ10T	DQ5T	
7D	VREFB7DN0	IO			DIFFIO_RX_T73p	DIFFOUT_T73p	J21	DQ25T	DQ11T		
7D	VREFB7DN0	IO			DIFFIO_RX_T73n	DIFFOUT_T73n	J22	DQ25T	DQ11T		
7D	VREFB7DN0	IO			DIFFIO_TX_T74p	DIFFOUT_T74p	K21	DQ25T	DQ11T		
7D	VREFB7DN0	IO			DIFFIO_TX_T74n	DIFFOUT_T74n	J20	DQ25T	DQ11T		
7D	VREFB7DN0	IO			DIFFIO_RX_T75p	DIFFOUT_T75p	G21	DQS25T	DQS11T/CQ11T		
7D	VREFB7DN0	IO			DIFFIO_RX_T75n	DIFFOUT_T75n	F21	DQSn25T	DQSn11T/DQ11T		
7D	VREFB7DN0	IO			DIFFIO_TX_T76p	DIFFOUT_T76p	H20	DQ26T	DQ11T		
7D	VREFB7DN0	IO			DIFFIO_TX_T76n	DIFFOUT_T76n	G20	DQ26T	DQ11T		
7D	VREFB7DN0	IO			DIFFIO_RX_T77p	DIFFOUT_T77p	E21	DQS26T	DQ11T/CQn11T		
7D	VREFB7DN0	IO			DIFFIO_RX_T77n	DIFFOUT_T77n	D21	DQSn26T	DQ11T		
7D	VREFB7DN0	IO			DIFFIO_TX_T78p	DIFFOUT_T78p	F20	DQ26T	DQ11T		
7D	VREFB7DN0	IO			DIFFIO_TX_T78n	DIFFOUT_T78n	E20	DQ26T	DQ11T		
8D	VREFB8DN0	IO	CLK17p		DIFFIO_RX_T85p	DIFFOUT_T85p	A21	DQ29T	DQ12T	DQ6T	
8D	VREFB8DN0	IO	CLK17n		DIFFIO_RX_T85n	DIFFOUT_T85n	A22	DQ29T	DQ12T	DQ6T	
8D	VREFB8DN0	IO			DIFFIO_TX_T86p	DIFFOUT_T86p	C21	DQ29T	DQ12T	DQ6T	
8D	VREFB8DN0	IO			DIFFIO_TX_T86n	DIFFOUT_T86n	B22	DQ29T	DQ12T	DQ6T	
8D	VREFB8DN0	IO	CLK16p		DIFFIO_RX_T87p	DIFFOUT_T87p	B23	DQS29T	DQS12T/CQ12T	DQ6T	
8D	VREFB8DN0	IO	CLK16n		DIFFIO_RX_T87n	DIFFOUT_T87n	A23	DQSn29T	DQSn12T/DQ12T	DQ6T	
8D	VREFB8DN0	IO			DIFFIO_TX_T88p	DIFFOUT_T88p	E24	DQ30T	DQ12T	DQ6T	
8D	VREFB8DN0	IO			DIFFIO_TX_T88n	DIFFOUT_T88n	E23	DQ30T	DQ12T	DQ6T	
8D	VREFB8DN0	IO			DIFFIO_RX_T89p	DIFFOUT_T89p	D22	DQS30T	DQ12T/CQn12T	DQS6T/CQ6T	
8D	VREFB8DN0	IO			DIFFIO_RX_T89n	DIFFOUT_T89n	C22	DQSn30T	DQ12T	DQSn6T/DQ6T	
8D	VREFB8DN0	IO			DIFFIO_TX_T90p	DIFFOUT_T90p	C23	DQ30T	DQ12T	DQ6T	
8D	VREFB8DN0	IO			DIFFIO_TX_T90n	DIFFOUT_T90n	D24	DQ30T	DQ12T	DQ6T	
8D	VREFB8DN0	IO			DIFFIO_RX_T91p	DIFFOUT_T91p	M24	DQ31T	DQ13T	DQ6T	
8D	VREFB8DN0	IO			DIFFIO_RX_T91n	DIFFOUT_T91n	M23	DQ31T	DQ13T	DQ6T	
8D	VREFB8DN0	IO			DIFFIO_TX_T92p	DIFFOUT_T92p	M22	DQ31T	DQ13T	DQ6T	
8D	VREFB8DN0	IO			DIFFIO_TX_T92n	DIFFOUT_T92n	L22	DQ31T	DQ13T	DQ6T	
8D	VREFB8DN0	IO			DIFFIO_RX_T93p	DIFFOUT_T93p	L23	DQS31T	DQS13T/CQ13T	DQ6T/CQn6T	
8D	VREFB8DN0	IO			DIFFIO_RX_T93n	DIFFOUT_T93n	K22	DQSn31T	DQSn13T/DQ13T	DQ6T	
8D	VREFB8DN0	IO			DIFFIO_TX_T94p	DIFFOUT_T94p	H22	DQ32T	DQ13T	DQ6T	
8D	VREFB8DN0	IO			DIFFIO_TX_T94n	DIFFOUT_T94n	G22	DQ32T	DQ13T	DQ6T	
8D	VREFB8DN0	IO			DIFFIO_RX_T95p	DIFFOUT_T95p	F23	DQS32T	DQ13T/CQn13T	DQ6T	
8D	VREFB8DN0	IO			DIFFIO_RX_T95n	DIFFOUT_T95n	E22	DQSn32T	DQ13T	DQ6T	
8D	VREFB8DN0	IO			DIFFIO_TX_T96p	DIFFOUT_T96p	H23	DQ32T	DQ13T	DQ6T	
8D	VREFB8DN0	IO			DIFFIO_TX_T96n	DIFFOUT_T96n	G23	DQ32T	DQ13T	DQ6T	
8C	VREFB8CN0	IO			DIFFIO_RX_T97p	DIFFOUT_T97p	A26	DQ33T	DQ14T	DQ7T	DQ2T
8C	VREFB8CN0	IO			DIFFIO_RX_T97n	DIFFOUT_T97n	A25	DQ33T	DQ14T	DQ7T	DQ2T
8C	VREFB8CN0	IO			DIFFIO_TX_T98p	DIFFOUT_T98p	C25	DQ33T	DQ14T	DQ7T	DQ2T
8C	VREFB8CN0	IO			DIFFIO_TX_T98n	DIFFOUT_T98n	B25	DQ33T	DQ14T	DQ7T	DQ2T
8C	VREFB8CN0	IO			DIFFIO_RX_T99p	DIFFOUT_T99p	B26	DQS33T	DQS14T/CQ14T	DQ7T	DQ2T
8C	VREFB8CN0	IO			DIFFIO_RX_T99n	DIFFOUT_T99n	C27	DQSn33T	DQSn14T/DQ14T	DQ7T	DQ2T
8C	VREFB8CN0	IO			DIFFIO_TX_T100p	DIFFOUT_T100p	B28	DQ34T	DQ14T	DQ7T	DQ2T
8C	VREFB8CN0	IO			DIFFIO_TX_T100n	DIFFOUT_T100n	A28	DQ34T	DQ14T	DQ7T	DQ2T
8C	VREFB8CN0	IO			DIFFIO_RX_T101p	DIFFOUT_T101p	E27	DQS34T	DQ14T/CQn14T	DQS7T/CQ7T	DQ2T
8C	VREFB8CN0	IO			DIFFIO_RX_T101n	DIFFOUT_T101n	D27	DQSn34T	DQ14T	DQSn7T/DQ7T	DQ2T
8C	VREFB8CN0	IO			DIFFIO_TX_T102p	DIFFOUT_T102p	C28	DQ34T	DQ14T	DQ7T	DQ2T
8C	VREFB8CN0	IO			DIFFIO_TX_T102n	DIFFOUT_T102n	D28	DQ34T	DQ14T	DQ7T	DQ2T
8C	VREFB8CN0	IO			DIFFIO_RX_T103p	DIFFOUT_T103p	L24	DQ35T	DQ15T	DQ7T	DQ2T
8C	VREFB8CN0	IO			DIFFIO_RX_T103n	DIFFOUT_T103n	K24	DQ35T	DQ15T	DQ7T	DQ2T
8C	VREFB8CN0	IO			DIFFIO_TX_T104p	DIFFOUT_T104p	K25	DQ35T	DQ15T	DQ7T	DQ2T
8C	VREFB8CN0	IO			DIFFIO_TX_T104n	DIFFOUT_T104n	J24	DQ35T	DQ15T	DQ7T	DQ2T
8C	VREFB8CN0	IO			DIFFIO_RX_T105p	DIFFOUT_T105p	J25	DQS35T	DQS15T/CQ15T	DQ7T/CQn7T	DQ2T

Bank Number	VREF	PinName/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Emulated LVDS Output Channel	F1152	DQS for X4	DQS for X8/X9	DQS for X16/ X18	DQS for X32/ X36
8C	VREFB8CN0	IO			DIFFIO_RX_T105n	DIFFOUT_T105n	J26	DQSn35T	DQSn15T/DQ15T	DQ7T	DQ2T
8C	VREFB8CN0	IO			DIFFIO_TX_T106p	DIFFOUT_T106p	L25	DQ36T	DQ15T	DQ7T	DQ2T
8C	VREFB8CN0	IO			DIFFIO_TX_T106n	DIFFOUT_T106n	L26	DQ36T	DQ15T	DQ7T	DQ2T
8C	VREFB8CN0	IO			DIFFIO_RX_T107p	DIFFOUT_T107p	P25	DQS36T	DQ15T/CQn15T	DQ7T	DQS2T/CQ2T
8C	VREFB8CN0	IO			DIFFIO_RX_T107n	DIFFOUT_T107n	P26	DQSn36T	DQ15T	DQ7T	DQSn2T/DQ2T
8C	VREFB8CN0	IO			DIFFIO_TX_T108p	DIFFOUT_T108p	N26	DQ36T	DQ15T	DQ7T	DQ2T
8C	VREFB8CN0	IO			DIFFIO_TX_T108n	DIFFOUT_T108n	M26	DQ36T	DQ15T	DQ7T	DQ2T
8C	VREFB8CN0	IO			DIFFIO_RX_T109p	DIFFOUT_T109p	K27	DQ37T	DQ16T	DQ8T	DQ2T
8C	VREFB8CN0	IO			DIFFIO_RX_T109n	DIFFOUT_T109n	J27	DQ37T	DQ16T	DQ8T	DQ2T
8C	VREFB8CN0	IO			DIFFIO_TX_T110p	DIFFOUT_T110p	H25	DQ37T	DQ16T	DQ8T	DQ2T
8C	VREFB8CN0	IO			DIFFIO_TX_T110n	DIFFOUT_T110n	G25	DQ37T	DQ16T	DQ8T	DQ2T
8C	VREFB8CN0	IO			DIFFIO_RX_T111p	DIFFOUT_T111p	G26	DQS37T	DQS16T/CQ16T	DQ8T	DQ2T/CQn2T
8C	VREFB8CN0	IO			DIFFIO_RX_T111n	DIFFOUT_T111n	G27	DQSn37T	DQSn16T/DQ16T	DQ8T	DQ2T
8C	VREFB8CN0	IO			DIFFIO_TX_T112p	DIFFOUT_T112p	L27	DQ38T	DQ16T	DQ8T	DQ2T
8C	VREFB8CN0	IO			DIFFIO_TX_T112n	DIFFOUT_T112n	M27	DQ38T	DQ16T	DQ8T	DQ2T
8C	VREFB8CN0	IO			DIFFIO_RX_T113p	DIFFOUT_T113p	K28	DQS38T	DQ16T/CQn16T	DQS8T/CQ8T	DQ2T
8C	VREFB8CN0	IO			DIFFIO_RX_T113n	DIFFOUT_T113n	J28	DQSn38T	DQ16T	DQSn8T/DQ8T	DQ2T
8C	VREFB8CN0	IO			DIFFIO_TX_T114p	DIFFOUT_T114p	L28	DQ38T	DQ16T	DQ8T	DQ2T
8C	VREFB8CN0	IO			DIFFIO_TX_T114n	DIFFOUT_T114n	L29	DQ38T	DQ16T	DQ8T	DQ2T
8C	VREFB8CN0	IO			DIFFIO_RX_T115p	DIFFOUT_T115p	G24	DQ39T	DQ17T	DQ8T	DQ2T
8C	VREFB8CN0	IO			DIFFIO_RX_T115n	DIFFOUT_T115n	F24	DQ39T	DQ17T	DQ8T	DQ2T
8C	VREFB8CN0	IO			DIFFIO_TX_T116p	DIFFOUT_T116p	F26	DQ39T	DQ17T	DQ8T	DQ2T
8C	VREFB8CN0	IO			DIFFIO_TX_T116n	DIFFOUT_T116n	E26	DQ39T	DQ17T	DQ8T	DQ2T
8C	VREFB8CN0	IO			DIFFIO_RX_T117p	DIFFOUT_T117p	E25	DQS39T	DQS17T/CQ17T	DQ8T/CQn8T	DQ2T
8C	VREFB8CN0	IO			DIFFIO_RX_T117n	DIFFOUT_T117n	D25	DQSn39T	DQSn17T/DQ17T	DQ8T	DQ2T
8C	VREFB8CN0	IO			DIFFIO_TX_T118p	DIFFOUT_T118p	H28	DQ40T	DQ17T	DQ8T	DQ2T
8C	VREFB8CN0	IO			DIFFIO_TX_T118n	DIFFOUT_T118n	G28	DQ40T	DQ17T	DQ8T	DQ2T
8C	VREFB8CN0	IO			DIFFIO_RX_T119p	DIFFOUT_T119p	F27	DQS40T	DQ17T/CQn17T	DQ8T	DQ2T
8C	VREFB8CN0	IO			DIFFIO_RX_T119n	DIFFOUT_T119n	E28	DQSn40T	DQ17T	DQ8T	DQ2T
8C	VREFB8CN0	IO			DIFFIO_TX_T120p	DIFFOUT_T120p	J29	DQ40T	DQ17T	DQ8T	DQ2T
8C	VREFB8CN0	IO			DIFFIO_TX_T120n	DIFFOUT_T120n	H29	DQ40T	DQ17T	DQ8T	DQ2T
8A	VREFB8AN0	IO	CLK23p		DIFFIO_RX_T145p	DIFFOUT_T145p	B29				
8A	VREFB8AN0	IO	CLK23n		DIFFIO_RX_T145n	DIFFOUT_T145n	A29				
8A	VREFB8AN0	IO	CLK22p		DIFFIO_RX_T147p	DIFFOUT_T147p	B32				
8A	VREFB8AN0	IO	CLK22n		DIFFIO_RX_T147n	DIFFOUT_T147n	A33				
8A	VREFB8AN0	IO	FPLL_TL_CLKOUT2,FPLL_TL_FBp,FPLL_TL_FB1		DIFFIO_RX_T149p	DIFFOUT_T149p	C34				
8A	VREFB8AN0	IO	FPLL_TL_CLKOUT3,FPLL_TL_FBn		DIFFIO_RX_T149n	DIFFOUT_T149n	B34				
8A	VREFB8AN0	IO	FPLL_TL_CLKOUT0,FPLL_TL_CLKOUTp,FPLL_TL_FB0		DIFFIO_TX_T150p	DIFFOUT_T150p	C32				
8A	VREFB8AN0	IO	FPLL_TL_CLKOUT1,FPLL_TL_CLKOUTn		DIFFIO_TX_T150n	DIFFOUT_T150n	C33				
8A	VREFB8AN0	IO	CLK21p		DIFFIO_RX_T151p	DIFFOUT_T151p	E30				
8A	VREFB8AN0	IO	CLK21n		DIFFIO_RX_T151n	DIFFOUT_T151n	D30				
8A	VREFB8AN0	IO	CLK20p		DIFFIO_RX_T153p	DIFFOUT_T153p	E31				
8A	VREFB8AN0	IO	CLK20n		DIFFIO_RX_T153n	DIFFOUT_T153n	D31				
8A	VREFB8AN0	IO			DIFFIO_RX_T155p	DIFFOUT_T155p	F32				
8A	VREFB8AN0	IO	RZQ_5		DIFFIO_RX_T155n	DIFFOUT_T155n	F31				
		GND					AA31				
		GND					AA32				
		GND					AB33				
		GND					AB34				
		GND					AC31				
		GND					AC32				
		GND					AD33				
		GND					AD34				
		GND					AE31				
		GND					AE32				
		GND					AF33				
		GND					AF34				
		GND					AG31				
		GND					AG32				
		GND					AH33				
		GND					AH34				
		GND					AJ31				
		GND					AJ32				
		GND					AK33				
		GND					AK34				
		GND					AL31				
		GND					AL32				
		GND					AM32				
		GND					AM33				
		GND					AM34				
		GND					F33				
		GND					F34				
		GND					G31				
		GND					G32				
		GND					G33				
		GND					H33				
		GND					H34				
		GND					J31				
		GND					J32				
		GND					K33				
		GND					K34				
		GND					L31				
		GND					L32				
		GND					M33				

Bank Number	VREF	PinName/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Emulated LVDS Output Channel	F1152	DQS for X4	DQS for X8/X9	DQS for X16/ X18	DQS for X32/ X36
		GND					M34				
		GND					N31				
		GND					N32				
		GND					P27				
		GND					P29				
		GND					P33				
		GND					P34				
		GND					R31				
		GND					R32				
		GND					T28				
		GND					T30				
		GND					T33				
		GND					T34				
		GND					U31				
		GND					U32				
		GND					V29				
		GND					V33				
		GND					V34				
		GND					W31				
		GND					W32				
		GND					Y28				
		GND					Y30				
		GND					Y33				
		GND					Y34				
		GND					AA3				
		GND					AA4				
		GND					AB1				
		GND					AB2				
		GND					AC3				
		GND					AC4				
		GND					AD1				
		GND					AD2				
		GND					AE3				
		GND					AE4				
		GND					AF1				
		GND					AF2				
		GND					AG3				
		GND					AG4				
		GND					AH1				
		GND					AH2				
		GND					AJ3				
		GND					AJ4				
		GND					AK1				
		GND					AK2				
		GND					AL3				
		GND					AL4				
		GND					AM1				
		GND					AM2				
		GND					AM3				
		GND					F1				
		GND					F2				
		GND					G2				
		GND					G3				
		GND					G4				
		GND					H1				
		GND					H2				
		GND					J3				
		GND					J4				
		GND					K1				
		GND					K2				
		GND					L3				
		GND					L4				
		GND					M1				
		GND					M2				
		GND					N3				
		GND					N4				
		GND					P1				
		GND					P2				
		GND					P6				
		GND					R3				
		GND					R4				
		GND					T1				
		GND					T2				
		GND					T5				
		GND					T7				
		GND					U3				
		GND					U4				
		GND					U8				
		GND					V1				
		GND					V2				
		GND					V6				
		GND					W3				
		GND					W4				
		GND					Y1				

Bank Number	VREF	PinName/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Emulated LVDS Output Channel	F1152	DQS for X4	DQS for X8/X9	DQS for X16/ X18	DQS for X32/ X36
		GND					Y2				
		GND					Y5				
		GND					Y7				
		GND					P13				
		GND					R13				
		GND					T13				
		GND					AA11				
		GND					AA16				
		GND					AA19				
		GND					AA23				
		GND					AA26				
		GND					AA7				
		GND					AB17				
		GND					AB30				
		GND					AB5				
		GND					AC10				
		GND					AC13				
		GND					AC16				
		GND					AC19				
		GND					AC22				
		GND					AC25				
		GND					AC7				
		GND					AD30				
		GND					AD5				
		GND					AE12				
		GND					AE15				
		GND					AE18				
		GND					AE21				
		GND					AE24				
		GND					AE27				
		GND					AE6				
		GND					AE9				
		GND					AF30				
		GND					AF5				
		GND					AG11				
		GND					AG14				
		GND					AG17				
		GND					AG20				
		GND					AG23				
		GND					AG26				
		GND					AG29				
		GND					AG8				
		GND					AH30				
		GND					AH5				
		GND					AJ10				
		GND					AJ13				
		GND					AJ16				
		GND					AJ19				
		GND					AJ22				
		GND					AJ25				
		GND					AJ28				
		GND					AJ7				
		GND					AK30				
		GND					AK5				
		GND					AL12				
		GND					AL15				
		GND					AL18				
		GND					AL21				
		GND					AL24				
		GND					AL27				
		GND					AL6				
		GND					AL9				
		GND					AN11				
		GND					AN14				
		GND					AN17				
		GND					AN20				
		GND					AN23				
		GND					AN26				
		GND					AN29				
		GND					AN32				
		GND					AN5				
		GND					AN8				
		GND					B12				
		GND					B15				
		GND					B18				
		GND					B21				
		GND					B24				
		GND					B27				
		GND					B3				
		GND					B30				
		GND					B33				
		GND					B6				
		GND					B9				
		GND					C1				

Bank Number	VREF	PinName/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Emulated LVDS Output Channel	F1152	DQS for X4	DQS for X8/X9	DQS for X16/ X18	DQS for X32/ X36
		GND					D11				
		GND					D14				
		GND					D17				
		GND					D2				
		GND					D20				
		GND					D23				
		GND					D26				
		GND					D29				
		GND					D32				
		GND					D5				
		GND					D8				
		GND					E33				
		GND					F10				
		GND					F13				
		GND					F16				
		GND					F19				
		GND					F22				
		GND					F25				
		GND					F28				
		GND					F7				
		GND					G30				
		GND					H12				
		GND					H15				
		GND					H18				
		GND					H21				
		GND					H24				
		GND					H27				
		GND					H30				
		GND					H5				
		GND					H6				
		GND					H9				
		GND					K11				
		GND					K23				
		GND					K26				
		GND					K29				
		GND					K30				
		GND					K5				
		GND					K8				
		GND					L14				
		GND					L16				
		GND					L18				
		GND					L20				
		GND					L30				
		GND					M10				
		GND					M13				
		GND					M17				
		GND					M21				
		GND					M25				
		GND					M28				
		GND					M29				
		GND					M30				
		GND					M5				
		GND					M7				
		GND					N15				
		GND					N20				
		GND					N22				
		GND					N27				
		GND					N8				
		GND					P14				
		GND					P18				
		GND					P23				
		GND					P8				
		GND					P9				
		GND					R12				
		GND					R17				
		GND					R21				
		GND					R25				
		GND					T11				
		GND					T15				
		GND					T26				
		GND					U23				
		GND					U27				
		GND					V12				
		GND					V14				
		GND					V16				
		GND					V18				
		GND					V20				
		GND					V26				
		GND					V9				
		GND					W23				
		GND					Y13				
		GND					Y15				
		GND					Y20				
		GND					Y8				

Bank Number	VREF	PinName/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Emulated LVDS Output Channel	F1152	DQS for X4	DQS for X8/X9	DQS for X16/ X18	DQS for X32/ X36
		GND					U17				
		VCC					L15				
		VCC					L17				
		VCC					L19				
		VCC					L21				
		VCC					V15				
		VCC					V17				
		VCC					V19				
		VCC					V21				
		VCC					M14				
		VCC					M15				
		VCC					M16				
		VCC					M18				
		VCC					M19				
		VCC					M20				
		VCC					N14				
		VCC					N16				
		VCC					N17				
		VCC					N18				
		VCC					N19				
		VCC					N21				
		VCC					P15				
		VCC					P16				
		VCC					P17				
		VCC					P19				
		VCC					P20				
		VCC					P21				
		VCC					R14				
		VCC					R15				
		VCC					R16				
		VCC					R18				
		VCC					R19				
		VCC					R20				
		VCC					T14				
		VCC					T16				
		VCC					T19				
		VCC					T20				
		VCC					T21				
		VCC					U14				
		VCC					U15				
		VCC					U16				
		VCC					U18				
		VCC					U19				
		VCC					U20				
		VCC					U21				
		VCC					T18				
		VCCPT					AA10				
		VCCPT					AA17				
		VCCPT					AB25				
		VCCPT					K19				
		VCCPT					M11				
		VCCPT					N25				
		DNU					AN33				
		DNU					AP33				
		DNU					AL30				
		DNU					AE17				
		DNU					AP2				
		DNU					AN2				
		DNU					G5				
		DNU					K20				
		DNU					T17				
		VCCPGM					AH28				
		VCCPGM					AK7				
		TEMPDIODEn					M6				
		TEMPDIODEp					L5				
		VCCBAT					AH7				
		VCCIO3A					AM27				
		VCCIO3A					AP29				
		VCCIO3B					AP23				
		VCCIO3B					AP26				
		VCCIO3D					AP17				
		VCCIO4A					AP5				
		VCCIO4B					AM9				
		VCCIO4B					AP8				
		VCCIO4D					AM15				
		VCCIO7A					A3				
		VCCIO7B					A6				
		VCCIO7B					A9				
		VCCIO7C					A12				
		VCCIO7C					A15				
		VCCIO7D					A18				
		VCCIO7D					C20				
		VCCIO8A					A30				
		VCCIO8C					A27				

Bank Number	VREF	PinName/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Emulated LVDS Output Channel	F1152	DQS for X4	DQS for X8/X9	DQS for X16/ X18	DQS for X32/ X36
		VCCIO8C					C26				
		VCCIO8D					A24				
		VCCPD3AB					AM24				
		VCCPD3AB					AM29				
		VCCPD3CD					AL20				
		VCCPD4					AM12				
		VCCPD4					AM8				
		VCCPD7					C14				
		VCCPD7					C18				
		VCCPD7					C8				
		VCCPD8					C24				
		VCCPD8					C30				
3A	VREFB3AN0	VREFB3AN0					AD27				
3B	VREFB3BN0	VREFB3BN0					AD25				
3D	VREFB3DN0	VREFB3DN0					AD19				
4A	VREFB4AN0	VREFB4AN0					AE7				
4B	VREFB4BN0	VREFB4BN0					AD10				
4D	VREFB4DN0	VREFB4DN0					AB16				
7A	VREFB7AN0	VREFB7AN0					C5				
7B	VREFB7BN0	VREFB7BN0					K10				
7C	VREFB7CN0	VREFB7CN0					J11				
7D	VREFB7DN0	VREFB7DN0					J17				
8A	VREFB8AN0	VREFB8AN0					C29				
8C	VREFB8CN0	VREFB8CN0					H26				
8D	VREFB8DN0	VREFB8DN0					J23				
		NC					B1				
		NC					C2				
		NC					D3				
		NC					C3				
		NC					D4				
		NC					C4				
		NC					B5				
		NC					A5				
		NC					A31				
		NC					A32				
		NC					C31				
		NC					B31				
		NC					F30				
		NC					E29				
		NC					E32				
		NC					D33				
		NC					D34				
		NC					E34				
		NC					AD13				
		NC					AD21				
		NC					AP14				
		NC					AP11				
		NC					AP20				
		NC					AM21				
		NC					AF20				
		NC					AF21				
		NC					AD20				
		NC					AE20				
		NC					AC20				
		NC					AC21				
		NC					AA20				
		NC					C11				
		NC					AB20				
		NC					B11				
		NC					Y21				
		NC					B10				
		NC					AA21				
		NC					C10				
		NC					W21				
		NC					A11				
		NC					W20				
		NC					A10				
		NC					AH20				
		NC					A8				
		NC					AJ21				
		NC					B8				
		NC					AJ20				
		NC					C7				
		NC					AK20				
		NC					C6				
		NC					AG21				
		NC					A7				
		NC					AH21				
		NC					B7				
		NC					AF22				
		NC					J7				
		NC					AG22				
		NC					K7				
		NC					AH22				

Bank Number	VREF	PinName/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Emulated LVDS Output Channel	F1152	DQS for X4	DQS for X8/X9	DQS for X16/ X18	DQS for X32/ X36
		NC					H8				
		NC					AH23				
		NC					J8				
		NC					AE23				
		NC					J6				
		NC					AF23				
		NC					K6				
		NC					AD22				
		NC					L8				
		NC					AE22				
		NC					M8				
		NC					AC23				
		NC					V13				
		NC					L6				
		NC					AD23				
		NC					W13				
		NC					L7				
		NC					AB21				
		NC					W14				
		NC					M9				
		NC					AB22				
		NC					Y14				
		NC					N9				
		NC					Y23				
		NC					AA14				
		NC					AA22				
		NC					AB14				
		NC					W22				
		NC					AC14				
		NC					Y22				
		NC					AD14				
		NC					U22				
		NC					AC15				
		NC					V22				
		NC					AD15				
		NC					AK21				
		NC					AA15				
		NC					AK22				
		NC					AB15				
		NC					AM19				
		NC					AF12				
		NC					AM20				
		NC					AF13				
		NC					AN19				
		NC					AF15				
		NC					AP19				
		NC					AF14				
		NC					AL22				
		NC					AG12				
		NC					AM22				
		NC					AF11				
		NC					AN22				
		NC					AH14				
		NC					AP22				
		NC					AH15				
		NC					AN21				
		NC					AH12				
		NC					AP21				
		NC					AJ12				
		NC					AH13				
		NC					AG13				
		NC					Y12				
		NC					W12				
		NC					U12				
		NC					U13				
		NC					AA13				
		NC					AB13				
		NC					AA12				
		NC					AB12				
		NC					AE14				
		NC					AE13				
		NC					AC12				
		NC					AD12				
		NC					AN12				
		NC					AP12				
		NC					AN13				
		NC					AP13				
		NC					AL13				
		NC					AM13				
		NC					AK12				
		NC					AK13				
		NC					AJ14				
		NC					AK14				
		NC					AL14				

Bank Number	VREF	PinName/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Emulated LVDS Output Channel	F1152	DQS for X4	DQS for X8/X9	DQS for X16/ X18	DQS for X32/ X36
		NC					AM14				
		VCCH_GXBL0					V30				
		VCCH_GXBL1					P30				
		VCCH_GXBR0					V5				
		VCCH_GXBR1					P5				
		VCCR_GXBL0					Y29				
		VCCR_GXBL1					T29				
		VCCR_GXBR0					Y6				
		VCCR_GXBR1					T6				
		VCCT_GXBL0					V28				
		VCCT_GXBL0					W28				
		VCCT_GXBL1					P28				
		VCCT_GXBL1					R28				
		VCCT_GXBR0					V7				
		VCCT_GXBR0					W7				
		VCCT_GXBR1					P7				
		VCCT_GXBR1					R7				
		VCCHIP_L					P22				
		VCCHIP_L					R22				
		VCCHIP_L					T22				
		RREF_BL					AN34				
		RREF_BR					AN1				
		RREF_TL					G34				
		RREF_TR					G1				
		VCCA_FPLL					AH29				
		VCCA_FPLL					AC18				
		VCCA_FPLL					AJ6				
		VCCA_FPLL					G6				
		VCCA_FPLL					K17				
		VCCA_FPLL					G29				
		VCCA_FPLL					T27				
		VCCA_FPLL					W27				
		VCCA_FPLL					T8				
		VCCA_FPLL					W8				
		VCCA_GXBL0					U30				
		VCCA_GXBL1					N30				
		VCCA_GXBR0					U5				
		VCCA_GXBR1					N5				
		VCCHSSI_L					P24				
		VCCHSSI_L					R23				
		VCCHSSI_L					T24				
		VCCHSSI_R					P12				
		VCCHSSI_R					R11				
		VCCHSSI_R					T12				
		VCCD_FPLL					AJ29				
		VCCD_FPLL					AD18				
		VCCD_FPLL					AK6				
		VCCD_FPLL					F6				
		VCCD_FPLL					K18				
		VCCD_FPLL					F29				
		VCCD_FPLL					R27				
		VCCD_FPLL					V27				
		VCCD_FPLL					R8				
		VCCD_FPLL					V8				
		VCC_AUX					AG28				
		VCC_AUX					AH19				
		VCC_AUX					AH6				
		VCC_AUX					G18				
		VCC_AUX					H7				
		VCC_AUX					J30				

Note:
(1) For more information about pin definitions and pin connection guidelines, refer to the Arria V Device Family Pin Connection Guidelines.

Version Number	Date	Changes Made
1.0	10/9/2012	Initial release.