

Bank Number	Index within I/O Bank (1)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	GT Support	SF45	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
1H			REFCLK_GXBL1H_CHTp						L37				
1H			REFCLK_GXBL1H_CHTn						L38				
1H			GXBL1H_TX_CH5n						A37				
1H			GXBL1H_TX_CH5p						A38				
1H			GXBL1H_RX_CH5n,GXBL1H_REFCLK5n						C37				
1H			GXBL1H_RX_CH5p,GXBL1H_REFCLK5p						C38				
1H			GXBL1H_TX_CH4n					Yes	B39				
1H			GXBL1H_TX_CH4p					Yes	B40				
1H			GXBL1H_RX_CH4n,GXBL1H_REFCLK4n					Yes	D39				
1H			GXBL1H_RX_CH4p,GXBL1H_REFCLK4p					Yes	D40				
1H			GXBL1H_TX_CH3n					Yes	A41				
1H			GXBL1H_TX_CH3p					Yes	A42				
1H			GXBL1H_RX_CH3n,GXBL1H_REFCLK3n					Yes	E37				
1H			GXBL1H_RX_CH3p,GXBL1H_REFCLK3p					Yes	E38				
1H			GXBL1H_TX_CH2n						B43				
1H			GXBL1H_TX_CH2p						B44				
1H			GXBL1H_RX_CH2n,GXBL1H_REFCLK2n						F39				
1H			GXBL1H_RX_CH2p,GXBL1H_REFCLK2p						F40				
1H			GXBL1H_TX_CH1n						C41				
1H			GXBL1H_TX_CH1p						C42				
1H			GXBL1H_RX_CH1n,GXBL1H_REFCLK1n						G37				
1H			GXBL1H_RX_CH1p,GXBL1H_REFCLK1p						G38				
1H			GXBL1H_TX_CH0n						D43				
1H			GXBL1H_TX_CH0p						D44				
1H			GXBL1H_RX_CH0n,GXBL1H_REFCLK0n						H39				
1H			GXBL1H_RX_CH0p,GXBL1H_REFCLK0p						H40				
1H			REFCLK_GXBL1H_CHBp						N37				
1H			REFCLK_GXBL1H_CHBn						N38				
1G			REFCLK_GXBL1G_CHTp						R37				
1G			REFCLK_GXBL1G_CHTn						R38				
1G			GXBL1G_TX_CH5n						E41				
1G			GXBL1G_TX_CH5p						E42				
1G			GXBL1G_RX_CH5n,GXBL1G_REFCLK5n						K39				
1G			GXBL1G_RX_CH5p,GXBL1G_REFCLK5p						K40				
1G			GXBL1G_TX_CH4n						F43				
1G			GXBL1G_TX_CH4p						F44				
1G			GXBL1G_RX_CH4n,GXBL1G_REFCLK4n						L41				
1G			GXBL1G_RX_CH4p,GXBL1G_REFCLK4p						L42				
1G			GXBL1G_TX_CH3n						G41				
1G			GXBL1G_TX_CH3p						G42				
1G			GXBL1G_RX_CH3n,GXBL1G_REFCLK3n						M39				
1G			GXBL1G_RX_CH3p,GXBL1G_REFCLK3p						M40				
1G			GXBL1G_TX_CH2n						H43				
1G			GXBL1G_TX_CH2p						H44				
1G			GXBL1G_RX_CH2n,GXBL1G_REFCLK2n						N41				
1G			GXBL1G_RX_CH2p,GXBL1G_REFCLK2p						N42				
1G			GXBL1G_TX_CH1n					Yes	J41				
1G			GXBL1G_TX_CH1p					Yes	J42				
1G			GXBL1G_RX_CH1n,GXBL1G_REFCLK1n					Yes	P39				
1G			GXBL1G_RX_CH1p,GXBL1G_REFCLK1p					Yes	P40				
1G			GXBL1G_TX_CH0n					Yes	K43				
1G			GXBL1G_TX_CH0p					Yes	K44				
1G			GXBL1G_RX_CH0n,GXBL1G_REFCLK0n					Yes	R41				
1G			GXBL1G_RX_CH0p,GXBL1G_REFCLK0p					Yes	R42				
1G			REFCLK_GXBL1G_CHBp						U37				
1G			REFCLK_GXBL1G_CHBn						U38				
1F			REFCLK_GXBL1F_CHTp						W37				
1F			REFCLK_GXBL1F_CHTn						W38				
1F			GXBL1F_TX_CH5n						M43				
1F			GXBL1F_TX_CH5p						M44				
1F			GXBL1F_RX_CH5n,GXBL1F_REFCLK5n						T39				
1F			GXBL1F_RX_CH5p,GXBL1F_REFCLK5p						T40				
1F			GXBL1F_TX_CH4n						P43				
1F			GXBL1F_TX_CH4p						P44				
1F			GXBL1F_RX_CH4n,GXBL1F_REFCLK4n						U41				
1F			GXBL1F_RX_CH4p,GXBL1F_REFCLK4p						U42				
1F			GXBL1F_TX_CH3n						T43				
1F			GXBL1F_TX_CH3p						T44				
1F			GXBL1F_RX_CH3n,GXBL1F_REFCLK3n						V39				
1F			GXBL1F_RX_CH3p,GXBL1F_REFCLK3p						V40				
1F			GXBL1F_TX_CH2n						V43				
1F			GXBL1F_TX_CH2p						V44				
1F			GXBL1F_RX_CH2n,GXBL1F_REFCLK2n						Y39				
1F			GXBL1F_RX_CH2p,GXBL1F_REFCLK2p						Y40				
1F			GXBL1F_TX_CH1n						Y43				
1F			GXBL1F_TX_CH1p						Y44				
1F			GXBL1F_RX_CH1n,GXBL1F_REFCLK1n						W41				
1F			GXBL1F_RX_CH1p,GXBL1F_REFCLK1p						W42				
1F			GXBL1F_TX_CH0n						AB43				
1F			GXBL1F_TX_CH0p						AB44				

Bank Number	Index within I/O Bank (1)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	GT Support	SF45	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
1F			GXBL1F_RX_CH0n,GXBL1F_REFCLK0n						AA41				
1F			GXBL1F_RX_CH0p,GXBL1F_REFCLK0p						AA42				
1F			REFCLK_GXBL1F_CHBp						AA37				
1F			REFCLK_GXBL1F_CHBn						AA38				
1E			REFCLK_GXBL1E_CHTp						AC37				
1E			REFCLK_GXBL1E_CHTn						AC38				
1E			GXBL1E_TX_CH5n						AD43				
1E			GXBL1E_TX_CH5p						AD44				
1E			GXBL1E_RX_CH5n,GXBL1E_REFCLK5n						AB39				
1E			GXBL1E_RX_CH5p,GXBL1E_REFCLK5p						AB40				
1E			GXBL1E_TX_CH4n					Yes	AF43				
1E			GXBL1E_TX_CH4p					Yes	AF44				
1E			GXBL1E_RX_CH4n,GXBL1E_REFCLK4n					Yes	AC41				
1E			GXBL1E_RX_CH4p,GXBL1E_REFCLK4p					Yes	AC42				
1E			GXBL1E_TX_CH3n					Yes	AH43				
1E			GXBL1E_TX_CH3p					Yes	AH44				
1E			GXBL1E_RX_CH3n,GXBL1E_REFCLK3n					Yes	AD39				
1E			GXBL1E_RX_CH3p,GXBL1E_REFCLK3p					Yes	AD40				
1E			GXBL1E_TX_CH2n						AK43				
1E			GXBL1E_TX_CH2p						AK44				
1E			GXBL1E_RX_CH2n,GXBL1E_REFCLK2n						AE41				
1E			GXBL1E_RX_CH2p,GXBL1E_REFCLK2p						AE42				
1E			GXBL1E_TX_CH1n						AM43				
1E			GXBL1E_TX_CH1p						AM44				
1E			GXBL1E_RX_CH1n,GXBL1E_REFCLK1n						AF39				
1E			GXBL1E_RX_CH1p,GXBL1E_REFCLK1p						AF40				
1E			GXBL1E_TX_CH0n						AP43				
1E			GXBL1E_TX_CH0p						AP44				
1E			GXBL1E_RX_CH0n,GXBL1E_REFCLK0n						AG41				
1E			GXBL1E_RX_CH0p,GXBL1E_REFCLK0p						AG42				
1E			REFCLK_GXBL1E_CHBp						AE37				
1E			REFCLK_GXBL1E_CHBn						AE38				
1D			REFCLK_GXBL1D_CHTp						AG37				
1D			REFCLK_GXBL1D_CHTn						AG38				
1D			GXBL1D_TX_CH5n						AR41				
1D			GXBL1D_TX_CH5p						AR42				
1D			GXBL1D_RX_CH5n,GXBL1D_REFCLK5n						AH39				
1D			GXBL1D_RX_CH5p,GXBL1D_REFCLK5p						AH40				
1D			GXBL1D_TX_CH4n						AT43				
1D			GXBL1D_TX_CH4p						AT44				
1D			GXBL1D_RX_CH4n,GXBL1D_REFCLK4n						AJ41				
1D			GXBL1D_RX_CH4p,GXBL1D_REFCLK4p						AJ42				
1D			GXBL1D_TX_CH3n						AU41				
1D			GXBL1D_TX_CH3p						AU42				
1D			GXBL1D_RX_CH3n,GXBL1D_REFCLK3n						AK39				
1D			GXBL1D_RX_CH3p,GXBL1D_REFCLK3p						AK40				
1D			GXBL1D_TX_CH2n						AV43				
1D			GXBL1D_TX_CH2p						AV44				
1D			GXBL1D_RX_CH2n,GXBL1D_REFCLK2n						AL41				
1D			GXBL1D_RX_CH2p,GXBL1D_REFCLK2p						AL42				
1D			GXBL1D_TX_CH1n						AW41				
1D			GXBL1D_TX_CH1p						AW42				
1D			GXBL1D_RX_CH1n,GXBL1D_REFCLK1n						AM39				
1D			GXBL1D_RX_CH1p,GXBL1D_REFCLK1p						AM40				
1D			GXBL1D_TX_CH0n						AY43				
1D			GXBL1D_TX_CH0p						AY44				
1D			GXBL1D_RX_CH0n,GXBL1D_REFCLK0n						AN41				
1D			GXBL1D_RX_CH0p,GXBL1D_REFCLK0p						AN42				
1D			REFCLK_GXBL1D_CHBp						AJ37				
1D			REFCLK_GXBL1D_CHBn						AJ38				
1C			REFCLK_GXBL1C_CHTp						AL37				
1C			REFCLK_GXBL1C_CHTn						AL38				
1C			GXBL1C_TX_CH5n						BA41				
1C			GXBL1C_TX_CH5p						BA42				
1C			GXBL1C_RX_CH5n,GXBL1C_REFCLK5n						AP39				
1C			GXBL1C_RX_CH5p,GXBL1C_REFCLK5p						AP40				
1C			GXBL1C_TX_CH4n						BB43				
1C			GXBL1C_TX_CH4p						BB44				
1C			GXBL1C_RX_CH4n,GXBL1C_REFCLK4n						AT39				
1C			GXBL1C_RX_CH4p,GXBL1C_REFCLK4p						AT40				
1C			GXBL1C_TX_CH3n						BC41				
1C			GXBL1C_TX_CH3p						BC42				
1C			GXBL1C_RX_CH3n,GXBL1C_REFCLK3n						AV39				
1C			GXBL1C_RX_CH3p,GXBL1C_REFCLK3p						AV40				
1C			GXBL1C_TX_CH2n						BB39				
1C			GXBL1C_TX_CH2p						BB40				
1C			GXBL1C_RX_CH2n,GXBL1C_REFCLK2n						AY39				
1C			GXBL1C_RX_CH2p,GXBL1C_REFCLK2p						AY40				
1C			GXBL1C_TX_CH1n						BD39				
1C			GXBL1C_TX_CH1p						BD40				

Bank Number	Index within I/O Bank (1)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	GT Support	SF45	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
1C			GXBL1C_RX_CH1n,GXBL1C_REFCLK1n						BA37				
1C			GXBL1C_RX_CH1p,GXBL1C_REFCLK1p						BA38				
1C			GXBL1C_TX_CH0n						BC37				
1C			GXBL1C_TX_CH0p						BC38				
1C			GXBL1C_RX_CH0n,GXBL1C_REFCLK0n						AW37				
1C			GXBL1C_RX_CH0p,GXBL1C_REFCLK0p						AW38				
1C			REFCLK_GXBL1C_CHBp						AN37				
1C			REFCLK_GXBL1C_CHBn						AN38				
2L	47	VREFB2LN0	IO			LVDS2L_1n	No		E26	DQ0	DQ0	DQ0	DQ0
2L	46	VREFB2LN0	IO			LVDS2L_1p	No		D26	DQ0	DQ0	DQ0	DQ0
2L	45	VREFB2LN0	IO			LVDS2L_2n	Yes		A27	DQS0	DQ0	DQ0	DQ0
2L	44	VREFB2LN0	IO			LVDS2L_2p	Yes		A28	DQS0	DQ0	DQ0	DQ0
2L	43	VREFB2LN0	IO			LVDS2L_3n	No		B27	DQ0	DQ0	DQ0	DQ0
2L	42	VREFB2LN0	IO			LVDS2L_3p	No		B28	DQ0	DQ0	DQ0	DQ0
2L	41	VREFB2LN0	IO			LVDS2L_4n	Yes		C26	DQS1	DQSn0/CQn0	DQ0	DQ0
2L	40	VREFB2LN0	IO			LVDS2L_4p	Yes		B26	DQS1	DQS0/CQ0	DQ0	DQ0
2L	39	VREFB2LN0	IO			LVDS2L_5n	No		E27	DQ1	DQ0	DQ0	DQ0
2L	38	VREFB2LN0	IO			LVDS2L_5p	No		D27	DQ1	DQ0	DQ0	DQ0
2L	37	VREFB2LN0	IO			LVDS2L_6n	Yes		D28	DQ1	DQ0	DQSn0/CQn0	DQ0
2L	36	VREFB2LN0	IO			LVDS2L_6p	Yes		C28	DQ1	DQ0	DQS0/CQ0	DQ0
2L	35	VREFB2LN0	IO			LVDS2L_7n	No		F27	DQ2	DQ1	DQ0	DQ0
2L	34	VREFB2LN0	IO			LVDS2L_7p	No		F28	DQ2	DQ1	DQ0	DQ0
2L	33	VREFB2LN0	IO			LVDS2L_8n	Yes		G27	DQS2	DQ1	DQ0	DQ0
2L	32	VREFB2LN0	IO			LVDS2L_8p	Yes		G28	DQS2	DQ1	DQ0	DQ0
2L	31	VREFB2LN0	IO			LVDS2L_9n	No		G25	DQ2	DQ1	DQ0	DQ0
2L	30	VREFB2LN0	IO			LVDS2L_9p	No		H25	DQ2	DQ1	DQ0	DQ0
2L	29	VREFB2LN0	IO	PLL_2L_CLKOUT1n		LVDS2L_10n	Yes		J27	DQS3	DQSn1/CQn1	DQ0	DQ0
2L	28	VREFB2LN0	IO	PLL_2L_CLKOUT1p,PLL_2L_CLKOUT1,PLL_2L_FB1		LVDS2L_10p	Yes		H28	DQS3	DQS1/CQ1	DQ0	DQ0
2L	27	VREFB2LN0	IO			LVDS2L_11n	No		K27	DQ3	DQ1	DQ0	DQ0
2L	26	VREFB2LN0	IO	RZQ_2L		LVDS2L_11p	No		J28	DQ3	DQ1	DQ0	DQ0
2L	25	VREFB2LN0	IO	CLK_2L_1n		LVDS2L_12n	Yes		H26	DQ3	DQ1	DQ0	DQ0
2L	24	VREFB2LN0	IO	CLK_2L_1p		LVDS2L_12p	Yes		G26	DQ3	DQ1	DQ0	DQ0
2L	23	VREFB2LN0	IO	CLK_2L_0n		LVDS2L_13n	No		A29	DQ4	DQ2	DQ1	DQ0
2L	22	VREFB2LN0	IO	CLK_2L_0p		LVDS2L_13p	No		A30	DQ4	DQ2	DQ1	DQ0
2L	21	VREFB2LN0	IO			LVDS2L_14n	Yes		C31	DQS4	DQ2	DQ1	DQSn0/CQn0
2L	20	VREFB2LN0	IO			LVDS2L_14p	Yes		D31	DQS4	DQ2	DQ1	DQS0/CQ0
2L	19	VREFB2LN0	IO	PLL_2L_CLKOUT0n		LVDS2L_15n	No		B30	DQ4	DQ2	DQ1	DQ0
2L	18	VREFB2LN0	IO	PLL_2L_CLKOUT0p,PLL_2L_CLKOUT0,PLL_2L_FB0		LVDS2L_15p	No		B31	DQ4	DQ2	DQ1	DQ0
2L	17	VREFB2LN0	IO			LVDS2L_16n	Yes		C29	DQS5	DQSn2/CQn2	DQ1	DQ0
2L	16	VREFB2LN0	IO			LVDS2L_16p	Yes		C30	DQS5	DQS2/CQ2	DQ1	DQ0
2L	15	VREFB2LN0	IO			LVDS2L_17n	No		E31	DQ5	DQ2	DQ1	DQ0
2L	14	VREFB2LN0	IO			LVDS2L_17p	No		E30	DQ5	DQ2	DQ1	DQ0
2L	13	VREFB2LN0	IO			LVDS2L_18n	Yes		D29	DQ5	DQ2	DQSn1/CQn1	DQ0
2L	12	VREFB2LN0	IO			LVDS2L_18p	Yes		E29	DQ5	DQ2	DQS1/CQ1	DQ0
2L	11	VREFB2LN0	IO			LVDS2L_19n	No		F29	DQ6	DQ3	DQ1	DQ0
2L	10	VREFB2LN0	IO			LVDS2L_19p	No		F30	DQ6	DQ3	DQ1	DQ0
2L	9	VREFB2LN0	IO			LVDS2L_20n	Yes		J29	DQS6	DQ3	DQ1	DQ0
2L	8	VREFB2LN0	IO			LVDS2L_20p	Yes		K29	DQS6	DQ3	DQ1	DQ0
2L	7	VREFB2LN0	IO			LVDS2L_21n	No		K30	DQ6	DQ3	DQ1	DQ0
2L	6	VREFB2LN0	IO			LVDS2L_21p	No		K31	DQ6	DQ3	DQ1	DQ0
2L	5	VREFB2LN0	IO			LVDS2L_22n	Yes		L29	DQS7	DQSn3/CQn3	DQ1	DQ0
2L	4	VREFB2LN0	IO			LVDS2L_22p	Yes		L30	DQS7	DQS3/CQ3	DQ1	DQ0
2L	3	VREFB2LN0	IO			LVDS2L_23n	No		G31	DQ7	DQ3	DQ1	DQ0
2L	2	VREFB2LN0	IO			LVDS2L_23p	No		G30	DQ7	DQ3	DQ1	DQ0
2L	1	VREFB2LN0	IO			LVDS2L_24n	Yes		H30	DQ7	DQ3	DQ1	DQ0
2L	0	VREFB2LN0	IO			LVDS2L_24p	Yes		H29	DQ7	DQ3	DQ1	DQ0
2K	47	VREFB2KN0	IO			LVDS2K_1n	No		C33	DQ8	DQ4	DQ2	DQ1
2K	46	VREFB2KN0	IO			LVDS2K_1p	No		D32	DQ8	DQ4	DQ2	DQ1
2K	45	VREFB2KN0	IO			LVDS2K_2n	Yes		A32	DQS8	DQ4	DQ2	DQ1
2K	44	VREFB2KN0	IO			LVDS2K_2p	Yes		B32	DQS8	DQ4	DQ2	DQ1
2K	43	VREFB2KN0	IO			LVDS2K_3n	No		A33	DQ8	DQ4	DQ2	DQ1
2K	42	VREFB2KN0	IO			LVDS2K_3p	No		B33	DQ8	DQ4	DQ2	DQ1
2K	41	VREFB2KN0	IO			LVDS2K_4n	Yes		C34	DQS9	DQSn4/CQn4	DQ2	DQ1
2K	40	VREFB2KN0	IO			LVDS2K_4p	Yes		D33	DQS9	DQS4/CQ4	DQ2	DQ1
2K	39	VREFB2KN0	IO			LVDS2K_5n	No		D34	DQ9	DQ4	DQ2	DQ1
2K	38	VREFB2KN0	IO			LVDS2K_5p	No		C35	DQ9	DQ4	DQ2	DQ1
2K	37	VREFB2KN0	IO			LVDS2K_6n	Yes		E34	DQ9	DQ4	DQSn2/CQn2	DQ1
2K	36	VREFB2KN0	IO			LVDS2K_6p	Yes		E35	DQ9	DQ4	DQS2/CQ2	DQ1
2K	35	VREFB2KN0	IO			LVDS2K_7n	No		H35	DQ10	DQ5	DQ2	DQ1
2K	34	VREFB2KN0	IO			LVDS2K_7p	No		G35	DQ10	DQ5	DQ2	DQ1
2K	33	VREFB2KN0	IO			LVDS2K_8n	Yes		F33	DQSn10	DQ5	DQ2	DQ1
2K	32	VREFB2KN0	IO			LVDS2K_8p	Yes		G33	DQS10	DQ5	DQ2	DQ1
2K	31	VREFB2KN0	IO			LVDS2K_9n	No		F32	DQ10	DQ5	DQ2	DQ1
2K	30	VREFB2KN0	IO			LVDS2K_9p	No		E32	DQ10	DQ5	DQ2	DQ1
2K	29	VREFB2KN0	IO	PLL_2K_CLKOUT1n		LVDS2K_10n	Yes		G32	DQS11	DQSn5/CQn5	DQ2	DQ1
2K	28	VREFB2KN0	IO	PLL_2K_CLKOUT1p,PLL_2K_CLKOUT1,PLL_2K_FB1		LVDS2K_10p	Yes		H33	DQS11	DQS5/CQ5	DQ2	DQ1
2K	27	VREFB2KN0	IO			LVDS2K_11n	No		H34	DQ11	DQ5	DQ2	DQ1
2K	26	VREFB2KN0	IO	RZQ_2K		LVDS2K_11p	No		J34	DQ11	DQ5	DQ2	DQ1
2K	25	VREFB2KN0	IO	CLK_2K_1n		LVDS2K_12n	Yes		F35	DQ11	DQ5	DQ2	DQ1
2K	24	VREFB2KN0	IO	CLK_2K_1p		LVDS2K_12p	Yes		F34	DQ11	DQ5	DQ2	DQ1

Bank Number	Index within I/O Bank (1)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	GT Support	SF45	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
2K	23	VREFB2KN0	IO	CLK_2K_0n		LVDS2K_13n	No		J31	DQ12	DQ6	DQ3	DQ1
2K	22	VREFB2KN0	IO	CLK_2K_0p		LVDS2K_13p	No		H31	DQ12	DQ6	DQ3	DQ1
2K	21	VREFB2KN0	IO			LVDS2K_14n	Yes		J32	DQSn12	DQ6	DQ3	DQSn1/CQn1
2K	20	VREFB2KN0	IO			LVDS2K_14p	Yes		J33	DQSn12	DQ6	DQ3	DQSn1/CQn1
2K	19	VREFB2KN0	IO	PLL_2K_CLKOUT0n		LVDS2K_15n	No		L33	DQ12	DQ6	DQ3	DQ1
2K	18	VREFB2KN0	IO	PLL_2K_CLKOUT0p,PLL_2K_CLKOUT0,PLL_2K_FB0		LVDS2K_15p	No		M33	DQ12	DQ6	DQ3	DQ1
2K	17	VREFB2KN0	IO			LVDS2K_16n	Yes		K34	DQSn13	DQSn6/CQn6	DQ3	DQ1
2K	16	VREFB2KN0	IO			LVDS2K_16p	Yes		L34	DQSn13	DQSn6/CQn6	DQ3	DQ1
2K	15	VREFB2KN0	IO			LVDS2K_17n	No		M35	DQ13	DQ6	DQ3	DQ1
2K	14	VREFB2KN0	IO			LVDS2K_17p	No		N34	DQ13	DQ6	DQ3	DQ1
2K	13	VREFB2KN0	IO			LVDS2K_18n	Yes		L32	DQ13	DQ6	DQSn3/CQn3	DQ1
2K	12	VREFB2KN0	IO			LVDS2K_18p	Yes		M32	DQ13	DQ6	DQSn3/CQn3	DQ1
2K	11	VREFB2KN0	IO			LVDS2K_19n	No		T32	DQ14	DQ7	DQ3	DQ1
2K	10	VREFB2KN0	IO			LVDS2K_19p	No		U32	DQ14	DQ7	DQ3	DQ1
2K	9	VREFB2KN0	IO			LVDS2K_20n	Yes		R31	DQSn14	DQ7	DQ3	DQ1
2K	8	VREFB2KN0	IO			LVDS2K_20p	Yes		R30	DQSn14	DQ7	DQ3	DQ1
2K	7	VREFB2KN0	IO			LVDS2K_21n	No		T33	DQ14	DQ7	DQ3	DQ1
2K	6	VREFB2KN0	IO			LVDS2K_21p	No		U33	DQ14	DQ7	DQ3	DQ1
2K	5	VREFB2KN0	IO			LVDS2K_22n	Yes		P33	DQSn15	DQSn7/CQn7	DQ3	DQ1
2K	4	VREFB2KN0	IO			LVDS2K_22p	Yes		N33	DQSn15	DQSn7/CQn7	DQ3	DQ1
2K	3	VREFB2KN0	IO			LVDS2K_23n	No		P34	DQ15	DQ7	DQ3	DQ1
2K	2	VREFB2KN0	IO			LVDS2K_23p	No		R34	DQ15	DQ7	DQ3	DQ1
2K	1	VREFB2KN0	IO			LVDS2K_24n	Yes		T35	DQ15	DQ7	DQ3	DQ1
2K	0	VREFB2KN0	IO			LVDS2K_24p	Yes		T34	DQ15	DQ7	DQ3	DQ1
2J	47	VREFB2JN0	IO			LVDS2J_1n	No		AD31	DQ16	DQ8	DQ4	DQ2
2J	46	VREFB2JN0	IO			LVDS2J_1p	No		AC31	DQ16	DQ8	DQ4	DQ2
2J	45	VREFB2JN0	IO			LVDS2J_2n	Yes		AD32	DQSn16	DQ8	DQ4	DQ2
2J	44	VREFB2JN0	IO			LVDS2J_2p	Yes		AD33	DQSn16	DQ8	DQ4	DQ2
2J	43	VREFB2JN0	IO			LVDS2J_3n	No		AB31	DQ16	DQ8	DQ4	DQ2
2J	42	VREFB2JN0	IO			LVDS2J_3p	No		AB32	DQ16	DQ8	DQ4	DQ2
2J	41	VREFB2JN0	IO			LVDS2J_4n	Yes		AA32	DQSn17	DQSn8/CQn8	DQ4	DQ2
2J	40	VREFB2JN0	IO			LVDS2J_4p	Yes		Y32	DQSn17	DQSn8/CQn8	DQ4	DQ2
2J	39	VREFB2JN0	IO			LVDS2J_5n	No		W31	DQ17	DQ8	DQ4	DQ2
2J	38	VREFB2JN0	IO			LVDS2J_5p	No		Y31	DQ17	DQ8	DQ4	DQ2
2J	37	VREFB2JN0	IO			LVDS2J_6n	Yes		AA30	DQ17	DQ8	DQSn4/CQn4	DQ2
2J	36	VREFB2JN0	IO			LVDS2J_6p	Yes		Y30	DQ17	DQ8	DQSn4/CQn4	DQ2
2J	35	VREFB2JN0	IO			LVDS2J_7n	No		AE32	DQ18	DQ9	DQ4	DQ2
2J	34	VREFB2JN0	IO			LVDS2J_7p	No		AE31	DQ18	DQ9	DQ4	DQ2
2J	33	VREFB2JN0	IO			LVDS2J_8n	Yes		AF30	DQSn18	DQ9	DQ4	DQ2
2J	32	VREFB2JN0	IO			LVDS2J_8p	Yes		AE30	DQSn18	DQ9	DQ4	DQ2
2J	31	VREFB2JN0	IO			LVDS2J_9n	No		AH33	DQ18	DQ9	DQ4	DQ2
2J	30	VREFB2JN0	IO			LVDS2J_9p	No		AG33	DQ18	DQ9	DQ4	DQ2
2J	29	VREFB2JN0	IO	PLL_2J_CLKOUT1n		LVDS2J_10n	Yes		AJ31	DQSn19	DQSn9/CQn9	DQ4	DQ2
2J	28	VREFB2JN0	IO	PLL_2J_CLKOUT1p,PLL_2J_CLKOUT1,PLL_2J_FB1		LVDS2J_10p	Yes		AJ32	DQSn19	DQSn9/CQn9	DQ4	DQ2
2J	27	VREFB2JN0	IO			LVDS2J_11n	No		AG32	DQ19	DQ9	DQ4	DQ2
2J	26	VREFB2JN0	IO	RZQ_2J		LVDS2J_11p	No		AF32	DQ19	DQ9	DQ4	DQ2
2J	25	VREFB2JN0	IO	CLK_2J_1n		LVDS2J_12n	Yes		AH31	DQ19	DQ9	DQ4	DQ2
2J	24	VREFB2JN0	IO	CLK_2J_1p		LVDS2J_12p	Yes		AG31	DQ19	DQ9	DQ4	DQ2
2J	23	VREFB2JN0	IO	CLK_2J_0n		LVDS2J_13n	No		V31	DQ20	DQ10	DQ5	DQ2
2J	22	VREFB2JN0	IO	CLK_2J_0p		LVDS2J_13p	No		U31	DQ20	DQ10	DQ5	DQ2
2J	21	VREFB2JN0	IO			LVDS2J_14n	Yes		W33	DQSn20	DQ10	DQ5	DQSn2/CQn2
2J	20	VREFB2JN0	IO			LVDS2J_14p	Yes		W32	DQSn20	DQ10	DQ5	DQSn2/CQn2
2J	19	VREFB2JN0	IO	PLL_2J_CLKOUT0n		LVDS2J_15n	No		Y34	DQ20	DQ10	DQ5	DQ2
2J	18	VREFB2JN0	IO	PLL_2J_CLKOUT0p,PLL_2J_CLKOUT0,PLL_2J_FB0		LVDS2J_15p	No		W34	DQ20	DQ10	DQ5	DQ2
2J	17	VREFB2JN0	IO			LVDS2J_16n	Yes		AA33	DQSn21	DQSn10/CQn10	DQ5	DQ2
2J	16	VREFB2JN0	IO			LVDS2J_16p	Yes		AA34	DQSn21	DQSn10/CQn10	DQ5	DQ2
2J	15	VREFB2JN0	IO			LVDS2J_17n	No		Y35	DQ21	DQ10	DQ5	DQ2
2J	14	VREFB2JN0	IO			LVDS2J_17p	No		W35	DQ21	DQ10	DQ5	DQ2
2J	13	VREFB2JN0	IO			LVDS2J_18n	Yes		V34	DQ21	DQ10	DQSn5/CQn5	DQ2
2J	12	VREFB2JN0	IO			LVDS2J_18p	Yes		V33	DQ21	DQ10	DQSn5/CQn5	DQ2
2J	11	VREFB2JN0	IO			LVDS2J_19n	No		AC34	DQ22	DQ11	DQ5	DQ2
2J	10	VREFB2JN0	IO			LVDS2J_19p	No		AD34	DQ22	DQ11	DQ5	DQ2
2J	9	VREFB2JN0	IO			LVDS2J_20n	Yes		AC33	DQSn22	DQ11	DQ5	DQ2
2J	8	VREFB2JN0	IO			LVDS2J_20p	Yes		AB33	DQSn22	DQ11	DQ5	DQ2
2J	7	VREFB2JN0	IO			LVDS2J_21n	No		AE34	DQ22	DQ11	DQ5	DQ2
2J	6	VREFB2JN0	IO			LVDS2J_21p	No		AD35	DQ22	DQ11	DQ5	DQ2
2J	5	VREFB2JN0	IO			LVDS2J_22n	Yes		AF34	DQSn23	DQSn11/CQn11	DQ5	DQ2
2J	4	VREFB2JN0	IO			LVDS2J_22p	Yes		AF33	DQSn23	DQSn11/CQn11	DQ5	DQ2
2J	3	VREFB2JN0	IO			LVDS2J_23n	No		AJ34	DQ23	DQ11	DQ5	DQ2
2J	2	VREFB2JN0	IO			LVDS2J_23p	No		AJ33	DQ23	DQ11	DQ5	DQ2
2J	1	VREFB2JN0	IO			LVDS2J_24n	Yes		AH35	DQ23	DQ11	DQ5	DQ2
2J	0	VREFB2JN0	IO			LVDS2J_24p	Yes		AH34	DQ23	DQ11	DQ5	DQ2
2I	47	VREFB2IN0	IO			LVDS2I_1n	No		AL34	DQ24	DQ12	DQ6	DQ3
2I	46	VREFB2IN0	IO			LVDS2I_1p	No		AK34	DQ24	DQ12	DQ6	DQ3
2I	45	VREFB2IN0	IO			LVDS2I_2n	Yes		AN30	DQSn24	DQ12	DQ6	DQ3
2I	44	VREFB2IN0	IO			LVDS2I_2p	Yes		AM30	DQSn24	DQ12	DQ6	DQ3
2I	43	VREFB2IN0	IO			LVDS2I_3n	No		AL33	DQ24	DQ12	DQ6	DQ3
2I	42	VREFB2IN0	IO			LVDS2I_3p	No		AL32	DQ24	DQ12	DQ6	DQ3
2I	41	VREFB2IN0	IO			LVDS2I_4n	Yes		AM35	DQSn25	DQSn12/CQn12	DQ6	DQ3
2I	40	VREFB2IN0	IO			LVDS2I_4p	Yes		AN34	DQSn25	DQSn12/CQn12	DQ6	DQ3

Bank Number	Index within I/O Bank (1)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	GT Support	SF45	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
2I	39	VREFB2I0	IO			LVDS2I_5n	No		AK31	DQ25	DQ12	DQ6	DQ3
2I	38	VREFB2I0	IO			LVDS2I_5p	No		AK32	DQ25	DQ12	DQ6	DQ3
2I	37	VREFB2I0	IO			LVDS2I_6n	Yes		AM32	DQ25	DQ12	DQSn6/CQn6	DQ3
2I	36	VREFB2I0	IO			LVDS2I_6p	Yes		AM31	DQ25	DQ12	DQSn6/CQ6	DQ3
2I	35	VREFB2I0	IO			LVDS2I_7n	No		AP32	DQ26	DQ13	DQ6	DQ3
2I	34	VREFB2I0	IO			LVDS2I_7p	No		AR32	DQ26	DQ13	DQ6	DQ3
2I	33	VREFB2I0	IO			LVDS2I_8n	Yes		AU37	DQSn26	DQ13	DQ6	DQ3
2I	32	VREFB2I0	IO			LVDS2I_8p	Yes		AT37	DQSn26	DQ13	DQ6	DQ3
2I	31	VREFB2I0	IO			LVDS2I_9n	No		AP33	DQ26	DQ13	DQ6	DQ3
2I	30	VREFB2I0	IO			LVDS2I_9p	No		AP34	DQ26	DQ13	DQ6	DQ3
2I	29	VREFB2I0	IO	PLL_2I_CLKOUT1n		LVDS2I_10n	Yes		AM33	DQSn27	DQSn13/CQn13	DQ6	DQ3
2I	28	VREFB2I0	IO	PLL_2I_CLKOUT1p,PLL_2I_CLKOUT1,PLL_2I_FB1		LVDS2I_10p	Yes		AN33	DQSn27	DQSn13/CQ13	DQ6	DQ3
2I	27	VREFB2I0	IO			LVDS2I_11n	No		AR35	DQ27	DQ13	DQ6	DQ3
2I	26	VREFB2I0	IO	RZQ_2I		LVDS2I_11p	No		AR34	DQ27	DQ13	DQ6	DQ3
2I	25	VREFB2I0	IO	CLK_2I_1n		LVDS2I_12n	Yes		AR37	DQ27	DQ13	DQ6	DQ3
2I	24	VREFB2I0	IO	CLK_2I_1p		LVDS2I_12p	Yes		AR36	DQ27	DQ13	DQ6	DQ3
2I	23	VREFB2I0	IO	CLK_2I_0n		LVDS2I_13n	No		AT33	DQ28	DQ14	DQ7	DQ3
2I	22	VREFB2I0	IO	CLK_2I_0p		LVDS2I_13p	No		AU33	DQ28	DQ14	DQ7	DQ3
2I	21	VREFB2I0	IO			LVDS2I_14n	Yes		AR31	DQSn28	DQ14	DQ7	DQSn3/CQn3
2I	20	VREFB2I0	IO			LVDS2I_14p	Yes		AT30	DQSn28	DQ14	DQ7	DQSn3/CQ3
2I	19	VREFB2I0	IO	PLL_2I_CLKOUT0n		LVDS2I_15n	No		AU32	DQ28	DQ14	DQ7	DQ3
2I	18	VREFB2I0	IO	PLL_2I_CLKOUT0p,PLL_2I_CLKOUT0,PLL_2I_FB0		LVDS2I_15p	No		AT32	DQ28	DQ14	DQ7	DQ3
2I	17	VREFB2I0	IO			LVDS2I_16n	Yes		AT35	DQSn29	DQSn14/CQn14	DQ7	DQ3
2I	16	VREFB2I0	IO			LVDS2I_16p	Yes		AT34	DQSn29	DQSn14/CQ14	DQ7	DQ3
2I	15	VREFB2I0	IO			LVDS2I_17n	No		AP31	DQ29	DQ14	DQ7	DQ3
2I	14	VREFB2I0	IO			LVDS2I_17p	No		AN31	DQ29	DQ14	DQ7	DQ3
2I	13	VREFB2I0	IO			LVDS2I_18n	Yes		AU30	DQ29	DQ14	DQSn7/CQn7	DQ3
2I	12	VREFB2I0	IO			LVDS2I_18p	Yes		AU31	DQ29	DQ14	DQSn7/CQ7	DQ3
2I	11	VREFB2I0	IO			LVDS2I_19n	No		AU35	DQ30	DQ15	DQ7	DQ3
2I	10	VREFB2I0	IO			LVDS2I_19p	No		AU36	DQ30	DQ15	DQ7	DQ3
2I	9	VREFB2I0	IO			LVDS2I_20n	Yes		AV35	DQSn30	DQ15	DQ7	DQ3
2I	8	VREFB2I0	IO			LVDS2I_20p	Yes		AV34	DQSn30	DQ15	DQ7	DQ3
2I	7	VREFB2I0	IO			LVDS2I_21n	No		AW34	DQ30	DQ15	DQ7	DQ3
2I	6	VREFB2I0	IO			LVDS2I_21p	No		AY35	DQ30	DQ15	DQ7	DQ3
2I	5	VREFB2I0	IO			LVDS2I_22n	Yes		AY32	DQSn31	DQSn15/CQn15	DQ7	DQ3
2I	4	VREFB2I0	IO			LVDS2I_22p	Yes		AW32	DQSn31	DQSn15/CQ15	DQ7	DQ3
2I	3	VREFB2I0	IO			LVDS2I_23n	No		AV33	DQ31	DQ15	DQ7	DQ3
2I	2	VREFB2I0	IO			LVDS2I_23p	No		AW33	DQ31	DQ15	DQ7	DQ3
2I	1	VREFB2I0	IO			LVDS2I_24n	Yes		BA35	DQ31	DQ15	DQ7	DQ3
2I	0	VREFB2I0	IO			LVDS2I_24p	Yes		AY34	DQ31	DQ15	DQ7	DQ3
2A	47	VREFB2A0	IO		DATA0	LVDS2A_1n	No		AU27	DQ56	DQ28	DQ14	DQ7
2A	46	VREFB2A0	IO		DATA1	LVDS2A_1p	No		AU28	DQ56	DQ28	DQ14	DQ7
2A	45	VREFB2A0	IO		DATA2	LVDS2A_2n	Yes		AP28	DQSn56	DQ28	DQ14	DQ7
2A	44	VREFB2A0	IO		DATA3	LVDS2A_2p	Yes		AR29	DQSn56	DQ28	DQ14	DQ7
2A	43	VREFB2A0	IO		DATA4	LVDS2A_3n	No		AT28	DQ56	DQ28	DQ14	DQ7
2A	42	VREFB2A0	IO		DATA5	LVDS2A_3p	No		AT29	DQ56	DQ28	DQ14	DQ7
2A	41	VREFB2A0	IO		DATA6	LVDS2A_4n	Yes		AW27	DQSn57	DQSn28/CQn28	DQ14	DQ7
2A	40	VREFB2A0	IO		DATA7	LVDS2A_4p	Yes		AY27	DQSn57	DQSn28/CQ28	DQ14	DQ7
2A	39	VREFB2A0	IO		DATA8	LVDS2A_5n	No		AY26	DQ57	DQ28	DQ14	DQ7
2A	38	VREFB2A0	IO		DATA9	LVDS2A_5p	No		AW26	DQ57	DQ28	DQ14	DQ7
2A	37	VREFB2A0	IO		DATA10	LVDS2A_6n	Yes		AV26	DQ57	DQ28	DQSn14/CQn14	DQ7
2A	36	VREFB2A0	IO		DATA11	LVDS2A_6p	Yes		AU26	DQ57	DQ28	DQSn14/CQ14	DQ7
2A	35	VREFB2A0	IO		DATA12	LVDS2A_7n	No		AV29	DQ58	DQ29	DQ14	DQ7
2A	34	VREFB2A0	IO		DATA13	LVDS2A_7p	No		AV30	DQ58	DQ29	DQ14	DQ7
2A	33	VREFB2A0	IO		DATA14	LVDS2A_8n	Yes		AV31	DQSn58	DQ29	DQ14	DQ7
2A	32	VREFB2A0	IO		DATA15	LVDS2A_8p	Yes		AW31	DQSn58	DQ29	DQ14	DQ7
2A	31	VREFB2A0	IO		DATA16	LVDS2A_9n	No		AW28	DQ58	DQ29	DQ14	DQ7
2A	30	VREFB2A0	IO		DATA17	LVDS2A_9p	No		AV28	DQ58	DQ29	DQ14	DQ7
2A	29	VREFB2A0	IO	PLL_2A_CLKOUT1n	DATA18	LVDS2A_10n	Yes		AY31	DQSn59	DQSn29/CQn29	DQ14	DQ7
2A	28	VREFB2A0	IO	PLL_2A_CLKOUT1p,PLL_2A_CLKOUT1,PLL_2A_FB1	DATA19	LVDS2A_10p	Yes		AY30	DQSn59	DQSn29/CQ29	DQ14	DQ7
2A	27	VREFB2A0	IO		nCEO	LVDS2A_11n	No		AY29	DQ59	DQ29	DQ14	DQ7
2A	26	VREFB2A0	IO	RZQ_2A		LVDS2A_11p	No		AW29	DQ59	DQ29	DQ14	DQ7
2A	25	VREFB2A0	IO	CLK_2A_1n	DATA20	LVDS2A_12n	Yes		BA29	DQ59	DQ29	DQ14	DQ7
2A	24	VREFB2A0	IO	CLK_2A_1p	DATA21	LVDS2A_12p	Yes		BA30	DQ59	DQ29	DQ14	DQ7
2A	23	VREFB2A0	IO	CLK_2A_0n	DATA22	LVDS2A_13n	No		BA32	DQ60	DQ30	DQ15	DQ7
2A	22	VREFB2A0	IO	CLK_2A_0p	DATA23	LVDS2A_13p	No		BB32	DQ60	DQ30	DQ15	DQ7
2A	21	VREFB2A0	IO		DATA24	LVDS2A_14n	Yes		BA33	DQSn60	DQ30	DQ15	DQSn7/CQn7
2A	20	VREFB2A0	IO		DATA25	LVDS2A_14p	Yes		BB33	DQSn60	DQ30	DQ15	DQSn7/CQ7
2A	19	VREFB2A0	IO	PLL_2A_CLKOUT0n	DATA26	LVDS2A_15n	No		BB31	DQ60	DQ30	DQ15	DQ7
2A	18	VREFB2A0	IO	PLL_2A_CLKOUT0p,PLL_2A_CLKOUT0,PLL_2A_FB0	DATA27	LVDS2A_15p	No		BC31	DQ60	DQ30	DQ15	DQ7
2A	17	VREFB2A0	IO		DATA28	LVDS2A_16n	Yes		BC33	DQSn61	DQSn30/CQn30	DQ15	DQ7
2A	16	VREFB2A0	IO		DATA29	LVDS2A_16p	Yes		BD33	DQSn61	DQSn30/CQ30	DQ15	DQ7
2A	15	VREFB2A0	IO		DATA30	LVDS2A_17n	No		BA34	DQ61	DQ30	DQ15	DQ7
2A	14	VREFB2A0	IO		DATA31	LVDS2A_17p	No		BB35	DQ61	DQ30	DQ15	DQ7
2A	13	VREFB2A0	IO	CLKUSR	LDVDS2A_18n	Yes			BD32	DQ61	DQ30	DQSn15/CQn15	DQ7
2A	12	VREFB2A0	IO	PR_REQUEST	LVDS2A_18p	Yes			BD31	DQ61	DQ30	DQSn15/CQ15	DQ7
2A	11	VREFB2A0	IO	PR_READY	LVDS2A_19n	No			BB30	DQ62	DQ31	DQ15	DQ7
2A	10	VREFB2A0	IO	nPERSTL0	LVDS2A_19p	No			BC30	DQ62	DQ31	DQ15	DQ7
2A	9	VREFB2A0	IO	PR_DONE	LVDS2A_20n	Yes			BB28	DQSn62	DQ31	DQ15	DQ7
2A	8	VREFB2A0	IO	nPERSTL1	LVDS2A_20p	Yes			BC28	DQSn62	DQ31	DQ15	DQ7

Bank Number	Index within I/O Bank (1)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	GT Support	SF45	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
2A	7	VREFB2AN0	IO		PR_ERROR	LVDS2A_21n	No		BA28	DQ62	DQ31	DQ15	DQ7
2A	6	VREFB2AN0	IO		nPERSTR1	LVDS2A_21p	No		BA27	DQ62	DQ31	DQ15	DQ7
2A	5	VREFB2AN0	IO		CvP_CONFDONE	LVDS2A_22n	Yes		BB26	DQSn63	DQSn31/CQn31	DQ15	DQ7
2A	4	VREFB2AN0	IO		nPERSTR0	LVDS2A_22p	Yes		BB27	DQSn63	DQSn31/CQn31	DQ15	DQ7
2A	3	VREFB2AN0	IO		INIT_DONE	LVDS2A_23n	No		BC29	DQ63	DQ31	DQ15	DQ7
2A	2	VREFB2AN0	IO		DEV_OE	LVDS2A_23p	No		BD29	DQ63	DQ31	DQ15	DQ7
2A	1	VREFB2AN0	IO		CRC_ERROR	LVDS2A_24n	Yes		BD28	DQ63	DQ31	DQ15	DQ7
2A	0	VREFB2AN0	IO		DEV_CLRn	LVDS2A_24p	Yes		BD27	DQ63	DQ31	DQ15	DQ7
3H	47	VREFB3HN0	IO			LVDS3H_1n	No		C20	DQ64	DQ32	DQ16	DQ8
3H	46	VREFB3HN0	IO			LVDS3H_1p	No		B20	DQ64	DQ32	DQ16	DQ8
3H	45	VREFB3HN0	IO			LVDS3H_2n	Yes		C18	DQSn64	DQ32	DQ16	DQ8
3H	44	VREFB3HN0	IO			LVDS3H_2p	Yes		D18	DQSn64	DQ32	DQ16	DQ8
3H	43	VREFB3HN0	IO			LVDS3H_3n	No		C19	DQ64	DQ32	DQ16	DQ8
3H	42	VREFB3HN0	IO			LVDS3H_3p	No		D19	DQ64	DQ32	DQ16	DQ8
3H	41	VREFB3HN0	IO			LVDS3H_4n	Yes		A19	DQSn65	DQSn32/CQn32	DQ16	DQ8
3H	40	VREFB3HN0	IO			LVDS3H_4p	Yes		A20	DQSn65	DQSn32/CQn32	DQ16	DQ8
3H	39	VREFB3HN0	IO			LVDS3H_5n	No		B22	DQ65	DQ32	DQ16	DQ8
3H	38	VREFB3HN0	IO			LVDS3H_5p	No		A22	DQ65	DQ32	DQ16	DQ8
3H	37	VREFB3HN0	IO			LVDS3H_6n	Yes		C21	DQ65	DQ32	DQSn16/CQn16	DQ8
3H	36	VREFB3HN0	IO			LVDS3H_6p	Yes		B21	DQ65	DQ32	DQSn16/CQn16	DQ8
3H	35	VREFB3HN0	IO			LVDS3H_7n	No		B23	DQ66	DQ33	DQ16	DQ8
3H	34	VREFB3HN0	IO			LVDS3H_7p	No		A23	DQ66	DQ33	DQ16	DQ8
3H	33	VREFB3HN0	IO			LVDS3H_8n	Yes		A24	DQSn66	DQ33	DQ16	DQ8
3H	32	VREFB3HN0	IO			LVDS3H_8p	Yes		A25	DQSn66	DQ33	DQ16	DQ8
3H	31	VREFB3HN0	IO			LVDS3H_9n	No		D22	DQ66	DQ33	DQ16	DQ8
3H	30	VREFB3HN0	IO			LVDS3H_9p	No		D21	DQ66	DQ33	DQ16	DQ8
3H	29	VREFB3HN0	IO	PLL_3H_CLKOUT1n		LVDS3H_10n	Yes		B25	DQSn67	DQSn33/CQn33	DQ16	DQ8
3H	28	VREFB3HN0	IO	PLL_3H_CLKOUT1p,PLL_3H_CLKOUT1,PLL_3H_FB1		LVDS3H_10p	Yes		C25	DQSn67	DQSn33/CQn33	DQ16	DQ8
3H	27	VREFB3HN0	IO			LVDS3H_11n	No		C24	DQ67	DQ33	DQ16	DQ8
3H	26	VREFB3HN0	IO	RZQ_3H		LVDS3H_11p	No		D24	DQ67	DQ33	DQ16	DQ8
3H	25	VREFB3HN0	IO	CLK_3H_1n		LVDS3H_12n	Yes		D23	DQ67	DQ33	DQ16	DQ8
3H	24	VREFB3HN0	IO	CLK_3H_1p		LVDS3H_12p	Yes		C23	DQ67	DQ33	DQ16	DQ8
3H	23	VREFB3HN0	IO	CLK_3H_0n		LVDS3H_13n	No		G23	DQ68	DQ34	DQ17	DQ8
3H	22	VREFB3HN0	IO	CLK_3H_0p		LVDS3H_13p	No		F23	DQ68	DQ34	DQ17	DQ8
3H	21	VREFB3HN0	IO			LVDS3H_14n	Yes		E21	DQSn68	DQ34	DQ17	DQSn8/CQn8
3H	20	VREFB3HN0	IO			LVDS3H_14p	Yes		E22	DQSn68	DQ34	DQ17	DQSn8/CQn8
3H	19	VREFB3HN0	IO	PLL_3H_CLKOUT0n		LVDS3H_15n	No		F24	DQ68	DQ34	DQ17	DQ8
3H	18	VREFB3HN0	IO	PLL_3H_CLKOUT0p,PLL_3H_CLKOUT0,PLL_3H_FB0		LVDS3H_15p	No		E24	DQ68	DQ34	DQ17	DQ8
3H	17	VREFB3HN0	IO			LVDS3H_16n	Yes		E25	DQSn69	DQSn34/CQn34	DQ17	DQ8
3H	16	VREFB3HN0	IO			LVDS3H_16p	Yes		F25	DQSn69	DQSn34/CQn34	DQ17	DQ8
3H	15	VREFB3HN0	IO			LVDS3H_17n	No		G22	DQ69	DQ34	DQ17	DQ8
3H	14	VREFB3HN0	IO			LVDS3H_17p	No		F22	DQ69	DQ34	DQ17	DQ8
3H	13	VREFB3HN0	IO			LVDS3H_18n	Yes		H24	DQ69	DQ34	DQSn17/CQn17	DQ8
3H	12	VREFB3HN0	IO			LVDS3H_18p	Yes		H23	DQ69	DQ34	DQSn17/CQn17	DQ8
3H	11	VREFB3HN0	IO			LVDS3H_19n	No		J23	DQ70	DQ35	DQ17	DQ8
3H	10	VREFB3HN0	IO			LVDS3H_19p	No		J24	DQ70	DQ35	DQ17	DQ8
3H	9	VREFB3HN0	IO			LVDS3H_20n	Yes		K25	DQSn70	DQ35	DQ17	DQ8
3H	8	VREFB3HN0	IO			LVDS3H_20p	Yes		L25	DQSn70	DQ35	DQ17	DQ8
3H	7	VREFB3HN0	IO			LVDS3H_21n	No		J26	DQ70	DQ35	DQ17	DQ8
3H	6	VREFB3HN0	IO			LVDS3H_21p	No		K26	DQ70	DQ35	DQ17	DQ8
3H	5	VREFB3HN0	IO			LVDS3H_22n	Yes		K24	DQSn71	DQSn35/CQn35	DQ17	DQ8
3H	4	VREFB3HN0	IO			LVDS3H_22p	Yes		L24	DQSn71	DQSn35/CQn35	DQ17	DQ8
3H	3	VREFB3HN0	IO			LVDS3H_23n	No		M23	DQ71	DQ35	DQ17	DQ8
3H	2	VREFB3HN0	IO			LVDS3H_23p	No		L23	DQ71	DQ35	DQ17	DQ8
3H	1	VREFB3HN0	IO			LVDS3H_24n	Yes		L28	DQ71	DQ35	DQ17	DQ8
3H	0	VREFB3HN0	IO			LVDS3H_24p	Yes		L27	DQ71	DQ35	DQ17	DQ8
3G	47	VREFB3GN0	IO			LVDS3G_1n	No		L22	DQ72	DQ36	DQ18	DQ9
3G	46	VREFB3GN0	IO			LVDS3G_1p	No		K22	DQ72	DQ36	DQ18	DQ9
3G	45	VREFB3GN0	IO			LVDS3G_2n	Yes		L19	DQSn72	DQ36	DQ18	DQ9
3G	44	VREFB3GN0	IO			LVDS3G_2p	Yes		K20	DQSn72	DQ36	DQ18	DQ9
3G	43	VREFB3GN0	IO			LVDS3G_3n	No		K19	DQ72	DQ36	DQ18	DQ9
3G	42	VREFB3GN0	IO			LVDS3G_3p	No		J19	DQ72	DQ36	DQ18	DQ9
3G	41	VREFB3GN0	IO			LVDS3G_4n	Yes		J21	DQSn73	DQSn36/CQn36	DQ18	DQ9
3G	40	VREFB3GN0	IO			LVDS3G_4p	Yes		J22	DQSn73	DQSn36/CQn36	DQ18	DQ9
3G	39	VREFB3GN0	IO			LVDS3G_5n	No		K21	DQ73	DQ36	DQ18	DQ9
3G	38	VREFB3GN0	IO			LVDS3G_5p	No		L20	DQ73	DQ36	DQ18	DQ9
3G	37	VREFB3GN0	IO			LVDS3G_6n	Yes		M20	DQ73	DQ36	DQSn18/CQn18	DQ9
3G	36	VREFB3GN0	IO			LVDS3G_6p	Yes		M21	DQ73	DQ36	DQSn18/CQn18	DQ9
3G	35	VREFB3GN0	IO			LVDS3G_7n	No		G20	DQ74	DQ37	DQ18	DQ9
3G	34	VREFB3GN0	IO			LVDS3G_7p	No		H20	DQ74	DQ37	DQ18	DQ9
3G	33	VREFB3GN0	IO			LVDS3G_8n	Yes		H21	DQSn74	DQ37	DQ18	DQ9
3G	32	VREFB3GN0	IO			LVDS3G_8p	Yes		G21	DQSn74	DQ37	DQ18	DQ9
3G	31	VREFB3GN0	IO			LVDS3G_9n	No		H18	DQ74	DQ37	DQ18	DQ9
3G	30	VREFB3GN0	IO			LVDS3G_9p	No		H19	DQ74	DQ37	DQ18	DQ9
3G	29	VREFB3GN0	IO	PLL_3G_CLKOUT1n		LVDS3G_10n	Yes		F20	DQSn75	DQSn37/CQn37	DQ18	DQ9
3G	28	VREFB3GN0	IO	PLL_3G_CLKOUT1p,PLL_3G_CLKOUT1,PLL_3G_FB1		LVDS3G_10p	Yes		E20	DQSn75	DQSn37/CQn37	DQ18	DQ9
3G	27	VREFB3GN0	IO			LVDS3G_11n	No		E19	DQ75	DQ37	DQ18	DQ9
3G	26	VREFB3GN0	IO	RZQ_3G		LVDS3G_11p	No		F19	DQ75	DQ37	DQ18	DQ9
3G	25	VREFB3GN0	IO	CLK_3G_1n		LVDS3G_12n	Yes		F18	DQ75	DQ37	DQ18	DQ9
3G	24	VREFB3GN0	IO	CLK_3G_1p		LVDS3G_12p	Yes		G18	DQ75	DQ37	DQ18	DQ9

Bank Number	Index within I/O Bank (1)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	GT Support	SF45	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
3G	23	VREFB3GN0	IO			LVDS3G_13n	No		G17	DQ76	DQ38	DQ19	DQ9
3G	22	VREFB3GN0	IO		CLK_3G_0p	LVDS3G_13p	No		F17	DQ76	DQ38	DQ19	DQ9
3G	21	VREFB3GN0	IO			LVDS3G_14n	Yes		H15	DQSn76	DQ38	DQ19	DQSn9/CQn9
3G	20	VREFB3GN0	IO			LVDS3G_14p	Yes		H14	DQSn76	DQ38	DQ19	DQSn9/CQn9
3G	19	VREFB3GN0	IO		PLL_3G_CLKOUT0n	LVDS3G_15n	No		E17	DQ76	DQ38	DQ19	DQ9
3G	18	VREFB3GN0	IO		PLL_3G_CLKOUT0p,PLL_3G_CLKOUT0,PLL_3G_FB0	LVDS3G_15p	No		E16	DQ76	DQ38	DQ19	DQ9
3G	17	VREFB3GN0	IO			LVDS3G_16n	Yes		E15	DQSn77	DQSn38/CQn38	DQ19	DQ9
3G	16	VREFB3GN0	IO			LVDS3G_16p	Yes		F15	DQSn77	DQSn38/CQn38	DQ19	DQ9
3G	15	VREFB3GN0	IO			LVDS3G_17n	No		F14	DQ77	DQ38	DQ19	DQ9
3G	14	VREFB3GN0	IO			LVDS3G_17p	No		E14	DQ77	DQ38	DQ19	DQ9
3G	13	VREFB3GN0	IO			LVDS3G_18n	Yes		G15	DQ77	DQ38	DQSn19/CQn19	DQ9
3G	12	VREFB3GN0	IO			LVDS3G_18p	Yes		G16	DQ77	DQ38	DQSn19/CQn19	DQ9
3G	11	VREFB3GN0	IO			LVDS3G_19n	No		J18	DQ78	DQ39	DQ19	DQ9
3G	10	VREFB3GN0	IO			LVDS3G_19p	No		J17	DQ78	DQ39	DQ19	DQ9
3G	9	VREFB3GN0	IO			LVDS3G_20n	Yes		J16	DQSn78	DQ39	DQ19	DQ9
3G	8	VREFB3GN0	IO			LVDS3G_20p	Yes		H16	DQSn78	DQ39	DQ19	DQ9
3G	7	VREFB3GN0	IO			LVDS3G_21n	No		M18	DQ78	DQ39	DQ19	DQ9
3G	6	VREFB3GN0	IO			LVDS3G_21p	No		L18	DQ78	DQ39	DQ19	DQ9
3G	5	VREFB3GN0	IO			LVDS3G_22n	Yes		K17	DQSn79	DQSn39/CQn39	DQ19	DQ9
3G	4	VREFB3GN0	IO			LVDS3G_22p	Yes		K16	DQSn79	DQSn39/CQn39	DQ19	DQ9
3G	3	VREFB3GN0	IO			LVDS3G_23n	No		M17	DQ79	DQ39	DQ19	DQ9
3G	2	VREFB3GN0	IO			LVDS3G_23p	No		M16	DQ79	DQ39	DQ19	DQ9
3G	1	VREFB3GN0	IO			LVDS3G_24n	Yes		L15	DQ79	DQ39	DQ19	DQ9
3G	0	VREFB3GN0	IO			LVDS3G_24p	Yes		M15	DQ79	DQ39	DQ19	DQ9
3F	47	VREFB3FN0	IO			LVDS3F_1n	No		D16	DQ80	DQ40	DQ20	DQ10
3F	46	VREFB3FN0	IO			LVDS3F_1p	No		D17	DQ80	DQ40	DQ20	DQ10
3F	45	VREFB3FN0	IO			LVDS3F_2n	Yes		C16	DQSn80	DQ40	DQ20	DQ10
3F	44	VREFB3FN0	IO			LVDS3F_2p	Yes		B16	DQSn80	DQ40	DQ20	DQ10
3F	43	VREFB3FN0	IO			LVDS3F_3n	No		B15	DQ80	DQ40	DQ20	DQ10
3F	42	VREFB3FN0	IO			LVDS3F_3p	No		C15	DQ80	DQ40	DQ20	DQ10
3F	41	VREFB3FN0	IO			LVDS3F_4n	Yes		B18	DQSn81	DQSn40/CQn40	DQ20	DQ10
3F	40	VREFB3FN0	IO			LVDS3F_4p	Yes		A18	DQSn81	DQSn40/CQn40	DQ20	DQ10
3F	39	VREFB3FN0	IO			LVDS3F_5n	No		B17	DQ81	DQ40	DQ20	DQ10
3F	38	VREFB3FN0	IO			LVDS3F_5p	No		A17	DQ81	DQ40	DQ20	DQ10
3F	37	VREFB3FN0	IO			LVDS3F_6n	Yes		A14	DQ81	DQ40	DQSn20/CQn20	DQ10
3F	36	VREFB3FN0	IO			LVDS3F_6p	Yes		A15	DQ81	DQ40	DQSn20/CQn20	DQ10
3F	35	VREFB3FN0	IO			LVDS3F_7n	No		B13	DQ82	DQ41	DQ20	DQ10
3F	34	VREFB3FN0	IO			LVDS3F_7p	No		A13	DQ82	DQ41	DQ20	DQ10
3F	33	VREFB3FN0	IO			LVDS3F_8n	Yes		A12	DQSn82	DQ41	DQ20	DQ10
3F	32	VREFB3FN0	IO			LVDS3F_8p	Yes		B12	DQSn82	DQ41	DQ20	DQ10
3F	31	VREFB3FN0	IO			LVDS3F_9n	No		D11	DQ82	DQ41	DQ20	DQ10
3F	30	VREFB3FN0	IO			LVDS3F_9p	No		D12	DQ82	DQ41	DQ20	DQ10
3F	29	VREFB3FN0	IO		PLL_3F_CLKOUT1n	LVDS3F_10n	Yes		D14	DQSn83	DQSn41/CQn41	DQ20	DQ10
3F	28	VREFB3FN0	IO		PLL_3F_CLKOUT1p,PLL_3F_CLKOUT1,PLL_3F_FB1	LVDS3F_10p	Yes		C14	DQSn83	DQSn41/CQn41	DQ20	DQ10
3F	27	VREFB3FN0	IO			LVDS3F_11n	No		C13	DQ83	DQ41	DQ20	DQ10
3F	26	VREFB3FN0	IO		RZQ_3F	LVDS3F_11p	No		D13	DQ83	DQ41	DQ20	DQ10
3F	25	VREFB3FN0	IO		CLK_3F_1n	LVDS3F_12n	Yes		C10	DQ83	DQ41	DQ20	DQ10
3F	24	VREFB3FN0	IO		CLK_3F_1p	LVDS3F_12p	Yes		C11	DQ83	DQ41	DQ20	DQ10
3F	23	VREFB3FN0	IO		CLK_3F_0n	LVDS3F_13n	No		K12	DQ84	DQ42	DQ21	DQ10
3F	22	VREFB3FN0	IO		CLK_3F_0p	LVDS3F_13p	No		J12	DQ84	DQ42	DQ21	DQ10
3F	21	VREFB3FN0	IO			LVDS3F_14n	Yes		J14	DQSn84	DQ42	DQ21	DQSn10/CQn10
3F	20	VREFB3FN0	IO			LVDS3F_14p	Yes		K14	DQSn84	DQ42	DQ21	DQSn10/CQn10
3F	19	VREFB3FN0	IO		PLL_3F_CLKOUT0n	LVDS3F_15n	No		J11	DQ84	DQ42	DQ21	DQ10
3F	18	VREFB3FN0	IO		PLL_3F_CLKOUT0p,PLL_3F_CLKOUT0,PLL_3F_FB0	LVDS3F_15p	No		K11	DQ84	DQ42	DQ21	DQ10
3F	17	VREFB3FN0	IO			LVDS3F_16n	Yes		L14	DQSn85	DQSn42/CQn42	DQ21	DQ10
3F	16	VREFB3FN0	IO			LVDS3F_16p	Yes		M13	DQSn85	DQSn42/CQn42	DQ21	DQ10
3F	15	VREFB3FN0	IO			LVDS3F_17n	No		J13	DQ85	DQ42	DQ21	DQ10
3F	14	VREFB3FN0	IO			LVDS3F_17p	No		H13	DQ85	DQ42	DQ21	DQ10
3F	13	VREFB3FN0	IO			LVDS3F_18n	Yes		L13	DQ85	DQ42	DQSn21/CQn21	DQ10
3F	12	VREFB3FN0	IO			LVDS3F_18p	Yes		M12	DQ85	DQ42	DQSn21/CQn21	DQ10
3F	11	VREFB3FN0	IO			LVDS3F_19n	No		G13	DQ86	DQ43	DQ21	DQ10
3F	10	VREFB3FN0	IO			LVDS3F_19p	No		F13	DQ86	DQ43	DQ21	DQ10
3F	9	VREFB3FN0	IO			LVDS3F_20n	Yes		G12	DQSn86	DQ43	DQ21	DQ10
3F	8	VREFB3FN0	IO			LVDS3F_20p	Yes		G11	DQSn86	DQ43	DQ21	DQ10
3F	7	VREFB3FN0	IO			LVDS3F_21n	No		E10	DQ86	DQ43	DQ21	DQ10
3F	6	VREFB3FN0	IO			LVDS3F_21p	No		E11	DQ86	DQ43	DQ21	DQ10
3F	5	VREFB3FN0	IO			LVDS3F_22n	Yes		F10	DQSn87	DQSn43/CQn43	DQ21	DQ10
3F	4	VREFB3FN0	IO			LVDS3F_22p	Yes		G10	DQSn87	DQSn43/CQn43	DQ21	DQ10
3F	3	VREFB3FN0	IO			LVDS3F_23n	No		F12	DQ87	DQ43	DQ21	DQ10
3F	2	VREFB3FN0	IO			LVDS3F_23p	No		E12	DQ87	DQ43	DQ21	DQ10
3F	1	VREFB3FN0	IO			LVDS3F_24n	Yes		H10	DQ87	DQ43	DQ21	DQ10
3F	0	VREFB3FN0	IO			LVDS3F_24p	Yes		H11	DQ87	DQ43	DQ21	DQ10
3E	47	VREFB3EN0	IO			LVDS3E_1n	No		R11	DQ88	DQ44	DQ22	DQ11
3E	46	VREFB3EN0	IO			LVDS3E_1p	No		R12	DQ88	DQ44	DQ22	DQ11
3E	45	VREFB3EN0	IO			LVDS3E_2n	Yes		M10	DQSn88	DQ44	DQ22	DQ11
3E	44	VREFB3EN0	IO			LVDS3E_2p	Yes		N10	DQSn88	DQ44	DQ22	DQ11
3E	43	VREFB3EN0	IO			LVDS3E_3n	No		M11	DQ88	DQ44	DQ22	DQ11
3E	42	VREFB3EN0	IO			LVDS3E_3p	No		L12	DQ88	DQ44	DQ22	DQ11
3E	41	VREFB3EN0	IO			LVDS3E_4n	Yes		P12	DQSn89	DQSn44/CQn44	DQ22	DQ11
3E	40	VREFB3EN0	IO			LVDS3E_4p	Yes		P13	DQSn89	DQSn44/CQn44	DQ22	DQ11

Bank Number	Index within I/O Bank (1)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	GT Support	SF45	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
3E	39	VREFB3E0	IO			LVDS3E_5n	No		N14	DQ89	DQ44	DQ22	DQ11
3E	38	VREFB3E0	IO			LVDS3E_5p	No		N13	DQ89	DQ44	DQ22	DQ11
3E	37	VREFB3E0	IO			LVDS3E_6n	Yes		P11	DQ89	DQ44	DQSn22/CQn22	DQ11
3E	36	VREFB3E0	IO			LVDS3E_6p	Yes		N11	DQ89	DQ44	DQSn22/CQn22	DQ11
3E	35	VREFB3E0	IO			LVDS3E_7n	No		P16	DQ90	DQ45	DQ22	DQ11
3E	34	VREFB3E0	IO			LVDS3E_7p	No		P17	DQ90	DQ45	DQ22	DQ11
3E	33	VREFB3E0	IO			LVDS3E_8n	Yes		N15	DQSn90	DQ45	DQ22	DQ11
3E	32	VREFB3E0	IO			LVDS3E_8p	Yes		N16	DQSn90	DQ45	DQ22	DQ11
3E	31	VREFB3E0	IO			LVDS3E_9n	No		R15	DQ90	DQ45	DQ22	DQ11
3E	30	VREFB3E0	IO			LVDS3E_9p	No		T14	DQ90	DQ45	DQ22	DQ11
3E	29	VREFB3E0	IO	PLL_3E_CLKOUT1n		LVDS3E_10n	Yes		T13	DQSn91	DQSn45/CQn45	DQ22	DQ11
3E	28	VREFB3E0	IO	PLL_3E_CLKOUT1p,PLL_3E_CLKOUT1,PLL_3E_FB1		LVDS3E_10p	Yes		U13	DQSn91	DQSn45/CQn45	DQ22	DQ11
3E	27	VREFB3E0	IO			LVDS3E_11n	No		W14	DQ91	DQ45	DQ22	DQ11
3E	26	VREFB3E0	IO	RZQ_3E		LVDS3E_11p	No		V14	DQ91	DQ45	DQ22	DQ11
3E	25	VREFB3E0	IO	CLK_3E_1n		LVDS3E_12n	Yes		P14	DQ91	DQ45	DQ22	DQ11
3E	24	VREFB3E0	IO	CLK_3E_1p		LVDS3E_12p	Yes		R14	DQ91	DQ45	DQ22	DQ11
3E	23	VREFB3E0	IO	CLK_3E_0n		LVDS3E_13n	No		AC11	DQ92	DQ46	DQ23	DQ11
3E	22	VREFB3E0	IO	CLK_3E_0p		LVDS3E_13p	No		AB11	DQ92	DQ46	DQ23	DQ11
3E	21	VREFB3E0	IO			LVDS3E_14n	Yes		AD13	DQSn92	DQ46	DQ23	DQSn11/CQn11
3E	20	VREFB3E0	IO			LVDS3E_14p	Yes		AD14	DQSn92	DQ46	DQ23	DQSn11/CQn11
3E	19	VREFB3E0	IO	PLL_3E_CLKOUT0n		LVDS3E_15n	No		Y12	DQ92	DQ46	DQ23	DQ11
3E	18	VREFB3E0	IO	PLL_3E_CLKOUT0p,PLL_3E_CLKOUT0,PLL_3E_FB0		LVDS3E_15p	No		AA13	DQ92	DQ46	DQ23	DQ11
3E	17	VREFB3E0	IO			LVDS3E_16n	Yes		AB12	DQSn93	DQSn46/CQn46	DQ23	DQ11
3E	16	VREFB3E0	IO			LVDS3E_16p	Yes		AC13	DQSn93	DQSn46/CQn46	DQ23	DQ11
3E	15	VREFB3E0	IO			LVDS3E_17n	No		Y11	DQ93	DQ46	DQ23	DQ11
3E	14	VREFB3E0	IO			LVDS3E_17p	No		Y10	DQ93	DQ46	DQ23	DQ11
3E	13	VREFB3E0	IO			LVDS3E_18n	Yes		AA14	DQ93	DQ46	DQSn23/CQn23	DQ11
3E	12	VREFB3E0	IO			LVDS3E_18p	Yes		AB13	DQ93	DQ46	DQSn23/CQn23	DQ11
3E	11	VREFB3E0	IO			LVDS3E_19n	No		W13	DQ94	DQ47	DQ23	DQ11
3E	10	VREFB3E0	IO			LVDS3E_19p	No		V13	DQ94	DQ47	DQ23	DQ11
3E	9	VREFB3E0	IO			LVDS3E_20n	Yes		T10	DQSn94	DQ47	DQ23	DQ11
3E	8	VREFB3E0	IO			LVDS3E_20p	Yes		U11	DQSn94	DQ47	DQ23	DQ11
3E	7	VREFB3E0	IO			LVDS3E_21n	No		T12	DQ94	DQ47	DQ23	DQ11
3E	6	VREFB3E0	IO			LVDS3E_21p	No		U12	DQ94	DQ47	DQ23	DQ11
3E	5	VREFB3E0	IO			LVDS3E_22n	Yes		W10	DQSn95	DQSn47/CQn47	DQ23	DQ11
3E	4	VREFB3E0	IO			LVDS3E_22p	Yes		V11	DQSn95	DQSn47/CQn47	DQ23	DQ11
3E	3	VREFB3E0	IO			LVDS3E_23n	No		Y15	DQ95	DQ47	DQ23	DQ11
3E	2	VREFB3E0	IO			LVDS3E_23p	No		Y14	DQ95	DQ47	DQ23	DQ11
3E	1	VREFB3E0	IO			LVDS3E_24n	Yes		W11	DQ95	DQ47	DQ23	DQ11
3E	0	VREFB3E0	IO			LVDS3E_24p	Yes		W12	DQ95	DQ47	DQ23	DQ11
3D	47	VREFB3D0	IO			LVDS3D_1n	No		AK12	DQ96	DQ48	DQ24	DQ12
3D	46	VREFB3D0	IO			LVDS3D_1p	No		AJ11	DQ96	DQ48	DQ24	DQ12
3D	45	VREFB3D0	IO			LVDS3D_2n	Yes		AL13	DQSn96	DQ48	DQ24	DQ12
3D	44	VREFB3D0	IO			LVDS3D_2p	Yes		AL12	DQSn96	DQ48	DQ24	DQ12
3D	43	VREFB3D0	IO			LVDS3D_3n	No		AJ14	DQ96	DQ48	DQ24	DQ12
3D	42	VREFB3D0	IO			LVDS3D_3p	No		AK14	DQ96	DQ48	DQ24	DQ12
3D	41	VREFB3D0	IO			LVDS3D_4n	Yes		AH14	DQSn97	DQSn48/CQn48	DQ24	DQ12
3D	40	VREFB3D0	IO			LVDS3D_4p	Yes		AH13	DQSn97	DQSn48/CQn48	DQ24	DQ12
3D	39	VREFB3D0	IO			LVDS3D_5n	No		AH11	DQ97	DQ48	DQ24	DQ12
3D	38	VREFB3D0	IO			LVDS3D_5p	No		AH10	DQ97	DQ48	DQ24	DQ12
3D	37	VREFB3D0	IO			LVDS3D_6n	Yes		AJ13	DQ97	DQ48	DQSn24/CQn24	DQ12
3D	36	VREFB3D0	IO			LVDS3D_6p	Yes		AJ12	DQ97	DQ48	DQSn24/CQn24	DQ12
3D	35	VREFB3D0	IO			LVDS3D_7n	No		AE12	DQ98	DQ49	DQ24	DQ12
3D	34	VREFB3D0	IO			LVDS3D_7p	No		AF12	DQ98	DQ49	DQ24	DQ12
3D	33	VREFB3D0	IO			LVDS3D_8n	Yes		AG11	DQSn98	DQ49	DQ24	DQ12
3D	32	VREFB3D0	IO			LVDS3D_8p	Yes		AG12	DQSn98	DQ49	DQ24	DQ12
3D	31	VREFB3D0	IO			LVDS3D_9n	No		AF15	DQ98	DQ49	DQ24	DQ12
3D	30	VREFB3D0	IO			LVDS3D_9p	No		AF14	DQ98	DQ49	DQ24	DQ12
3D	29	VREFB3D0	IO	PLL_3D_CLKOUT1n		LVDS3D_10n	Yes		AD12	DQSn99	DQSn49/CQn49	DQ24	DQ12
3D	28	VREFB3D0	IO	PLL_3D_CLKOUT1p,PLL_3D_CLKOUT1,PLL_3D_FB1		LVDS3D_10p	Yes		AE11	DQSn99	DQSn49/CQn49	DQ24	DQ12
3D	27	VREFB3D0	IO			LVDS3D_11n	No		AE15	DQ99	DQ49	DQ24	DQ12
3D	26	VREFB3D0	IO	RZQ_3D		LVDS3D_11p	No		AE14	DQ99	DQ49	DQ24	DQ12
3D	25	VREFB3D0	IO	CLK_3D_1n		LVDS3D_12n	Yes		AG13	DQ99	DQ49	DQ24	DQ12
3D	24	VREFB3D0	IO	CLK_3D_1p		LVDS3D_12p	Yes		AF13	DQ99	DQ49	DQ24	DQ12
3D	23	VREFB3D0	IO	CLK_3D_0n		LVDS3D_13n	No		AL18	DQ100	DQ50	DQ25	DQ12
3D	22	VREFB3D0	IO	CLK_3D_0p		LVDS3D_13p	No		AM18	DQ100	DQ50	DQ25	DQ12
3D	21	VREFB3D0	IO			LVDS3D_14n	Yes		AK15	DQSn100	DQ50	DQ25	DQSn12/CQn12
3D	20	VREFB3D0	IO			LVDS3D_14p	Yes		AL15	DQSn100	DQ50	DQ25	DQSn12/CQn12
3D	19	VREFB3D0	IO	PLL_3D_CLKOUT0n		LVDS3D_15n	No		AN16	DQ100	DQ50	DQ25	DQ12
3D	18	VREFB3D0	IO	PLL_3D_CLKOUT0p,PLL_3D_CLKOUT0,PLL_3D_FB0		LVDS3D_15p	No		AM16	DQ100	DQ50	DQ25	DQ12
3D	17	VREFB3D0	IO			LVDS3D_16n	Yes		AL14	DQSn101	DQSn50/CQn50	DQ25	DQ12
3D	16	VREFB3D0	IO			LVDS3D_16p	Yes		AM15	DQSn101	DQSn50/CQn50	DQ25	DQ12
3D	15	VREFB3D0	IO			LVDS3D_17n	No		AL20	DQ101	DQ50	DQ25	DQ12
3D	14	VREFB3D0	IO			LVDS3D_17p	No		AL19	DQ101	DQ50	DQ25	DQ12
3D	13	VREFB3D0	IO			LVDS3D_18n	Yes		AL17	DQ101	DQ50	DQSn25/CQn25	DQ12
3D	12	VREFB3D0	IO			LVDS3D_18p	Yes		AM17	DQ101	DQ50	DQSn25/CQn25	DQ12
3D	11	VREFB3D0	IO			LVDS3D_19n	No		AN10	DQ102	DQ51	DQ25	DQ12
3D	10	VREFB3D0	IO			LVDS3D_19p	No		AN11	DQ102	DQ51	DQ25	DQ12
3D	9	VREFB3D0	IO			LVDS3D_20n	Yes		AK11	DQSn102	DQ51	DQ25	DQ12
3D	8	VREFB3D0	IO			LVDS3D_20p	Yes		AL10	DQSn102	DQ51	DQ25	DQ12

Bank Number	Index within I/O Bank (1)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	GT Support	SF45	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
3D	7	VREFB3DN0	IO			LVDS3D_21n	No		AM13	DQ102	DQ51	DQ25	DQ12
3D	6	VREFB3DN0	IO			LVDS3D_21p	No		AN13	DQ102	DQ51	DQ25	DQ12
3D	5	VREFB3DN0	IO			LVDS3D_22n	Yes		AN14	DQS103	DQSn51/CQn51	DQ25	DQ12
3D	4	VREFB3DN0	IO			LVDS3D_22p	Yes		AN15	DQS103	DQSn51/CQn51	DQ25	DQ12
3D	3	VREFB3DN0	IO			LVDS3D_23n	No		AR10	DQ103	DQ51	DQ25	DQ12
3D	2	VREFB3DN0	IO			LVDS3D_23p	No		AP11	DQ103	DQ51	DQ25	DQ12
3D	1	VREFB3DN0	IO			LVDS3D_24n	Yes		AM11	DQ103	DQ51	DQ25	DQ12
3D	0	VREFB3DN0	IO			LVDS3D_24p	Yes		AM12	DQ103	DQ51	DQ25	DQ12
3C	47	VREFB3CN0	IO			LVDS3C_1n	No		AV10	DQ104	DQ52	DQ26	DQ13
3C	46	VREFB3CN0	IO			LVDS3C_1p	No		AU10	DQ104	DQ52	DQ26	DQ13
3C	45	VREFB3CN0	IO			LVDS3C_2n	Yes		AU12	DQSn104	DQ52	DQ26	DQ13
3C	44	VREFB3CN0	IO			LVDS3C_2p	Yes		AU11	DQSn104	DQ52	DQ26	DQ13
3C	43	VREFB3CN0	IO			LVDS3C_3n	No		AV13	DQ104	DQ52	DQ26	DQ13
3C	42	VREFB3CN0	IO			LVDS3C_3p	No		AW13	DQ104	DQ52	DQ26	DQ13
3C	41	VREFB3CN0	IO			LVDS3C_4n	Yes		AY12	DQSn105	DQSn52/CQn52	DQ26	DQ13
3C	40	VREFB3CN0	IO			LVDS3C_4p	Yes		AW12	DQSn105	DQSn52/CQn52	DQ26	DQ13
3C	39	VREFB3CN0	IO			LVDS3C_5n	No		AW11	DQ105	DQ52	DQ26	DQ13
3C	38	VREFB3CN0	IO			LVDS3C_5p	No		AV11	DQ105	DQ52	DQ26	DQ13
3C	37	VREFB3CN0	IO			LVDS3C_6n	Yes		AY11	DQ105	DQ52	DQSn26/CQn26	DQ13
3C	36	VREFB3CN0	IO			LVDS3C_6p	Yes		AY10	DQ105	DQ52	DQSn26/CQn26	DQ13
3C	35	VREFB3CN0	IO			LVDS3C_7n	No		AT9	DQ106	DQ53	DQ26	DQ13
3C	34	VREFB3CN0	IO			LVDS3C_7p	No		AR9	DQ106	DQ53	DQ26	DQ13
3C	33	VREFB3CN0	IO			LVDS3C_8n	Yes		AU13	DQSn106	DQ53	DQ26	DQ13
3C	32	VREFB3CN0	IO			LVDS3C_8p	Yes		AT13	DQSn106	DQ53	DQ26	DQ13
3C	31	VREFB3CN0	IO			LVDS3C_9n	No		AT8	DQ106	DQ53	DQ26	DQ13
3C	30	VREFB3CN0	IO			LVDS3C_9p	No		AU8	DQ106	DQ53	DQ26	DQ13
3C	29	VREFB3CN0	IO		PLL_3C_CLKOUT1n	LVDS3C_10n	Yes		AR12	DQSn107	DQSn53/CQn53	DQ26	DQ13
3C	28	VREFB3CN0	IO		PLL_3C_CLKOUT1p,PLL_3C_CLKOUT1,PLL_3C_FB1	LVDS3C_10p	Yes		AP12	DQSn107	DQSn53/CQn53	DQ26	DQ13
3C	27	VREFB3CN0	IO			LVDS3C_11n	No		AP13	DQ107	DQ53	DQ26	DQ13
3C	26	VREFB3CN0	IO		RZQ_3C	LVDS3C_11p	No		AP14	DQ107	DQ53	DQ26	DQ13
3C	25	VREFB3CN0	IO		CLK_3C_1n	LVDS3C_12n	Yes		AR11	DQ107	DQ53	DQ26	DQ13
3C	24	VREFB3CN0	IO		CLK_3C_1p	LVDS3C_12p	Yes		AT10	DQ107	DQ53	DQ26	DQ13
3C	23	VREFB3CN0	IO		CLK_3C_0n	LVDS3C_13n	No		BA13	DQ108	DQ54	DQ27	DQ13
3C	22	VREFB3CN0	IO		CLK_3C_0p	LVDS3C_13p	No		BA12	DQ108	DQ54	DQ27	DQ13
3C	21	VREFB3CN0	IO			LVDS3C_14n	Yes		BD12	DQSn108	DQ54	DQ27	DQSn13/CQn13
3C	20	VREFB3CN0	IO			LVDS3C_14p	Yes		BD13	DQSn108	DQ54	DQ27	DQSn13/CQn13
3C	19	VREFB3CN0	IO		PLL_3C_CLKOUT0n	LVDS3C_15n	No		BA10	DQ108	DQ54	DQ27	DQ13
3C	18	VREFB3CN0	IO		PLL_3C_CLKOUT0p,PLL_3C_CLKOUT0,PLL_3C_FB0	LVDS3C_15p	No		BB10	DQ108	DQ54	DQ27	DQ13
3C	17	VREFB3CN0	IO			LVDS3C_16n	Yes		BB11	DQSn109	DQSn54/CQn54	DQ27	DQ13
3C	16	VREFB3CN0	IO			LVDS3C_16p	Yes		BB12	DQSn109	DQSn54/CQn54	DQ27	DQ13
3C	15	VREFB3CN0	IO			LVDS3C_17n	No		BD14	DQ109	DQ54	DQ27	DQ13
3C	14	VREFB3CN0	IO			LVDS3C_17p	No		BC14	DQ109	DQ54	DQ27	DQ13
3C	13	VREFB3CN0	IO			LVDS3C_18n	Yes		BB13	DQ109	DQ54	DQSn27/CQn27	DQ13
3C	12	VREFB3CN0	IO			LVDS3C_18p	Yes		BC13	DQ109	DQ54	DQSn27/CQn27	DQ13
3C	11	VREFB3CN0	IO			LVDS3C_19n	No		BB16	DQ110	DQ55	DQ27	DQ13
3C	10	VREFB3CN0	IO			LVDS3C_19p	No		BC16	DQ110	DQ55	DQ27	DQ13
3C	9	VREFB3CN0	IO			LVDS3C_20n	Yes		BD16	DQSn110	DQ55	DQ27	DQ13
3C	8	VREFB3CN0	IO			LVDS3C_20p	Yes		BD17	DQSn110	DQ55	DQ27	DQ13
3C	7	VREFB3CN0	IO			LVDS3C_21n	No		BA14	DQ110	DQ55	DQ27	DQ13
3C	6	VREFB3CN0	IO			LVDS3C_21p	No		BA15	DQ110	DQ55	DQ27	DQ13
3C	5	VREFB3CN0	IO			LVDS3C_22n	Yes		BC15	DQSn111	DQSn55/CQn55	DQ27	DQ13
3C	4	VREFB3CN0	IO			LVDS3C_22p	Yes		BB15	DQSn111	DQSn55/CQn55	DQ27	DQ13
3C	3	VREFB3CN0	IO			LVDS3C_23n	No		BD18	DQ111	DQ55	DQ27	DQ13
3C	2	VREFB3CN0	IO			LVDS3C_23p	No		BC18	DQ111	DQ55	DQ27	DQ13
3C	1	VREFB3CN0	IO			LVDS3C_24n	Yes		BB18	DQ111	DQ55	DQ27	DQ13
3C	0	VREFB3CN0	IO			LVDS3C_24p	Yes		BB17	DQ111	DQ55	DQ27	DQ13
3B	47	VREFB3BN0	IO			LVDS3B_1n	No		AP16	DQ112	DQ56	DQ28	DQ14
3B	46	VREFB3BN0	IO			LVDS3B_1p	No		AR16	DQ112	DQ56	DQ28	DQ14
3B	45	VREFB3BN0	IO			LVDS3B_2n	Yes		AT18	DQSn112	DQ56	DQ28	DQ14
3B	44	VREFB3BN0	IO			LVDS3B_2p	Yes		AU18	DQSn112	DQ56	DQ28	DQ14
3B	43	VREFB3BN0	IO			LVDS3B_3n	No		AU17	DQ112	DQ56	DQ28	DQ14
3B	42	VREFB3BN0	IO			LVDS3B_3p	No		AT17	DQ112	DQ56	DQ28	DQ14
3B	41	VREFB3BN0	IO			LVDS3B_4n	Yes		AP17	DQSn113	DQSn56/CQn56	DQ28	DQ14
3B	40	VREFB3BN0	IO			LVDS3B_4p	Yes		AR17	DQSn113	DQSn56/CQn56	DQ28	DQ14
3B	39	VREFB3BN0	IO			LVDS3B_5n	No		AR14	DQ113	DQ56	DQ28	DQ14
3B	38	VREFB3BN0	IO			LVDS3B_5p	No		AT14	DQ113	DQ56	DQ28	DQ14
3B	37	VREFB3BN0	IO			LVDS3B_6n	Yes		AT15	DQ113	DQ56	DQSn28/CQn28	DQ14
3B	36	VREFB3BN0	IO			LVDS3B_6p	Yes		AR15	DQ113	DQ56	DQSn28/CQn28	DQ14
3B	35	VREFB3BN0	IO			LVDS3B_7n	No		AW17	DQ114	DQ57	DQ28	DQ14
3B	34	VREFB3BN0	IO			LVDS3B_7p	No		AY17	DQ114	DQ57	DQ28	DQ14
3B	33	VREFB3BN0	IO			LVDS3B_8n	Yes		AW14	DQSn114	DQ57	DQ28	DQ14
3B	32	VREFB3BN0	IO			LVDS3B_8p	Yes		AV14	DQSn114	DQ57	DQ28	DQ14
3B	31	VREFB3BN0	IO			LVDS3B_9n	No		AW16	DQ114	DQ57	DQ28	DQ14
3B	30	VREFB3BN0	IO			LVDS3B_9p	No		AY16	DQ114	DQ57	DQ28	DQ14
3B	29	VREFB3BN0	IO		PLL_3B_CLKOUT1n	LVDS3B_10n	Yes		AU16	DQSn115	DQSn57/CQn57	DQ28	DQ14
3B	28	VREFB3BN0	IO		PLL_3B_CLKOUT1p,PLL_3B_CLKOUT1,PLL_3B_FB1	LVDS3B_10p	Yes		AV16	DQSn115	DQSn57/CQn57	DQ28	DQ14
3B	27	VREFB3BN0	IO			LVDS3B_11n	No		AY14	DQ115	DQ57	DQ28	DQ14
3B	26	VREFB3BN0	IO		RZQ_3B	LVDS3B_11p	No		AY15	DQ115	DQ57	DQ28	DQ14
3B	25	VREFB3BN0	IO		CLK_3B_1n	LVDS3B_12n	Yes		AU15	DQ115	DQ57	DQ28	DQ14
3B	24	VREFB3BN0	IO		CLK_3B_1p	LVDS3B_12p	Yes		AV15	DQ115	DQ57	DQ28	DQ14

Bank Number	Index within I/O Bank (1)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	GT Support	SF45	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
3B	23	VREFB3BN0	IO	CLK_3B_0n		LVDS3B_13n	No		AY19	DQ116	DQ58	DQ29	DQ14
3B	22	VREFB3BN0	IO	CLK_3B_0p		LVDS3B_13p	No		AY20	DQ116	DQ58	DQ29	DQ14
3B	21	VREFB3BN0	IO			LVDS3B_14n	Yes		AV18	DQS116	DQ58	DQ29	DQS14/CQn14
3B	20	VREFB3BN0	IO			LVDS3B_14p	Yes		AW18	DQS116	DQ58	DQ29	DQS14/CQ14
3B	19	VREFB3BN0	IO	PLL_3B_CLKOUT0n		LVDS3B_15n	No		AY21	DQ116	DQ58	DQ29	DQ14
3B	18	VREFB3BN0	IO	PLL_3B_CLKOUT0p,PLL_3B_CLKOUT0,PLL_3B_FB0		LVDS3B_15p	No		AW21	DQ116	DQ58	DQ29	DQ14
3B	17	VREFB3BN0	IO			LVDS3B_16n	Yes		AV21	DQS117	DQS58/CQn58	DQ29	DQ14
3B	16	VREFB3BN0	IO			LVDS3B_16p	Yes		AU21	DQS117	DQS58/CQ58	DQ29	DQ14
3B	15	VREFB3BN0	IO			LVDS3B_17n	No		AW19	DQ117	DQ58	DQ29	DQ14
3B	14	VREFB3BN0	IO			LVDS3B_17p	No		AV19	DQ117	DQ58	DQ29	DQ14
3B	13	VREFB3BN0	IO			LVDS3B_18n	Yes		AU20	DQ117	DQ58	DQS29/CQn29	DQ14
3B	12	VREFB3BN0	IO			LVDS3B_18p	Yes		AV20	DQ117	DQ58	DQS29/CQ29	DQ14
3B	11	VREFB3BN0	IO			LVDS3B_19n	No		AT20	DQ118	DQ59	DQ29	DQ14
3B	10	VREFB3BN0	IO			LVDS3B_19p	No		AT19	DQ118	DQ59	DQ29	DQ14
3B	9	VREFB3BN0	IO			LVDS3B_20n	Yes		AR21	DQS118	DQ59	DQ29	DQ14
3B	8	VREFB3BN0	IO			LVDS3B_20p	Yes		AP21	DQS118	DQ59	DQ29	DQ14
3B	7	VREFB3BN0	IO			LVDS3B_21n	No		AN19	DQ118	DQ59	DQ29	DQ14
3B	6	VREFB3BN0	IO			LVDS3B_21p	No		AP18	DQ118	DQ59	DQ29	DQ14
3B	5	VREFB3BN0	IO			LVDS3B_22n	Yes		AP19	DQS119	DQS59/CQn59	DQ29	DQ14
3B	4	VREFB3BN0	IO			LVDS3B_22p	Yes		AN20	DQS119	DQS59/CQ59	DQ29	DQ14
3B	3	VREFB3BN0	IO			LVDS3B_23n	No		AR19	DQ119	DQ59	DQ29	DQ14
3B	2	VREFB3BN0	IO			LVDS3B_23p	No		AR20	DQ119	DQ59	DQ29	DQ14
3B	1	VREFB3BN0	IO			LVDS3B_24n	Yes		AT22	DQ119	DQ59	DQ29	DQ14
3B	0	VREFB3BN0	IO			LVDS3B_24p	Yes		AR22	DQ119	DQ59	DQ29	DQ14
3A	47	VREFB3AN0	IO			LVDS3A_1n	No		AP23	DQ120	DQ60	DQ30	DQ15
3A	46	VREFB3AN0	IO			LVDS3A_1p	No		AP22	DQ120	DQ60	DQ30	DQ15
3A	45	VREFB3AN0	IO			LVDS3A_2n	Yes		AR25	DQS120	DQ60	DQ30	DQ15
3A	44	VREFB3AN0	IO			LVDS3A_2p	Yes		AT25	DQS120	DQ60	DQ30	DQ15
3A	43	VREFB3AN0	IO			LVDS3A_3n	No		AT24	DQ120	DQ60	DQ30	DQ15
3A	42	VREFB3AN0	IO			LVDS3A_3p	No		AT23	DQ120	DQ60	DQ30	DQ15
3A	41	VREFB3AN0	IO			LVDS3A_4n	Yes		AP24	DQS121	DQS60/CQn60	DQ30	DQ15
3A	40	VREFB3AN0	IO			LVDS3A_4p	Yes		AR24	DQS121	DQS60/CQ60	DQ30	DQ15
3A	39	VREFB3AN0	IO			LVDS3A_5n	No		AR26	DQ121	DQ60	DQ30	DQ15
3A	38	VREFB3AN0	IO			LVDS3A_5p	No		AP26	DQ121	DQ60	DQ30	DQ15
3A	37	VREFB3AN0	IO			LVDS3A_6n	Yes		AU22	DQ121	DQ60	DQS30/CQn30	DQ15
3A	36	VREFB3AN0	IO			LVDS3A_6p	Yes		AU23	DQ121	DQ60	DQS30/CQ30	DQ15
3A	35	VREFB3AN0	IO			LVDS3A_7n	No		AY25	DQ122	DQ61	DQ30	DQ15
3A	34	VREFB3AN0	IO			LVDS3A_7p	No		BA25	DQ122	DQ61	DQ30	DQ15
3A	33	VREFB3AN0	IO			LVDS3A_8n	Yes		BA24	DQS122	DQ61	DQ30	DQ15
3A	32	VREFB3AN0	IO			LVDS3A_8p	Yes		AY24	DQS122	DQ61	DQ30	DQ15
3A	31	VREFB3AN0	IO			LVDS3A_9n	No		AV25	DQ122	DQ61	DQ30	DQ15
3A	30	VREFB3AN0	IO			LVDS3A_9p	No		AU25	DQ122	DQ61	DQ30	DQ15
3A	29	VREFB3AN0	IO	PLL_3A_CLKOUT1n		LVDS3A_10n	Yes		AV23	DQS123	DQS61/CQn61	DQ30	DQ15
3A	28	VREFB3AN0	IO	PLL_3A_CLKOUT1p,PLL_3A_CLKOUT1,PLL_3A_FB1		LVDS3A_10p	Yes		AW23	DQS123	DQS61/CQ61	DQ30	DQ15
3A	27	VREFB3AN0	IO			LVDS3A_11n	No		AY22	DQ123	DQ61	DQ30	DQ15
3A	26	VREFB3AN0	IO	RZQ_3A		LVDS3A_11p	No		AW22	DQ123	DQ61	DQ30	DQ15
3A	25	VREFB3AN0	IO	CLK_3A_1n		LVDS3A_12n	Yes		AW24	DQ123	DQ61	DQ30	DQ15
3A	24	VREFB3AN0	IO	CLK_3A_1p		LVDS3A_12p	Yes		AV24	DQ123	DQ61	DQ30	DQ15
3A	23	VREFB3AN0	IO	CLK_3A_0n		LVDS3A_13n	No		BC24	DQ124	DQ62	DQ31	DQ15
3A	22	VREFB3AN0	IO	CLK_3A_0p		LVDS3A_13p	No		BD24	DQ124	DQ62	DQ31	DQ15
3A	21	VREFB3AN0	IO			LVDS3A_14n	Yes		BB25	DQS124	DQ62	DQ31	DQS15/CQn15
3A	20	VREFB3AN0	IO			LVDS3A_14p	Yes		BC25	DQS124	DQ62	DQ31	DQS15/CQ15
3A	19	VREFB3AN0	IO	PLL_3A_CLKOUT0n		LVDS3A_15n	No		BD23	DQ124	DQ62	DQ31	DQ15
3A	18	VREFB3AN0	IO	PLL_3A_CLKOUT0p,PLL_3A_CLKOUT0,PLL_3A_FB0		LVDS3A_15p	No		BC23	DQ124	DQ62	DQ31	DQ15
3A	17	VREFB3AN0	IO			LVDS3A_16n	Yes		BA23	DQS125	DQS62/CQn62	DQ31	DQ15
3A	16	VREFB3AN0	IO			LVDS3A_16p	Yes		BB23	DQS125	DQS62/CQ62	DQ31	DQ15
3A	15	VREFB3AN0	IO			LVDS3A_17n	No		BC26	DQ125	DQ62	DQ31	DQ15
3A	14	VREFB3AN0	IO			LVDS3A_17p	No		BD26	DQ125	DQ62	DQ31	DQ15
3A	13	VREFB3AN0	IO			LVDS3A_18n	Yes		BB22	DQ125	DQ62	DQS31/CQn31	DQ15
3A	12	VREFB3AN0	IO			LVDS3A_18p	Yes		BA22	DQ125	DQ62	DQS31/CQ31	DQ15
3A	11	VREFB3AN0	IO			LVDS3A_19n	No		BD22	DQ126	DQ63	DQ31	DQ15
3A	10	VREFB3AN0	IO			LVDS3A_19p	No		BD21	DQ126	DQ63	DQ31	DQ15
3A	9	VREFB3AN0	IO			LVDS3A_20n	Yes		BD19	DQS126	DQ63	DQ31	DQ15
3A	8	VREFB3AN0	IO			LVDS3A_20p	Yes		BC19	DQS126	DQ63	DQ31	DQ15
3A	7	VREFB3AN0	IO			LVDS3A_21n	No		BA20	DQ126	DQ63	DQ31	DQ15
3A	6	VREFB3AN0	IO			LVDS3A_21p	No		BA19	DQ126	DQ63	DQ31	DQ15
3A	5	VREFB3AN0	IO			LVDS3A_22n	Yes		BA18	DQS127	DQS63/CQn63	DQ31	DQ15
3A	4	VREFB3AN0	IO			LVDS3A_22p	Yes		BA17	DQS127	DQS63/CQ63	DQ31	DQ15
3A	3	VREFB3AN0	IO			LVDS3A_23n	No		BB21	DQ127	DQ63	DQ31	DQ15
3A	2	VREFB3AN0	IO			LVDS3A_23p	No		BC21	DQ127	DQ63	DQ31	DQ15
3A	1	VREFB3AN0	IO			LVDS3A_24n	Yes		BB20	DQ127	DQ63	DQ31	DQ15
3A	0	VREFB3AN0	IO			LVDS3A_24p	Yes		BC20	DQ127	DQ63	DQ31	DQ15
4H				REFCLK_GXBR4H_CHTp					L8				
4H				REFCLK_GXBR4H_CHTn					L7				
4H				GXBR4H_TX_CH5n					A8				
4H				GXBR4H_TX_CH5p					A7				
4H				GXBR4H_RX_CH5n,GXBR4H_REFCLK5n					C8				
4H				GXBR4H_RX_CH5p,GXBR4H_REFCLK5p					C7				
4H				GXBR4H_TX_CH4n					B6				
4H				GXBR4H_TX_CH4p					B5				

Bank Number	Index within I/O Bank (1)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	GT Support	SF45	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
4H			GXBR4H_RX_CH4n,GXBR4H_REFCLK4n						D6				
4H			GXBR4H_RX_CH4p,GXBR4H_REFCLK4p						D5				
4H			GXBR4H_TX_CH3n						A4				
4H			GXBR4H_TX_CH3p						A3				
4H			GXBR4H_RX_CH3n,GXBR4H_REFCLK3n						E8				
4H			GXBR4H_RX_CH3p,GXBR4H_REFCLK3p						E7				
4H			GXBR4H_TX_CH2n						B2				
4H			GXBR4H_TX_CH2p						B1				
4H			GXBR4H_RX_CH2n,GXBR4H_REFCLK2n						F6				
4H			GXBR4H_RX_CH2p,GXBR4H_REFCLK2p						F5				
4H			GXBR4H_TX_CH1n						C4				
4H			GXBR4H_TX_CH1p						C3				
4H			GXBR4H_RX_CH1n,GXBR4H_REFCLK1n						G8				
4H			GXBR4H_RX_CH1p,GXBR4H_REFCLK1p						G7				
4H			GXBR4H_TX_CH0n						D2				
4H			GXBR4H_TX_CH0p						D1				
4H			GXBR4H_RX_CH0n,GXBR4H_REFCLK0n						H6				
4H			GXBR4H_RX_CH0p,GXBR4H_REFCLK0p						H5				
4H			REFCLK_GXBR4H_CHBp						N8				
4H			REFCLK_GXBR4H_CHBn						N7				
4G			REFCLK_GXBR4G_CHTp						R8				
4G			REFCLK_GXBR4G_CHTn						R7				
4G			GXBR4G_TX_CH5n						E4				
4G			GXBR4G_TX_CH5p						E3				
4G			GXBR4G_RX_CH5n,GXBR4G_REFCLK5n						K6				
4G			GXBR4G_RX_CH5p,GXBR4G_REFCLK5p						K5				
4G			GXBR4G_TX_CH4n						F2				
4G			GXBR4G_TX_CH4p						F1				
4G			GXBR4G_RX_CH4n,GXBR4G_REFCLK4n						L4				
4G			GXBR4G_RX_CH4p,GXBR4G_REFCLK4p						L3				
4G			GXBR4G_TX_CH3n						G4				
4G			GXBR4G_TX_CH3p						G3				
4G			GXBR4G_RX_CH3n,GXBR4G_REFCLK3n						M6				
4G			GXBR4G_RX_CH3p,GXBR4G_REFCLK3p						M5				
4G			GXBR4G_TX_CH2n						H2				
4G			GXBR4G_TX_CH2p						H1				
4G			GXBR4G_RX_CH2n,GXBR4G_REFCLK2n						N4				
4G			GXBR4G_RX_CH2p,GXBR4G_REFCLK2p						N3				
4G			GXBR4G_TX_CH1n						J4				
4G			GXBR4G_TX_CH1p						J3				
4G			GXBR4G_RX_CH1n,GXBR4G_REFCLK1n						P6				
4G			GXBR4G_RX_CH1p,GXBR4G_REFCLK1p						P5				
4G			GXBR4G_TX_CH0n						K2				
4G			GXBR4G_TX_CH0p						K1				
4G			GXBR4G_RX_CH0n,GXBR4G_REFCLK0n						R4				
4G			GXBR4G_RX_CH0p,GXBR4G_REFCLK0p						R3				
4G			REFCLK_GXBR4G_CHBp						U8				
4G			REFCLK_GXBR4G_CHBn						U7				
4F			REFCLK_GXBR4F_CHTp						W8				
4F			REFCLK_GXBR4F_CHTn						W7				
4F			GXBR4F_TX_CH5n						M2				
4F			GXBR4F_TX_CH5p						M1				
4F			GXBR4F_RX_CH5n,GXBR4F_REFCLK5n						T6				
4F			GXBR4F_RX_CH5p,GXBR4F_REFCLK5p						T5				
4F			GXBR4F_TX_CH4n						P2				
4F			GXBR4F_TX_CH4p						P1				
4F			GXBR4F_RX_CH4n,GXBR4F_REFCLK4n						U4				
4F			GXBR4F_RX_CH4p,GXBR4F_REFCLK4p						U3				
4F			GXBR4F_TX_CH3n						T2				
4F			GXBR4F_TX_CH3p						T1				
4F			GXBR4F_RX_CH3n,GXBR4F_REFCLK3n						V6				
4F			GXBR4F_RX_CH3p,GXBR4F_REFCLK3p						V5				
4F			GXBR4F_TX_CH2n						V2				
4F			GXBR4F_TX_CH2p						V1				
4F			GXBR4F_RX_CH2n,GXBR4F_REFCLK2n						Y6				
4F			GXBR4F_RX_CH2p,GXBR4F_REFCLK2p						Y5				
4F			GXBR4F_TX_CH1n						Y2				
4F			GXBR4F_TX_CH1p						Y1				
4F			GXBR4F_RX_CH1n,GXBR4F_REFCLK1n						W4				
4F			GXBR4F_RX_CH1p,GXBR4F_REFCLK1p						W3				
4F			GXBR4F_TX_CH0n						AB2				
4F			GXBR4F_TX_CH0p						AB1				
4F			GXBR4F_RX_CH0n,GXBR4F_REFCLK0n						AA4				
4F			GXBR4F_RX_CH0p,GXBR4F_REFCLK0p						AA3				
4F			REFCLK_GXBR4F_CHBp						AA8				
4F			REFCLK_GXBR4F_CHBn						AA7				
4E			REFCLK_GXBR4E_CHTp						AC8				
4E			REFCLK_GXBR4E_CHTn						AC7				
4E			GXBR4E_TX_CH5n						AD2				
4E			GXBR4E_TX_CH5p						AD1				

Bank Number	Index within I/O Bank (1)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	GT Support	SF45	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
4E			GXBR4E_RX_CH5n,GXBR4E_REFCLK5n						AB6				
4E			GXBR4E_RX_CH5p,GXBR4E_REFCLK5p						AB5				
4E			GXBR4E_TX_CH4n						AF2				
4E			GXBR4E_TX_CH4p						AF1				
4E			GXBR4E_RX_CH4n,GXBR4E_REFCLK4n						AC4				
4E			GXBR4E_RX_CH4p,GXBR4E_REFCLK4p						AC3				
4E			GXBR4E_TX_CH3n						AH2				
4E			GXBR4E_TX_CH3p						AH1				
4E			GXBR4E_RX_CH3n,GXBR4E_REFCLK3n						AD6				
4E			GXBR4E_RX_CH3p,GXBR4E_REFCLK3p						AD5				
4E			GXBR4E_TX_CH2n						AK2				
4E			GXBR4E_TX_CH2p						AK1				
4E			GXBR4E_RX_CH2n,GXBR4E_REFCLK2n						AE4				
4E			GXBR4E_RX_CH2p,GXBR4E_REFCLK2p						AE3				
4E			GXBR4E_TX_CH1n						AM2				
4E			GXBR4E_TX_CH1p						AM1				
4E			GXBR4E_RX_CH1n,GXBR4E_REFCLK1n						AF6				
4E			GXBR4E_RX_CH1p,GXBR4E_REFCLK1p						AF5				
4E			GXBR4E_TX_CH0n						AP2				
4E			GXBR4E_TX_CH0p						AP1				
4E			GXBR4E_RX_CH0n,GXBR4E_REFCLK0n						AG4				
4E			GXBR4E_RX_CH0p,GXBR4E_REFCLK0p						AG3				
4E			REFCLK_GXBR4E_CHBp						AE8				
4E			REFCLK_GXBR4E_CHBn						AE7				
4D			REFCLK_GXBR4D_CHTp						AG8				
4D			REFCLK_GXBR4D_CHTn						AG7				
4D			GXBR4D_TX_CH5n						AR4				
4D			GXBR4D_TX_CH5p						AR3				
4D			GXBR4D_RX_CH5n,GXBR4D_REFCLK5n						AH6				
4D			GXBR4D_RX_CH5p,GXBR4D_REFCLK5p						AH5				
4D			GXBR4D_TX_CH4n						AT2				
4D			GXBR4D_TX_CH4p						AT1				
4D			GXBR4D_RX_CH4n,GXBR4D_REFCLK4n						AJ4				
4D			GXBR4D_RX_CH4p,GXBR4D_REFCLK4p						AJ3				
4D			GXBR4D_TX_CH3n						AU4				
4D			GXBR4D_TX_CH3p						AU3				
4D			GXBR4D_RX_CH3n,GXBR4D_REFCLK3n						AK6				
4D			GXBR4D_RX_CH3p,GXBR4D_REFCLK3p						AK5				
4D			GXBR4D_TX_CH2n						AV2				
4D			GXBR4D_TX_CH2p						AV1				
4D			GXBR4D_RX_CH2n,GXBR4D_REFCLK2n						AL4				
4D			GXBR4D_RX_CH2p,GXBR4D_REFCLK2p						AL3				
4D			GXBR4D_TX_CH1n						AW4				
4D			GXBR4D_TX_CH1p						AW3				
4D			GXBR4D_RX_CH1n,GXBR4D_REFCLK1n						AM6				
4D			GXBR4D_RX_CH1p,GXBR4D_REFCLK1p						AM5				
4D			GXBR4D_TX_CH0n						AY2				
4D			GXBR4D_TX_CH0p						AY1				
4D			GXBR4D_RX_CH0n,GXBR4D_REFCLK0n						AN4				
4D			GXBR4D_RX_CH0p,GXBR4D_REFCLK0p						AN3				
4D			REFCLK_GXBR4D_CHBp						AJ8				
4D			REFCLK_GXBR4D_CHBn						AJ7				
4C			REFCLK_GXBR4C_CHTp						AL8				
4C			REFCLK_GXBR4C_CHTn						AL7				
4C			GXBR4C_TX_CH5n						BA4				
4C			GXBR4C_TX_CH5p						BA3				
4C			GXBR4C_RX_CH5n,GXBR4C_REFCLK5n						AP6				
4C			GXBR4C_RX_CH5p,GXBR4C_REFCLK5p						AP5				
4C			GXBR4C_TX_CH4n						BB2				
4C			GXBR4C_TX_CH4p						BB1				
4C			GXBR4C_RX_CH4n,GXBR4C_REFCLK4n						AT6				
4C			GXBR4C_RX_CH4p,GXBR4C_REFCLK4p						AT5				
4C			GXBR4C_TX_CH3n						BC4				
4C			GXBR4C_TX_CH3p						BC3				
4C			GXBR4C_RX_CH3n,GXBR4C_REFCLK3n						AV6				
4C			GXBR4C_RX_CH3p,GXBR4C_REFCLK3p						AV5				
4C			GXBR4C_TX_CH2n						BB6				
4C			GXBR4C_TX_CH2p						BB5				
4C			GXBR4C_RX_CH2n,GXBR4C_REFCLK2n						AY6				
4C			GXBR4C_RX_CH2p,GXBR4C_REFCLK2p						AY5				
4C			GXBR4C_TX_CH1n						BD6				
4C			GXBR4C_TX_CH1p						BD5				
4C			GXBR4C_RX_CH1n,GXBR4C_REFCLK1n						BA8				
4C			GXBR4C_RX_CH1p,GXBR4C_REFCLK1p						BA7				
4C			GXBR4C_TX_CH0n						BC8				
4C			GXBR4C_TX_CH0p						BC7				
4C			GXBR4C_RX_CH0n,GXBR4C_REFCLK0n						AW8				
4C			GXBR4C_RX_CH0p,GXBR4C_REFCLK0p						AW7				
4C			REFCLK_GXBR4C_CHBp						AN8				
4C			REFCLK_GXBR4C_CHBn						AN7				

Bank Number	Index within I/O Bank (1)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	GT Support	SF45	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
			GND						AM22				
CSS			TDO		TDO				AL29				
CSS			TMS		TMS				AL24				
CSS			TRST		TRST				AL30				
CSS			TCK		TCK				AM21				
CSS			TDI		TDI				AN21				
CSS			MSEL0		MSEL0				AN26				
CSS			MSEL1		MSEL1				AL28				
CSS			MSEL2		MSEL2				AK25				
CSS			nIO_PULLUP		nIO_PULLUP				AN24				
CSS			nSTATUS		nSTATUS				AN29				
CSS			CONF_DONE		CONF_DONE				AP27				
			GND						AM28				
CSS			nCONFIG		nCONFIG				AK30				
CSS			nCE		nCE				AM25				
CSS			nCS00		nCS00				AM23				
CSS			nCS01		nCS01				AN25				
CSS			nCS02		nCS02				AM27				
CSS			AS_DATA0,ASDO		AS_DATA0,ASDO				AL27				
CSS			AS_DATA1		AS_DATA1				AL22				
CSS			AS_DATA2		AS_DATA2				AM20				
CSS			AS_DATA3		AS_DATA3				AL25				
CSS			DCLK		DCLK				AM26				
			ADCGND						R20				
			GND						A11				
			GND						A16				
			GND						A2				
			GND						A21				
			GND						A26				
			GND						A31				
			GND						A34				
			GND						A36				
			GND						A39				
			GND						A40				
			GND						A43				
			GND						A5				
			GND						A6				
			GND						A9				
			GND						AA1				
			GND						AA10				
			GND						AA11				
			GND						AA16				
			GND						AA2				
			GND						AA21				
			GND						AA26				
			GND						AA35				
			GND						AA36				
			GND						AA39				
			GND						AA40				
			GND						AA43				
			GND						AA44				
			GND						AA5				
			GND						AA6				
			GND						AA9				
			GND						AB10				
			GND						AB19				
			GND						AB24				
			GND						AB29				
			GND						AB3				
			GND						AB34				
			GND						AB35				
			GND						AB4				
			GND						AB41				
			GND						AB42				
			GND						AC1				
			GND						AC10				
			GND						AC17				
			GND						AC2				
			GND						AC22				
			GND						AC27				
			GND						AC32				
			GND						AC35				
			GND						AC36				
			GND						AC39				
			GND						AC40				
			GND						AC43				
			GND						AC44				
			GND						AC5				
			GND						AC6				
			GND						AC9				

Bank Number	Index within I/O Bank (1)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	GT Support	SF45	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
			GND						AD10				
			GND						AD20				
			GND						AD25				
			GND						AD3				
			GND						AD36				
			GND						AD4				
			GND						AD41				
			GND						AD42				
			GND						AD9				
			GND						AE1				
			GND						AE10				
			GND						AE18				
			GND						AE2				
			GND						AE23				
			GND						AE28				
			GND						AE33				
			GND						AE35				
			GND						AE36				
			GND						AE39				
			GND						AE40				
			GND						AE43				
			GND						AE44				
			GND						AE5				
			GND						AE6				
			GND						AE9				
			GND						AF10				
			GND						AF11				
			GND						AF16				
			GND						AF21				
			GND						AF26				
			GND						AF3				
			GND						AF31				
			GND						AF35				
			GND						AF4				
			GND						AF41				
			GND						AF42				
			GND						AG1				
			GND						AG10				
			GND						AG14				
			GND						AG19				
			GND						AG2				
			GND						AG24				
			GND						AG29				
			GND						AG34				
			GND						AG35				
			GND						AG36				
			GND						AG39				
			GND						AG40				
			GND						AG43				
			GND						AG44				
			GND						AG5				
			GND						AG6				
			GND						AG9				
			GND						AH12				
			GND						AH17				
			GND						AH22				
			GND						AH27				
			GND						AH3				
			GND						AH32				
			GND						AH36				
			GND						AH4				
			GND						AH41				
			GND						AH42				
			GND						AH9				
			GND						AJ1				
			GND						AJ10				
			GND						AJ15				
			GND						AJ2				
			GND						AJ20				
			GND						AJ25				
			GND						AJ30				
			GND						AJ35				
			GND						AJ36				
			GND						AJ39				
			GND						AJ40				
			GND						AJ43				
			GND						AJ44				
			GND						AJ5				
			GND						AJ6				
			GND						AJ9				

Bank Number	Index within I/O Bank (1)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	GT Support	SF45	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
			GND						AK10				
			GND						AK13				
			GND						AK18				
			GND						AK23				
			GND						AK28				
			GND						AK3				
			GND						AK35				
			GND						AK4				
			GND						AK41				
			GND						AK42				
			GND						AL1				
			GND						AL11				
			GND						AL16				
			GND						AL2				
			GND						AL21				
			GND						AL26				
			GND						AL35				
			GND						AL36				
			GND						AL39				
			GND						AL40				
			GND						AL43				
			GND						AL44				
			GND						AL5				
			GND						AL6				
			GND						AL9				
			GND						AM10				
			GND						AM14				
			GND						AM24				
			GND						AM3				
			GND						AM34				
			GND						AM36				
			GND						AM4				
			GND						AM41				
			GND						AM42				
			GND						AM9				
			GND						AN1				
			GND						AN17				
			GND						AN2				
			GND						AN22				
			GND						AN27				
			GND						AN32				
			GND						AN35				
			GND						AN36				
			GND						AN39				
			GND						AN40				
			GND						AN43				
			GND						AN44				
			GND						AN5				
			GND						AN6				
			GND						AN9				
			GND						AP10				
			GND						AP25				
			GND						AP3				
			GND						AP30				
			GND						AP35				
			GND						AP36				
			GND						AP37				
			GND						AP38				
			GND						AP4				
			GND						AP41				
			GND						AP42				
			GND						AP7				
			GND						AP8				
			GND						AP9				
			GND						AR1				
			GND						AR2				
			GND						AR33				
			GND						AR38				
			GND						AR39				
			GND						AR40				
			GND						AR43				
			GND						AR44				
			GND						AR5				
			GND						AR6				
			GND						AR7				
			GND						AR8				
			GND						AT11				
			GND						AT16				
			GND						AT21				
			GND						AT26				

Bank Number	Index within I/O Bank (1)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	GT Support	SF45	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
			GND						AT3				
			GND						AT31				
			GND						AT36				
			GND						AT38				
			GND						AT4				
			GND						AT41				
			GND						AT42				
			GND						AT7				
			GND						AU1				
			GND						AU14				
			GND						AU19				
			GND						AU2				
			GND						AU34				
			GND						AU38				
			GND						AU39				
			GND						AU40				
			GND						AU43				
			GND						AU44				
			GND						AU5				
			GND						AU6				
			GND						AU7				
			GND						AU9				
			GND						AV12				
			GND						AV17				
			GND						AV3				
			GND						AV32				
			GND						AV36				
			GND						AV37				
			GND						AV38				
			GND						AV4				
			GND						AV41				
			GND						AV42				
			GND						AV7				
			GND						AV8				
			GND						AV9				
			GND						AW1				
			GND						AW10				
			GND						AW15				
			GND						AW2				
			GND						AW20				
			GND						AW25				
			GND						AW30				
			GND						AW35				
			GND						AW36				
			GND						AW39				
			GND						AW40				
			GND						AW43				
			GND						AW44				
			GND						AW5				
			GND						AW6				
			GND						AW9				
			GND						AY13				
			GND						AY18				
			GND						AY23				
			GND						AY28				
			GND						AY3				
			GND						AY33				
			GND						AY36				
			GND						AY37				
			GND						AY38				
			GND						AY4				
			GND						AY41				
			GND						AY42				
			GND						AY7				
			GND						AY8				
			GND						AY9				
			GND						B10				
			GND						B11				
			GND						B14				
			GND						B19				
			GND						B24				
			GND						B29				
			GND						B3				
			GND						B34				
			GND						B35				
			GND						B36				
			GND						B37				
			GND						B38				
			GND						B4				
			GND						B41				

Bank Number	Index within I/O Bank (1)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	GT Support	SF45	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
			GND						B42				
			GND						B7				
			GND						B8				
			GND						B9				
			GND						BA1				
			GND						BA11				
			GND						BA16				
			GND						BA2				
			GND						BA21				
			GND						BA26				
			GND						BA31				
			GND						BA36				
			GND						BA39				
			GND						BA40				
			GND						BA43				
			GND						BA44				
			GND						BA5				
			GND						BA6				
			GND						BA9				
			GND						BB14				
			GND						BB19				
			GND						BB24				
			GND						BB29				
			GND						BB3				
			GND						BB34				
			GND						BB36				
			GND						BB37				
			GND						BB38				
			GND						BB4				
			GND						BB41				
			GND						BB42				
			GND						BB7				
			GND						BB8				
			GND						BB9				
			GND						BC1				
			GND						BC12				
			GND						BC17				
			GND						BC2				
			GND						BC22				
			GND						BC27				
			GND						BC32				
			GND						BC34				
			GND						BC36				
			GND						BC39				
			GND						BC40				
			GND						BC43				
			GND						BC44				
			GND						BC5				
			GND						BC6				
			GND						BC9				
			GND						BD11				
			GND						BD15				
			GND						BD2				
			GND						BD20				
			GND						BD25				
			GND						BD3				
			GND						BD30				
			GND						BD36				
			GND						BD37				
			GND						BD38				
			GND						BD4				
			GND						BD41				
			GND						BD42				
			GND						BD43				
			GND						BD7				
			GND						BD8				
			GND						BD9				
			GND						C1				
			GND						C12				
			GND						C17				
			GND						C2				
			GND						C22				
			GND						C27				
			GND						C32				
			GND						C36				
			GND						C39				
			GND						C40				
			GND						C43				
			GND						C44				
			GND						C5				

Bank Number	Index within I/O Bank (1)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	GT Support	SF45	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
			GND						C6				
			GND						C9				
			GND						D10				
			GND						D15				
			GND						D20				
			GND						D25				
			GND						D3				
			GND						D30				
			GND						D35				
			GND						D36				
			GND						D37				
			GND						D38				
			GND						D4				
			GND						D41				
			GND						D42				
			GND						D7				
			GND						D8				
			GND						D9				
			GND						E1				
			GND						E13				
			GND						E18				
			GND						E2				
			GND						E23				
			GND						E28				
			GND						E33				
			GND						E36				
			GND						E39				
			GND						E40				
			GND						E43				
			GND						E44				
			GND						E5				
			GND						E6				
			GND						E9				
			GND						F11				
			GND						F16				
			GND						F21				
			GND						F26				
			GND						F3				
			GND						F31				
			GND						F36				
			GND						F37				
			GND						F38				
			GND						F4				
			GND						F41				
			GND						F42				
			GND						F7				
			GND						F8				
			GND						F9				
			GND						G1				
			GND						G14				
			GND						G19				
			GND						G2				
			GND						G24				
			GND						G29				
			GND						G34				
			GND						G36				
			GND						G39				
			GND						G40				
			GND						G43				
			GND						G44				
			GND						G5				
			GND						G6				
			GND						G9				
			GND						H12				
			GND						H17				
			GND						H22				
			GND						H27				
			GND						H3				
			GND						H32				
			GND						H36				
			GND						H37				
			GND						H38				
			GND						H4				
			GND						H41				
			GND						H42				
			GND						H7				
			GND						H8				
			GND						H9				
			GND						J1				
			GND						J10				

Bank Number	Index within I/O Bank (1)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	GT Support	SF45	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
			GND						J15				
			GND						J2				
			GND						J20				
			GND						J35				
			GND						J36				
			GND						J37				
			GND						J38				
			GND						J39				
			GND						J40				
			GND						J43				
			GND						J44				
			GND						J5				
			GND						J6				
			GND						J7				
			GND						J8				
			GND						J9				
			GND						K10				
			GND						K3				
			GND						K33				
			GND						K35				
			GND						K4				
			GND						K41				
			GND						K42				
			GND						L1				
			GND						L10				
			GND						L11				
			GND						L16				
			GND						L2				
			GND						L26				
			GND						L31				
			GND						L35				
			GND						L36				
			GND						L39				
			GND						L40				
			GND						L43				
			GND						L44				
			GND						L5				
			GND						L6				
			GND						L9				
			GND						M3				
			GND						M34				
			GND						M36				
			GND						M4				
			GND						M41				
			GND						M42				
			GND						M9				
			GND						N1				
			GND						N17				
			GND						N2				
			GND						N22				
			GND						N27				
			GND						N32				
			GND						N35				
			GND						N36				
			GND						N39				
			GND						N40				
			GND						N43				
			GND						N44				
			GND						N5				
			GND						N6				
			GND						N9				
			GND						P10				
			GND						P15				
			GND						P20				
			GND						P25				
			GND						P3				
			GND						P35				
			GND						P4				
			GND						P41				
			GND						P42				
			GND						R1				
			GND						R10				
			GND						R13				
			GND						R18				
			GND						R2				
			GND						R23				
			GND						R28				
			GND						R33				
			GND						R35				
			GND						R36				

Bank Number	Index within I/O Bank (1)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	GT Support	SF45	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
			GND						R39				
			GND						R40				
			GND						R43				
			GND						R44				
			GND						R5				
			GND						R6				
			GND						R9				
			GND						T11				
			GND						T16				
			GND						T21				
			GND						T26				
			GND						T3				
			GND						T36				
			GND						T4				
			GND						T41				
			GND						T42				
			GND						T9				
			GND						U1				
			GND						U10				
			GND						U14				
			GND						U19				
			GND						U2				
			GND						U24				
			GND						U29				
			GND						U34				
			GND						U35				
			GND						U36				
			GND						U39				
			GND						U40				
			GND						U43				
			GND						U44				
			GND						U5				
			GND						U6				
			GND						U9				
			GND						V10				
			GND						V12				
			GND						V17				
			GND						V22				
			GND						V27				
			GND						V3				
			GND						V35				
			GND						V4				
			GND						V41				
			GND						V42				
			GND						W1				
			GND						W2				
			GND						W20				
			GND						W25				
			GND						W36				
			GND						W39				
			GND						W40				
			GND						W43				
			GND						W44				
			GND						W5				
			GND						W6				
			GND						W9				
			GND						Y18				
			GND						Y23				
			GND						Y28				
			GND						Y3				
			GND						Y33				
			GND						Y36				
			GND						Y4				
			GND						Y41				
			GND						Y42				
			GND						Y9				
			GNDSENSE						AF23				
			VCC						AA15				
			VCC						AA17				
			VCC						AA18				
			VCC						AA19				
			VCC						AA20				
			VCC						AA22				
			VCC						AA23				
			VCC						AA24				
			VCC						AA25				
			VCC						AA27				
			VCC						AA28				
			VCC						AA29				
			VCC						AB15				

Bank Number	Index within I/O Bank (1)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	GT Support	SF45	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
			VCC						AB16				
			VCC						AB17				
			VCC						AB18				
			VCC						AB20				
			VCC						AB21				
			VCC						AB25				
			VCC						AB26				
			VCC						AB27				
			VCC						AB28				
			VCC						AC14				
			VCC						AC19				
			VCC						AC20				
			VCC						AC24				
			VCC						AC25				
			VCC						AC30				
			VCC						AD16				
			VCC						AD17				
			VCC						AD18				
			VCC						AD19				
			VCC						AD21				
			VCC						AD22				
			VCC						AD23				
			VCC						AD24				
			VCC						AD26				
			VCC						AD27				
			VCC						AD28				
			VCC						AD29				
			VCC						AE16				
			VCC						AE17				
			VCC						AE19				
			VCC						AE20				
			VCC						AE21				
			VCC						AE22				
			VCC						AE24				
			VCC						AE25				
			VCC						AE26				
			VCC						AE27				
			VCC						AE29				
			VCC						AF17				
			VCC						AF18				
			VCC						AF19				
			VCC						AF20				
			VCC						AF24				
			VCC						AF25				
			VCC						AF27				
			VCC						AF28				
			VCC						AF29				
			VCC						AG16				
			VCC						AG17				
			VCC						AG18				
			VCC						AG22				
			VCC						AG23				
			VCC						AG26				
			VCC						AG27				
			VCC						AG28				
			VCC						AH18				
			VCC						AH23				
			VCC						AH24				
			VCC						AH26				
			VCC						AH29				
			VCC						AJ16				
			VCC						AJ17				
			VCC						AJ18				
			VCC						AJ19				
			VCC						AJ21				
			VCC						AJ23				
			VCC						AJ24				
			VCC						AJ26				
			VCC						AJ27				
			VCC						AJ28				
			VCC						AJ29				
			VCC						AK16				
			VCC						AK17				
			VCC						AK19				
			VCC						AK20				
			VCC						AK24				
			VCC						AK26				
			VCC						AK27				
			VCC						AK29				
			VCC						R16				

Bank Number	Index within I/O Bank (1)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	GT Support	SF45	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
			VCC						R17				
			VCC						R19				
			VCC						R22				
			VCC						R24				
			VCC						R27				
			VCC						R29				
			VCC						T15				
			VCC						T17				
			VCC						T18				
			VCC						T19				
			VCC						T20				
			VCC						T22				
			VCC						T23				
			VCC						T24				
			VCC						T25				
			VCC						T27				
			VCC						T28				
			VCC						T29				
			VCC						T30				
			VCC						U17				
			VCC						U27				
			VCC						V16				
			VCC						V18				
			VCC						V19				
			VCC						V23				
			VCC						V24				
			VCC						V28				
			VCC						V29				
			VCC						W16				
			VCC						W17				
			VCC						W18				
			VCC						W19				
			VCC						W21				
			VCC						W22				
			VCC						W23				
			VCC						W24				
			VCC						W26				
			VCC						W27				
			VCC						W28				
			VCC						W29				
			VCC						Y16				
			VCC						Y17				
			VCC						Y19				
			VCC						Y20				
			VCC						Y21				
			VCC						Y22				
			VCC						Y24				
			VCC						Y25				
			VCC						Y26				
			VCC						Y27				
			VCC						Y29				
			VCCPT						AH16				
			VCCPT						AH19				
			VCCPT						AH21				
			VCCPT						AH25				
			VCCPT						AH28				
			VCCPT						AJ22				
			VCCPT						U16				
			VCCPT						U18				
			VCCPT						U20				
			VCCPT						U22				
			VCCPT						U23				
			VCCPT						U26				
			VCCPT						U28				
			DNU						BD34				
			DNU						BC35				
			DNU						BC11				
			DNU						BC10				
			DNU						AN28				
			DNU						AP29				
			DNU						AR27				
			VCCPGM						AK21				
			VCCPGM						AK22				
			TEMPDIODEn						N21				
			TEMPDIODEp						N20				
			VCCBAT						AL23				
			VCCA_PLL						AB22				
			VCCA_PLL						AB23				
			VCCIO2A						AR28				
			VCCIO2A						AU29				

Bank Number	Index within I/O Bank (1)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	GT Support	SF45	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
			VCCIO2A						AV27				
			VCCIO2I						AK33				
			VCCIO2I						AL31				
			VCCIO2I						AM29				
			VCCIO2J						AA31				
			VCCIO2J						AD30				
			VCCIO2J						W30				
			VCCIO2K						P30				
			VCCIO2K						T31				
			VCCIO2K						V32				
			VCCIO2L						J30				
			VCCIO2L						K28				
			VCCIO2L						M29				
			VCCIO3A						AR23				
			VCCIO3A						AU24				
			VCCIO3A						AV22				
			VCCIO3B						AM19				
			VCCIO3B						AP20				
			VCCIO3B						AR18				
			VCCIO3C						AN12				
			VCCIO3C						AP15				
			VCCIO3C						AR13				
			VCCIO3D						AC12				
			VCCIO3D						AD15				
			VCCIO3D						AE13				
			VCCIO3E						AB14				
			VCCIO3E						W15				
			VCCIO3E						Y13				
			VCCIO3F						K13				
			VCCIO3F						M14				
			VCCIO3F						N12				
			VCCIO3G						K18				
			VCCIO3G						L21				
			VCCIO3G						M19				
			VCCIO3H						J25				
			VCCIO3H						K23				
			VCCIO3H						M24				
2A		VREFB2AN0	VREFB2AN0						AT27				
2I		VREFB2IN0	VREFB2IN0						AR30				
2J		VREFB2JN0	VREFB2JN0						AB30				
2K		VREFB2KN0	VREFB2KN0						R32				
2L		VREFB2LN0	VREFB2LN0						K32				
3A		VREFB3AN0	VREFB3AN0						AN23				
3B		VREFB3BN0	VREFB3BN0						AN18				
3C		VREFB3CN0	VREFB3CN0						AT12				
3D		VREFB3DN0	VREFB3DN0						AD11				
3E		VREFB3EN0	VREFB3EN0						AA12				
3F		VREFB3FN0	VREFB3FN0						K15				
3G		VREFB3GN0	VREFB3GN0						L17				
3H		VREFB3HN0	VREFB3HN0						M22				
			VREFN_ADC						P21				
			VREFP_ADC						R21				
			NC						R25				
			NC						R26				
			NC						P22				
			NC						P23				
			NC						P24				
			NC						P26				
			NC						P27				
			NC						P28				
			NC						P29				
			NC						P31				
			NC						P32				
			NC						N23				
			NC						N24				
			NC						N25				
			NC						N26				
			NC						N28				
			NC						N29				
			NC						N30				
			NC						N31				
			NC						M25				
			NC						M26				
			NC						M27				
			NC						M28				
			NC						M30				
			NC						M31				
			VCCH_GXBL						AB36				
			VCCH_GXBL						AF36				
			VCCH_GXBL						AK36				

Bank Number	Index within I/O Bank (1)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	GT Support	SF45	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
			VCCCH_GXBL						K36				
			VCCCH_GXBL						P36				
			VCCCH_GXBL						V36				
			VCCCH_GXBR						AB9				
			VCCCH_GXBR						AF9				
			VCCCH_GXBR						AK9				
			VCCCH_GXBR						K9				
			VCCCH_GXBR						P9				
			VCCCH_GXBR						V9				
			VCCR_GXBL1C						AM37				
			VCCR_GXBL1C						AM38				
			VCCR_GXBL1D						AH37				
			VCCR_GXBL1D						AH38				
			VCCR_GXBL1E						AD37				
			VCCR_GXBL1E						AD38				
			VCCR_GXBL1F						Y37				
			VCCR_GXBL1F						Y38				
			VCCR_GXBL1G						T37				
			VCCR_GXBL1G						T38				
			VCCR_GXBL1H						M37				
			VCCR_GXBL1H						M38				
			VCCR_GXBR4C						AM7				
			VCCR_GXBR4C						AM8				
			VCCR_GXBR4D						AH7				
			VCCR_GXBR4D						AH8				
			VCCR_GXBR4E						AD7				
			VCCR_GXBR4E						AD8				
			VCCR_GXBR4F						Y7				
			VCCR_GXBR4F						Y8				
			VCCR_GXBR4G						T7				
			VCCR_GXBR4G						T8				
			VCCR_GXBR4H						M7				
			VCCR_GXBR4H						M8				
			VCCT_GXBL1C						AK37				
			VCCT_GXBL1C						AK38				
			VCCT_GXBL1D						AF37				
			VCCT_GXBL1D						AF38				
			VCCT_GXBL1E						AB37				
			VCCT_GXBL1E						AB38				
			VCCT_GXBL1F						V37				
			VCCT_GXBL1F						V38				
			VCCT_GXBL1G						P37				
			VCCT_GXBL1G						P38				
			VCCT_GXBL1H						K37				
			VCCT_GXBL1H						K38				
			VCCT_GXBR4C						AK7				
			VCCT_GXBR4C						AK8				
			VCCT_GXBR4D						AF7				
			VCCT_GXBR4D						AF8				
			VCCT_GXBR4E						AB7				
			VCCT_GXBR4E						AB8				
			VCCT_GXBR4F						V7				
			VCCT_GXBR4F						V8				
			VCCT_GXBR4G						P7				
			VCCT_GXBR4G						P8				
			VCCT_GXBR4H						K7				
			VCCT_GXBR4H						K8				
			RREF_BL						BD35				
			RREF_BR						BD10				
			RREF_TL						A35				
			RREF_TR						A10				
			VCCERAM						AC15				
			VCCERAM						AC16				
			VCCERAM						AC18				
			VCCERAM						AC21				
			VCCERAM						AC23				
			VCCERAM						AC26				
			VCCERAM						AC28				
			VCCERAM						AC29				
			VCCLSENSE						AF22				
			VCCP						AG15				
			VCCP						AG20				
			VCCP						AG21				
			VCCP						AG25				
			VCCP						AG30				
			VCCP						AH15				
			VCCP						AH20				
			VCCP						AH30				
			VCCP						U15				
			VCCP						U21				

Bank Number	Index within I/O Bank (1)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Soft CDR Support	GT Support	SF45	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
			VCCP						U25				
			VCCP						U30				
			VCCP						V15				
			VCCP						V20				
			VCCP						V21				
			VCCP						V25				
			VCCP						V26				
			VCCP						V30				
			VSIGN_0						P19				
			VSIGN_1						N18				
			VSIGP_0						N19				
			VSIGP_1						P18				

Note:
(1) For more information about the external memory interface schemes of the pins with indices, refer to the [Arria10EMIF.xls](#)

Version Number	Date	Changes Made
1.0	11/27/2013	Initial release.
1.1	1/22/2014	Added Pin List SF45.
1.2	3/20/2014	<ul style="list-style-type: none"> Updated Pin List SF45 and UF45 to replace PLL_##_FB[n p] with PLL_##_FB[1 0]. Added Pin List NF40.
1.3	11/10/2014	<ul style="list-style-type: none"> Updated CRCERROR pin name to CRC_ERROR pin name. Added Soft CDR Support column to all packages. Added DQS for X4 column to all packages.
1.4	2/4/2016	<ul style="list-style-type: none"> Removed support for Pin List NF40 and UF45. Updated Pin List SF45.
1.5	3/24/2017	Rebranded as Intel.