



请注意：本文档不再进行更新。本文档可能包含旧内容和过时的商标。

请参考英文版本以获取最新更新

<https://www.intel.com/content/www/us/en/programmable/documentation/lit-index.html>

Please take note that this document is no longer being maintained. It may contain legacy content and trademarks which may be outdated.


Please refer to English version for latest update at

<https://www.intel.com/content/www/us/en/programmable/documentation/lit-index.html>

该章节介绍硬核处理器系统 (HPS) 组件实现的接口，包括时钟和复位。

大部分的复位可以被单独地使能。h2f_reset 接口例外，它总是处于使能状态。

您必须声明每个 HPS-to-FPGA 时钟的频率以用于评估时序。每个可能的时钟，包括在外设中可用的时钟，均有本身的参数以进行时钟频率说明。声明 HPS-to-FPGA 时钟的频率为您指定如何配置 PLL 和外设，以便使能 TimeQuest 来准确地评估系统时序。它对 PLL 设置没有影响。

 要了解关于例化 HPS 组件的更多信息，请参考 *Cyclone® V 器件手册* 第 3 卷的 *Instantiating the HPS Component* 章节。要了解关于 Avalon™ 协议时序的更多信息，请参考 *Avalon Interface Specifications*。要了解关于 Advanced Microcontroller Bus Architecture (AMBA®) Advanced eXtensible Interface (AXI™) 协议时序的更多信息，可从 ARM 网站 (infocenter.arm.com) 下载 *AMBA AXI 协议规范 v1.0* 以进行参考。

存储器-映射的接口

FPGA-to-HPS 桥接

表 28 - 1. FPGA-to-HPS 桥接和时钟

接口名称	说明	相关时钟接口 ⁽¹⁾
f2h_axi_slave	FPGA-to-HPS AXI 从接口	f2h_axi_clock

表 28 - 1 注释:

(1) 要了解时钟接口的更多信息，请参考 第 28 - 4 页的“时钟”。

FPGA-to-HPS 接口是一个可配置的数据宽度 AXI 从端口，支持 FPGA 主器件对 HPS 发起事务。该接口支持 FPGA 内核逻辑访问大部分的 HPS 从器件。该接口也提供一个相干存储器接口。

FPGA-to-HPS 接口是一个 AXI-3 兼容的接口，具有以下功能：

- 可配置的数据宽度：32、64 或 128 位
- Accelerator Coherency Port (加速器一致性端口, ACP) 旁带信号
- 管理时钟域过渡、缓冲和数据宽度转换的 HPS-side AXI 桥接

FPGA 内核逻辑中的其它接口标准，例如连接到 Avalon® 存储器映射的 (Avalon-MM) 接口，可通过使用软逻辑适配器支持。Qsys 系统集成工具自动生成适配器逻辑以将 AXI 连接到 Avalon-MM 接口。

该接口具有 32 位的地址宽度。要访问现有的 Avalon-MM/AXI 主器件，可以使用 Altera® 地址跨度扩展卡。

© 2012 Altera Corporation. All rights reserved. ALTERA, ARRIA, CYCLONE, HARDCOPY, MAX, MEGACORE, NIOS, QUARTUS and STRATIX words and logos are trademarks of Altera Corporation and registered in the U.S. Patent and Trademark Office and in other countries. All other words and logos identified as trademarks or service marks are the property of their respective holders as described at www.altera.com/common/legal.html. Altera warrants performance of its semiconductor products to current specifications in accordance with Altera's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Altera assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Altera. Altera customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.



- 要了解关于 FPGA-to-HPS 桥接的更多信息，请参考 *Cyclone V 器件手册* 第 3 卷的 *HPS-FPGA AXI Bridges* 章节。要了解关于地址跨度扩展卡的更多信息，请参考 *Cyclone V 器件手册* 第 3 卷的 *Instantiating the HPS Component* 章节的“使用地址跨度扩展卡组件”。

ACP 旁带信号

要实现与微处理器单元 (MPU) 子系统的 ACP 的通信，AXI 旁带信号用于介绍进行传输的内部缓存属性。

- 要了解关于 ACP 旁带信号的更多信息，请参考 *Cyclone V 器件手册* 第 3 卷的 *Cortex-A9 Microprocessor Unit Subsystem* 章节。

HPS-to-FPGA 和轻型 HPS-to-FPGA 桥接

表 28-2. HPS-to-FPGA 和轻型 HPS-to-FPGA 桥接以及时钟

接口名称	说明	相关时钟接口 ⁽¹⁾
h2f_axi_master	HPS-to-FPGA AXI 主接口	h2f_axi_clock
h2f_lw_axi_master	HPS-to-FPGA 轻型 AXI 主接口	h2f_lw_axi_clock

表 28-2 注释:

(1) 请参考 第 28-4 页的“时钟”以了解关于时钟接口的更多信息。

HPS-to-FPGA 接口是可配置的数据宽度 AXI 主端口 (32、64 或 128 位)，可支持 HPS 主器件对 FPGA 内核逻辑发起传输。

轻型 HPS-to-FPGA 接口是一个 32-bit AXI 主端口，可支持 HPS 主端口对 FPGA 内核逻辑发起传输。

两个 HPS-to-FPGA 接口都是 AXI-3 兼容的。HPS-side AXI 桥接在需要时管理时钟域过渡、缓冲和数据宽度转换。

FPGA 内核逻辑中的其它接口标准，例如连接到 Avalon-MM 接口，可通过使用软逻辑适配器支持。Qsys 系统集成工具自动生成适配器逻辑，以便将 AXI 连接到 Avalon-MM 接口。

每个 AXI 桥接从 FPGA 内核逻辑接受时钟输入并且从内部执行时钟域交互。内核外部的 AXI 接口在和 FPGA 内核逻辑提供的时钟的相同时钟域上进行操作。

- 要了解更多信息，请参考 *Cyclone V 器件手册* 第 3 卷的 *HPS-FPGA AXI Bridges* 章节。

FPGA-to-HPS SDRAM 接口

FPGA-to-HPS SDRAM 接口是 FPGA 内核逻辑和 HPS SDRAM 控制器之间的直接连接。该接口是高度可配置的，支持端口数和端口宽度之间的混合。接口支持 AXI-3 和 Avalon-MM 协议。

表 28-3. HPGA-to-HPS SDRAM 接口和时钟

接口名称	说明	相关时钟接口 ⁽¹⁾
f2h_sdr0_data	SDRAM AXI 或 Avalon-MM 端口 0	f2h_sdr0_clock
f2h_sdr1_data	SDRAM AXI 或 Avalon-MM 端口 1	f2h_sdr1_clock
f2h_sdr2_data	SDRAM AXI 或 Avalon-MM 端口 2	f2h_sdr2_clock
f2h_sdr3_data	SDRAM AXI 或 Avalon-MM 端口 3	f2h_sdr3_clock
f2h_sdr4_data	SDRAM AXI 或 Avalon-MM 端口 4	f2h_sdr4_clock
f2h_sdr5_data	SDRAM AXI 或 Avalon-MM 端口 5	f2h_sdr5_clock

表 28-3 注释：

(1) 请参考 第 28-4 页的“时钟”以便了解关于时钟接口的更多信息。

FPGA-to-HPS SDRAM 接口是多端口 SDRAM 控制器的可配置接口。

所有接口的整个数据宽度在读方向被限制为最高 256 位，在写方向被限制为最高 256 位。该接口被实现为 4 个 64 位读端口和 4 个 64 位写端口。结果，无论接口的数量或类型如何，接口使用的最小数据宽度是 64 位。

可通过以下方式配置该接口：


- AXI-3 或 Avalon-MM 协议
- 接口数
- 接口的数据宽度

FPGA-to-HPS SDRAM 接口支持 6 个命令端口，允许高达 6 个 Avalon-MM 接口或 3 个双向 AXI 接口。

每个命令端口可用于实现 AXI 的读或写命令端口，或用于形成 Avalon-MM 接口的一部分。

可以使用一个混合的 Avalon-MM 和 AXI 接口（受限于命令 / 数据端口数）。一些 AXI 功能在 Avalon-MM 接口中不出现。

该接口具有 32 位的地址宽度。要访问现有的 Avalon-MM/AXI 主端口，可以使用 Altera 地址跨度扩展卡。

 要了解关于可用接口和端口组合的更多信息，请参考 *Cyclone V 器件手册* 第 3 卷的 *SDRAM Controller Subsystem* 章节。要了解关于地址跨度扩展卡的更多信息，请参考 *Cyclone V 器件手册* 第 3 卷的 *Instantiating the HPS Component* 章节的“使用地址跨度扩展卡组件”。

时钟

HPS-to-FPGA 时钟接口对 FPGA 提供物理时钟和复位。这些时钟和复位在 HPS 中被生成。

HPS PLL 的替代时钟输入

该部分列出了 HPS PLL 的替代时钟输入。

- f2h_periph_ref_clock—FPGA-to-HPS 外设 PLL 参考时钟。可以将该时钟输入连接到设计中由 FPGA 侧的时钟网络驱动的时钟。
- f2h_sdram_ref_clock—FPGA-to-HPS SDRAM PLL 参考时钟。可以将该时钟连接到设计中由 FPGA 侧的时钟网络驱动的时钟。

用户时钟

用户时钟为一个 PLL 输出，连接到 FPGA 内核逻辑而不是 HPS。可以将一个用户时钟连接到 FPGA 内核逻辑中例化的逻辑。

- h2f_user0_clock—HPS-to-FPGA 用户时钟，从主 PLL 驱动
- h2f_user1_clock—HPS-to-FPGA 用户时钟，从外设 PLL 驱动
- h2f_user2_clock—HPS-to-FPGA 用户时钟，从 SDRAM PLL 驱动

AXI 桥接 FPGA 接口时钟

在 FPGA-to-HPS 桥接中，AXI 接口具有一个异步时钟交互。FPGA-to-HPS 和 HPS-to-FPGA 接口同步于 FPGA 内核逻辑中生成的时钟。这些接口可能异步于彼此。SDRAM 控制器的多端口前端 (MPFE) 在 FPGA 和 HPS 时钟域之间传输数据。

- f2h_axi_clock—FPGA-to-HPS 桥接的 AXI 从接口时钟，在 FPGA 内核逻辑中生成。
- h2f_axi_clock—HPS-to-FPGA 桥接的 AXI 主接口时钟，在 FPGA 内核逻辑中生成。
- h2f_lw_axi_clock—轻型 HPS-to-FPGA 桥接的 AXI 主接口时钟，在 FPGA 内核逻辑中生成。

SDRAM 时钟

您可以使用高达 6 个 FPGA-to-HPS SDRAM 时钟对 HPS 组件进行配置。


到 SDRAM 控制器的每个命令通道都有一个来自 FPGA 内核逻辑的独立时钟源。接口时钟总是由 FPGA 内核逻辑提供，其中时钟交叉出现在边界的 HPS 侧。

FPGA-to-HPS SDRAM 时钟由 FPGA 内核逻辑中的软逻辑驱动。

- f2h_sdram0_clock—端口 0 的 SDRAM 时钟
- f2h_sdram1_clock—端口 1 的 SDRAM 时钟
- f2h_sdram2_clock—端口 2 的 SDRAM 时钟
- f2h_sdram3_clock—端口 3 的 SDRAM 时钟
- f2h_sdram4_clock—端口 4 的 SDRAM 时钟
- f2h_sdram5_clock—端口 5 的 SDRAM 时钟

复位

该部分介绍 HPS 组件的复位接口。

 要了解关于 HPS 复位序列的详细信息，请参考 *Cyclone V 器件手册* 第 3 卷的 *Reset Manager* 章节中的“复位管理器的功能说明”。

HPS- to- FPGA 复位接口

以下接口支持 HPS 对 FPGA 内核逻辑中的软逻辑进行复位：

- h2f_reset—HPS- to- FPGA 冷和暖复位
- h2f_cold_reset—HPS- to- FPGA 冷复位
- h2f_warm_reset_handshake—HPS 和 FPGA 之间的暖复位请求和确认接口

HPS 外部复位源

以下接口支持 FPGA 内核逻辑中的软逻辑对 HPS 进行复位：

- f2h_cold_reset_req—FPGA- to- HPS 冷复位请求
- f2h_warm_reset_req—FPGA- to- HPS 暖复位请求
- f2h_dbg_reset_req—FPGA- to- HPS 调试复位请求

调试和跟踪接口

跟踪端口接口单元

TPIU 是片上跟踪源和跟踪端口之间的桥接。

- h2f_tpiu
- h2f_tpiu_clock_in

FPGA 系统跟踪宏单元事件接口

系统跟踪宏单元 (STM) 硬件事件支持 FPGA 中的逻辑对跟踪流插入信息。

- f2h_stm_hw_events

FPGA 交叉触发接口

交叉触发接口 (CTI) 支持触发源和接收器与嵌入式交叉触发 (ECT) 相连接。

- h2f_cti
- h2f_cti_clock

调试 APB 接口

调试高级外设总线 (APB™) 接口支持 FPGA 内核逻辑中的调试组件对 CoreSight™ 调试 APB 上组件进行调试。

- h2f_debug_apb


- h2f_debug_apb_sideband
- h2f_debug_apb_reset
- h2f_debug_apb_clock

外设信号接口

DMA 控制器外设请求接口

DMA 控制器接口支持 FPGA 内核逻辑中的软 IP 与 HPS 中的 DMA 控制器进行通信。您可以配置高达 8 个单独的接口通道。

- f2h_dma_req0—FPGA DMA 控制器外设请求接口 0
- f2h_dma_req1—FPGA DMA 控制器外设请求接口 1
- f2h_dma_req2—FPGA DMA 控制器外设请求接口 2
- f2h_dma_req3—FPGA DMA 控制器外设请求接口 3
- f2h_dma_req4—FPGA DMA 控制器外设请求接口 4
- f2h_dma_req5—FPGA DMA 控制器外设请求接口 5
- f2h_dma_req6—FPGA DMA 控制器外设请求接口 6
- f2h_dma_req7—FPGA DMA 控制器外设请求接口 7

 要了解更多信息，请参考 *Cyclone V 器件手册* 第 3 卷的 *DMA Controller* 章节。


其它接口

MPU 备用和事件接口

MPU 备用和事件信号对 FPGA 内核逻辑提示 MPU 处于备用。事件信号用于从等待事件 (WFE) 状态唤醒 Cortex-A9 处理器。备用和事件信号被包含在以下的接口中：

- h2f_mpu_events—MPU 备用和事件接口，包含以下信号：
 - h2f_mpu_eventi—从 FPGA 内核逻辑中的逻辑到 MPU 发送一个事件。该 FPGA-to-HPS 信号用于唤醒处于等待事件状态的处理器。置位该信号和 Cortex-A9 执行 SEV 指令具有相同的效果。该信号必须被置低直到 FPGA 内核逻辑被上电和配置。
 - h2f_mpu_evento—从 MPU 到 FPGA 内核逻辑中的逻辑发送一个事件。当 SEV 指令由其中一个 Cortex-A9 处理器执行时，该 HPS-to-FPGA 信号被置位。
 - h2f_mpu_standbywfe[1:0]—表明是否每个 Cortex-A9 处理器处于 WFE 状态。
 - h2f_mpu_standbywfi[1:0]—表明每个 Cortex-A9 处理器是否处于等待中断 (WFI) 状态。
- h2f_mpu_gp—通用接口

MPU 提供信号以表明它什么时候处于备用状态。这些信号可用于定制 FPGA 内核逻辑中的硬件设计。

 要了解更多信息，请参考 *Cyclone V* 器件手册第 3 卷的 *Cortex-A9 Microprocessor Unit Subsystem* 章节。

FPGA- to-HPS 中断

您可以配置 HPS 组件以提供 64 个通用 FPGA- to-HPS 中断，从而使 FPGA 内核逻辑中的软 IP 能够触发 MPU 的通用中断控制器 (GIC) 的中断。中断通过以下 32 位接口实现：

- f2h_irq0—FPGA- to-HPS 中断 0 到 31
- f2h_irq1—FPGA- to-HPS 中断 32 到 63

FPGA- to-HPS 中断在 FPGA 接口为异步。在 HPS 内，中断同步于 MPU 的内部外设时钟 (periphclk)。

通用接口

可以使用 FPGA 管理器对 h2f_mpu_gp 接口供应以下通用信号：

- 32 个 FPGA- to-HPS 信号
- 32 个 HPS- to-FPGA 信号

 要了解更多信息，请参考 *Cyclone V* 器件手册第 3 卷的 *FPGA Manager* 章节。

文档修订历史

表 28 - 4 显示了该文档的修订历史。

表 28 - 4. 文档修订历史

日期	版本	修订内容
2012 年 11 月	1.1	<ul style="list-style-type: none">■ 添加了调试接口。■ 更新了 HPS- to-FPGA 复位接口名称。■ 更新了 HPS 外部复位源接口名称。■ 移除了 DMA 外设接口时钟。■ 添加了 Altera Address Span Extender 的参考。
2012 年 7 月	1.0	首次发布。
2012 年 5 月	0.1	初稿。

