



请注意：本文档不再进行更新。本文档可能包含旧内容和过时的商标。

请参考英文版本以获取最新更新

<https://www.intel.com/content/www/us/en/programmable/documentation/lit-index.html>

Please take note that this document is no longer being maintained. It may contain legacy content and trademarks which may be outdated.

Please refer to English version for latest update at

<https://www.intel.com/content/www/us/en/programmable/documentation/lit-index.html>

您需要在 Qsys 中例化硬核处理器系统 (HPS) 组件。HPS 存在于 **Embedded Processors** 下的组件库中。该章节介绍 HPS 组件参数编辑器中的参数，当添加或编辑一个 HPS 组件时，HPS 组件参数编辑器会打开。

- ❏ HPS 需要指定的器件目标。要了解关于支持的器件的列表的详细信息，请参考 *Cyclone® V Device Datasheet*。
- ❏ 要了解关于使用 Qsys 的更多信息，请参考 *Quartus® II 手册* 的第 1 卷中的 *Creating a System with Qsys* 章节。

配置 FPGA 接口

该部分介绍 **FPGA Interfaces** 标签的参数。

- ❏ 要了解关于接口的更多信息，请参考 *Cyclone V 器件手册* 第 3 卷中的 *HPS 组件接口* 章节。

通用接口

该部分介绍 **FPGA Interfaces** 标签的 **General** 组中的参数。当使能时，表 27-1 中介绍的接口在 HPS 组件中为可见。

表 27-1. 通用参数

参数名称	参数说明	接口名称
使能 MPU 待机和事件信号	使能执行以下功能的接口： <ul style="list-style-type: none"> 提示 FPGA 内核逻辑微处理器单元 (MPU) 处于待机模式。 从等待事件 (WFE) 状态中唤醒 MPCore 处理器。 	h2f_mpu_events
使能 MPU 通用信号	使能 SoC 器件的 HPS 部分的 FPGA 管理器与 FPGA 内核逻辑之间的一对 32-bit 单向通用接口。	h2f_mpu_gp
使能 FPGA-to-HPS 中断	使能 FPGA 到 MPU (HPS) 的中断接口。	f2h_irq0 f2h_irq1
使能调试 APB 接口	使能 FPGA 的调试接口，使能够访问 HPS 中的调试组件。(1)	h2f_debug_apb h2f_debug_apb_sideband h2f_debug_apb_clock
使能系统跟踪宏单元硬件事件	使能系统跟踪宏单元 (STM) 硬件事件，使 FPGA 内的逻辑能够将消息插入到跟踪数据流。(1)	f2h_stm_hw_events
使能 FPGA 交叉触发接口	使能交叉触发接口 (CTI)，从而可以使用嵌入式交叉触发 (ECT) 对接口的源和接收器 (1) 进行触发。	h2f_cti h2f_cti_clock
使能 FPGA 跟踪端口接口单元	使能跟踪端口接口单元 (TPIU) 和 FPGA 内逻辑之间的接口。TPIU 是片上跟踪源和跟踪端口之间的桥接。(1)	h2f_tpiu h2f_tpiu_clock_in

表 27-1 注释：

(1) 要了解关于该功能性的更多信息，请参考 Cyclone V 器件手册的第 3 卷的 *CoreSight Debug and Trace* 章节。


Boot 和时钟选择接口

该部分介绍 **FPGA Interfaces** 标签中 **Boot and Clock Selection** 组的参数。

表 27-2 列出了可用参数。

表 27-2. 引导和时钟选择参数

参数名称	参数说明
FPGA 准备就绪时使能 Boot	使能到 HPS 的输入，表明预加载器在片上 RAM 中是否可用。如果输入被置位，那么预加载器镜像在存储器位置 0 准备就绪。
FPGA 失败时使能引导	使能到 HPS 的输入，表明后备预加载器在片上 RAM 中是否可用。如果输入被置位，那么后备预加载器镜像在存储器位置 0 准备就绪。只有当 HPS 引导 ROM 在所选闪存存储器件中没有找到有效预加载器镜像时，才可用后备预加载器。

 要了解关于 HPS 引导序列的详细信息，请参考 *Cyclone V 器件手册* 第 3 卷中的 *Booting and Configuration* 附录。


AXI 桥接

该部分介绍 **FPGA Interfaces** 标签的 **AXI Bridges** 组中的参数。

表 27-3. 桥接参数

参数名称	参数说明	接口名称
FPGA-to-HPS 接口宽度	使能或禁用 FPGA-to-HPS 接口；如果使能，将数据宽度设置为 32、64 或 128 位。	f2h_axi_slave
HPS-to-FPGA 接口宽度	使能或禁用 HPS-to-FPGA 接口；如果使能，将数据宽度设置为 32、64 或 128 位。	h2f_axi_master
Lightweight HPS-to-FPGA 接口宽度	使能或禁用轻型 HPS-to-FPGA 接口。当使能时，数据宽度是 32 位。	h2f_lw_axi_master

为了方便从具有较小地址宽度的存储器映射的主端口访问这些从端口，您可以使用 Altera® 地址跨度扩展卡。地址跨度扩展卡在第 27-8 页的“使用地址跨度扩展卡组件”中有所介绍。

 要了解更多信息，请参考 *Cyclone V 器件手册* 第 3 卷的 *互联* 章节。

FPGA-to-HPS SDRAM 接口

该部分介绍 **FPGA Interfaces** 标签的 **FPGA-to-HPS SDRAM Interface** 组中的参数。

您可以添加一个或多个 SDRAM 端口，以便使得 FPGA 内核逻辑可访问 HPS SDRAM 子系统。

您可以将从接口配置为 32、64、128 或 256 位的数据宽度。为了方便从具有较小地址宽度的存储器映射的主端口访问该从端口，您可以使用 Altera® 地址跨度扩展卡。地址跨度扩展卡在第 27-8 页的“使用地址跨度扩展卡组件”中有所介绍。


在 **FPGA Interfaces** 标签的 **FPGA to HPS SDRAM Interface** 表中，使用 + 或 - 来添加或删除 FPGA-to-HPS SDRAM 接口。**Name** 列代表接口名称。表 27-4 显示了每个 SDRAM 接口可用的参数。

表 27-4. FPGA-to-HPS SDRAM 接口参数

参数名称	参数说明
名称	端口名称（如表 27-5 中所示自动分配）
类型	接口类型： <ul style="list-style-type: none"> ■ AXI-3 ■ Avalon-MM 双向 ■ Avalon-MM 只写 ■ Avalon-MM 只读
宽度	32、64、128 或 256

表 27-5. FPGA-to-HPS SDRAM 端口和接口名称

端口名称	接口名称
f2h_sdram0	f2h_sdram0_data
f2h_sdram1	f2h_sdram1_data
f2h_sdram2	f2h_sdram2_data
f2h_sdram3	f2h_sdram3_data
f2h_sdram4	f2h_sdram4_data
f2h_sdram5	f2h_sdram5_data


 要了解更多信息，请参考 *Cyclone V 器件手册* 第 3 卷的 *SDRAM 控制器子系统* 章节。

复位接口

该部分介绍 **FPGA Interfaces** 标签的 **Resets** 组中的参数。您可以单独地使能大部分的复位。表 27-6 列出了可用复位参数。

表 27-6. 复位参数


参数名称	参数说明	接口名称
使能 HPS-to-FPGA 硬复位输出	使能 HPS-to-FPGA 冷复位输出的接口	h2f_cold_reset
使能 HPS 热复位握手信号	使能一对额外的复位握手信号，以便在 FPGA 内核逻辑中启动一个暖复位安全时，使得软核逻辑能够提示 HPS。	h2f_warm_reset_handshake
使能 FPGA-to-HPS 调试复位请求	使能 FPGA-to-HPS 调试复位请求的接口。	f2h_debug_reset_req
使能 FPGA-to-HPS 暖复位请求	使能 FPGA-to-HPS 暖复位请求的接口	f2h_warm_reset_req
使能 FPGA-to-HPS 冷复位请求	使能 FPGA-to-HPS 冷复位请求的接口	f2h_cold_reset_req


 要了解关于复位接口的更多信息，请参考 *Cyclone V 器件手册* 第 3 卷的 *复位管理器* 章节中的“复位管理器的功能说明”。

DMA 外设请求

该部分介绍 **FPGA Interfaces** 标签的 **DMA Peripheral Request** 组中的参数。

您可以单独地使能每个直接存储器访问 (DMA) 控制器外设请求 ID。每个请求 ID 使能一个接口，以便 FPGA 软核逻辑可以请求 8 个逻辑 DMA 通道的其中之一到 FPGA。

 控制器区域网 (CAN) 控制器共享外设请求 ID 4 - 7。

 要了解更多信息，请参考 *Cyclone V 器件手册* 第 3 卷的 *DMA Controller* 章节。

配置外设管脚复用

该部分介绍 **Peripheral Pin Multiplexing** 标签的参数。

配置外设

Peripheral Pin Multiplexing 标签包含每个可用类型外设的一组参数。通过对每个实例选择一个 HPS I/O 管脚组可以使能每个外设类型的一个或多个实例。当使能时，一些外设也具有针对它们功能的模式设置。

Peripheral Pin Multiplexing 标签中的每个列表都有一个提示，用于详细介绍列表中可用选项。每个管脚复用列表的提示显示了每个可用管脚组使用的 I/O 管脚。每个模式列表的提示显示了每个可用模式使用的信号。

通过将鼠标悬停在相应列表来查看每个提示。

组合框的提示框显示了有用信息。管脚复用参数通过一个表格显示管脚目的地，并且模式参数显示每个模式使用哪一个信号。

您可以使能以下类型的外设。要了解关于外设指定设置的详细信息，请参考每个外设的章节：


- 以太网媒体存取控制器 (Ethernet Media Access Controller) — *Cyclone V 器件手册* 第 3 卷的 *以太网介质访问控制器* 章节。
- NAND 闪存控制器 — *Cyclone V 器件手册* 第 3 卷的 *NAND 闪存控制器* 章节。
- 四串行外围接口 (SPI) 闪存控制器 — *Cyclone V 器件手册* 第 3 卷的 *Quad SPI 闪存控制器* 章节。
- 安全数字 / MultiMediaCard (SD/MMC) 控制器 — *Cyclone V 器件手册* 第 3 卷的 *SD/MMC 控制器* 章节。
- USB 2.0 On-The-Go (OTG) 控制器 — *Cyclone V 器件手册* 第 3 卷的 *USB 2.0 OTG Controller* 章节。
- SPI 控制器 — *Cyclone V 器件手册* 第 3 卷的 *SPI Controller* 章节。
- UART 控制器 — *Cyclone V 器件手册* 第 3 卷的 *UART Controller* 章节。
- Inter-integrated circuit (I²C) 控制器 — *Cyclone V 器件手册* 第 3 卷的 *I²C 控制器* 章节。
- CAN 控制器 — *Cyclone V 器件手册* 第 3 卷的 *CAN 控制器* 章节。
- 跟踪端口接口单元 (TPIU) — *Cyclone V 器件手册* 第 3 卷的 *CoreSight Debug and Trace* 章节。使能 TPIU 会显示器件管脚的跟踪信号。

将未分配的管脚连接到 GPIO

在 **Peripheral Pin Multiplexing** 标签，**Conflicts** 表显示了没有分配到任何外设的管脚。默认情况下，对于这些管脚，通用 I/O (GPIO) 为禁用。可以通过更改表中的 **GPIO Enabled** 域使能作为 GPIO 的管脚。该表也显示了分配到该管脚的 GPIO 管脚数。


解决管脚复用冲突

使用 **Conflicts** 表来查看具有无效多个分配的管脚。该表显示了分配到相同管脚的两个或多个外设接口的其中一个接口。您可以使用外设的管脚配置来决定其它的外设是否有冲突，并且来解决冲突。

 要了解关于可用 HPS 管脚配置的详细信息，请参考 *Cyclone V Device Family Pin Connection Guidelines*。

配置 HPS 时钟

该部分介绍 **HPS Clocks** 标签的参数。

 要了解关于时钟信号的更多信息，请参考 *Cyclone V 器件手册* 第 3 卷的 *时钟管理器* 章节。

用户时钟

该部分介绍 **HPS Clocks** 标签的 **User Clocks** 组中的参数。


当使能用户时钟时，必须手动输入它的最大频率以进行时序分析。TimeQuest Timing Analyzer 对于运行在 HPS 上的软件如何配置锁相环 (PLL) 输出没有其他信息。每个可能的时钟，包括外设中可用的时钟，都具有描述时钟频率的自身参数。

表 27-7 列出了用户时钟参数。您提供的频率是最高预期频率。实际时钟频率可以通过寄存器接口修改，例如通过微处理器单元 (MPU) 上运行的软件进行修改。要了解更多信息，请参考第 27-8 页的“选择 PLL 输出频率和相位”。

表 27-7. 用户时钟参数

参数名称	参数说明	时钟接口名称
使能 HPS-to-FPGA 用户 0 时钟	使能从 HPS 到 FPGA 的主 PLL	h2f_user0_clock
用户 0 时钟频率	指定主 PLL 的最高预期频率	
使能 HPS-to-FPGA 用户 1 时钟	使能从 HPS 到 FPGA 的外设 PLL	h2f_user1_clock
用户 1 时钟频率	指定外设 PLL 的最高预期频率	
使能 HPS-to-FPGA 用户 2 时钟	使能从 HPS 到 FPGA 的 SDRAM PLL	h2f_user2_clock
用户 2 时钟频率	指定 SDRAM PLL 的最高预期频率	

您提供的时钟频率在 Qsys 生成的 Synopsys Design Constraints File (**.sdc**) 中被报告。

 要了解关于驱动这些时钟的详细信息，请参考 *Cyclone V 器件手册* 第 3 卷的 *时钟管理器* 章节。

PLL 参考时钟

该部分介绍 HPS Clocks 标签的 PLL Reference Clocks 组中的参数。

表 27-8. PLL 参考时钟参数

参数名称	参数说明	时钟接口名称
使能 FPGA-to-HPS 外设 PLL 参考时钟	使能 FPGA 内核逻辑的接口以便提供到 HPS 外设 PLL 的参考时钟	f2h_periph_ref_clock
使能 FPGA-to-HPS SDRAM PLL 参考时钟	使能 FPGA 内核逻辑的接口以便提供到 HPS SDRAM PLL 的参考时钟	f2h_sdram_ref_clock

 要了解更多信息，请参考 *Cyclone V 器件手册* 第 3 卷的 [时钟管理器](#) 章节。

配置外部存储器接口


该部分介绍 SDRAM 标签的参数。

HPS 支持一个存储器接口，可实现双倍数据速率 2 (DDR2)、双倍数据速率 3 (DDR3) 和低功耗双倍数据速率 2 (LPDDR2) 协议。接口可高达 40 位宽并且具有可选的错误纠正代码 (ECC)。


配置 HPS SDRAM 控制器与配置任何其它 Altera SDRAM 控制器相似。但存在几点重要的区别：

- HPS 参数编辑器通过一个标签支持所有 SDRAM 协议。当设置 SDRAM 控制器参数时，必须指定存储器协议：DDR2、DDR3 或 LPDDR2。


要选择存储器协议，那么在 SDRAM 标签的 PHY Settings 标签的 SDRAM Protocol 列表中选择 DDR2、DDR3 或 LPDDR2。选择协议后，不适用于该协议的设置被禁用。

 许多 HPS SDRAM 控制器设置和 Altera 专用 DDR2、DDR3 和 LPDDR2 控制器的设置相同。该部分仅介绍专门针对 HPS 组件的 SDRAM 参数。

- 因为 HPS 存储控制器不可通过 Quartus II 配置，所以控制器和诊断标签在 HPS 参数编辑器中不存在。
- 一些设置 (例如控制器设置) 不被包括，因为它们仅可以通过寄存器接口被配置，例如通过 MPU 上运行的软件被配置。
- 与 FPGA 中存储器接口时钟不同，HPS 的存储器接口时钟被初始化，该初始化通过使用配置程序提供的值由启动代码完成。您可以接受 UniPHY 提供的值，或可以使用自己的 PLL 设置，如“[选择 PLL 输出频率和相位](#)”中所介绍。

 HPS 不支持外部存储器接口 (EMIF) 综合生成、编译或时序分析。

HPS 存储控制器不能够与器件的 FPGA 部分的存储控制器绑定。


 要了解关于 SDRAM 控制器参数的详细信息，请参考以下章节：

- [外部存储器接口手册](#) 第 2 卷的 [实现和参数化存储器 IP](#) 章节。
- [外部存储器接口手册](#) 第 3 卷的 [Functional Description—Hard Memory Interface](#) 章节。“SoC 器件中 EMI 相关的 HPS 功能”介绍专门针对 HPS SDRAM 控制器的功能。

选择 PLL 输出频率和相位

请通过 SDRAM 标签中的 PHY Settings 标签中的控制选择 PLL 输出频率和相位。在 HPS 中，PLL 频率和相位由软件在系统启动时设置。PLL 可能不会产生在 Memory clock frequency 中指定的确切频率。通常情况下，通过一个算法试图平衡频率正确性以抵制时钟抖动，Quartus II 将 Achieved memory clock frequency 设置为可实现的最接近的频率。该时钟频率用于 TimeQuest 分析器进行的时序分析。

使用一个不同的软件算法对 PLL 进行配置是可能。在 Clocks 下，通过在 PHY Settings 标签中打开 Use specified frequency instead of calculated frequency，可以强制 Achieved memory clock frequency 对话框呈现和 Memory clock frequency 相同的值。

 如果打开 Use specified frequency instead of calculated frequency，那么 Quartus II 假设 Achieved memory clock frequency 对话框中的值是正确的。如果它不是正确的，那么时序分析结果为错误。

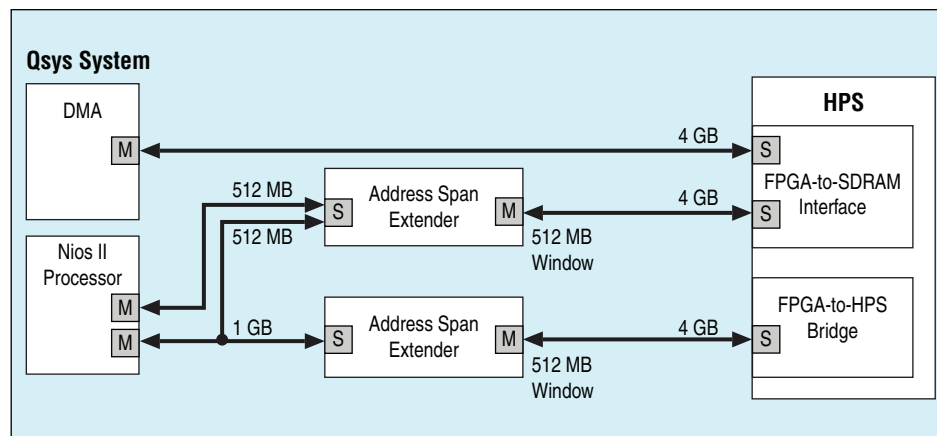
使用地址跨度扩展卡组件

FPGA-to-HPS 桥接和 FPGA-to-HPS SDRAM 存储器映射的接口为 FPGA 内核逻辑提供 4 GB 地址空间。地址跨度扩展卡组件对其所控制的地址空间提供一个存储器映射的窗口。通过使用地址跨度扩展卡，您可以暴露 HPS 存储器空间的部分，而无需暴露整个 4-GB 地址空间。

可以使用软逻辑主器件和 FPGA-to-HPS 桥接或 FPGA-to-HPS SDRAM 接口之间的地址跨度扩展卡。该组件减少主器件所需的地址位数以便对位于 HPS 的存储器映射的从接口进行寻址。

图 27-1 显示了两个地址跨度扩展卡组件如何在具有 HPS 的系统中使用。

图 27-1. 地址跨度扩展卡



也可以将 HPS-to-FPGA 方向的地址跨度扩展卡用于 FPGA 中的从接口。在该情况中，HPS-to-FPGA 桥接暴露 FPGA 中的一个有限、可变地址空间，可以使用地址跨度扩展卡将其置入页面中。


例如，假设 HPS-to-FPGA 桥接具有 1 GB 跨度，并且 HPS 需要访问器件的 FPGA 部分中 3 个独立的 1 GB 存储器。要实现该操作，HPS 编程地址跨度扩展卡每次访问 FPGA 中的一个 SDRAM (1 GB)。该技术俗称分页或开窗。

 要了解关于地址跨度扩展卡的更多信息，请参考 *Quartus II 手册* 第 1 卷中 *Qsys Interconnect and System Design Components* 章节中的“桥接”。


生成和编译 HPS 组件

生成和编译 HPS 设计的过程和任何其它的 Qsys 工程的过程相似。请执行以下步骤：

1. 使用 Qsys 生成设计。生成的文件包含具有时钟时序约束的一个 `.sdc` 文件。如果仿真被使能，仿真文件也会被生成。

 要了解关于生成 Qsys 工程的更多信息，请参考 *Quartus II 手册* 第 1 卷的 *Creating a System with Qsys* 章节。要了解关于生成的仿真文件的详细说明，请参考 *Cyclone V 器件手册* 第 3 卷的 *仿真 HPS 组件* 章节中的“仿真流程”。


2. 将 `system.qip` 添加到 Quartus II 工程。`system.qip` 是 HPS 组件的 Quartus II IP 文件，由 Qsys 生成。
3. 使用 Quartus II 执行 Analysis 和 Elaboration。
4. 将约束分配到 SDRAM 组件。当 Qsys 生成 HPS 组件（步骤 1）时，它生成管脚约束 Tcl Script File (`.tcl`) 来执行存储器约束。脚本文件名称为 `<qsys_system_name>.pin_assignments.tcl`，其中 `<qsys_system_name>` 是 Qsys 系统的名称。运行该脚本以便将约束分配到 SDRAM 组件。

 要了解关于运行管脚约束脚本的更多信息，请参考 *外部存储器接口手册* 第 2 卷的 *实现和参数化存储器 IP* 章节中的“MegaWizard Plug-In Manager 流程”。

您不需要指定除存储器约束以外的管脚分配。当您如第 27-5 页的“配置外设管脚复用”中介绍配置管脚复用时，就无疑地对所有 HPS 外设进行了管脚分配。每个外设专门布线到您指定的管脚。HPSI/O 信号被导出到 Qsys 设计的顶层，所得信息使 Quartus II 能够自动进行管脚分配。

您可以查看和修改 **Peripheral Pin Multiplexing** 标签中的分配。也可以查看 Quartus 布局布线报告中的分配。

5. 使用 Quartus II 编译设计。
6. 选择性地回注 SDRAM 管脚分配，下次编译设计时需要移除管脚分配警告。

 要了解关于回注管脚分配的更多信息，请参考 Quartus II Help 中的 *About Back-Annotating Assignments*。

文档修订历史

表 27-9 显示了该文档的修订历史。

表 27-9. 文档修订历史

日期	版本	修订内容
2012 年 11 月	1.1	<ul style="list-style-type: none"> ■ 添加了调试接口 ■ 添加了引导选向 ■ 纠正了从器件地址宽度 ■ 纠正了 SDRAM 接口宽度 ■ 添加了 TPIU 外设 ■ 添加了 <code>.sdc</code> 文件生成 ■ 添加了存储器分配的 <code>.tcl</code> 脚本。
2012 年 6 月	1.0	首次发布
2012 年 5 月	0.1	初稿。