



请注意：本文档不再进行更新。本文档可能包含旧内容和过时的商标。

请参考英文版本以获取最新更新

<https://www.intel.com/content/www/us/en/programmable/documentation/lit-index.html>

Please take note that this document is no longer being maintained. It may contain legacy content and trademarks which may be outdated.

Please refer to English version for latest update at

<https://www.intel.com/content/www/us/en/programmable/documentation/lit-index.html>

硬核处理器系统 (HPS) 提供 3 个通用 I/O (GPIO) 接口模块。GPIO 模块是 Synopsys® DesignWare® APB 通用编程 I/O (DW\_apb\_gpio) 外设的实例。

## GPIO 接口的功能

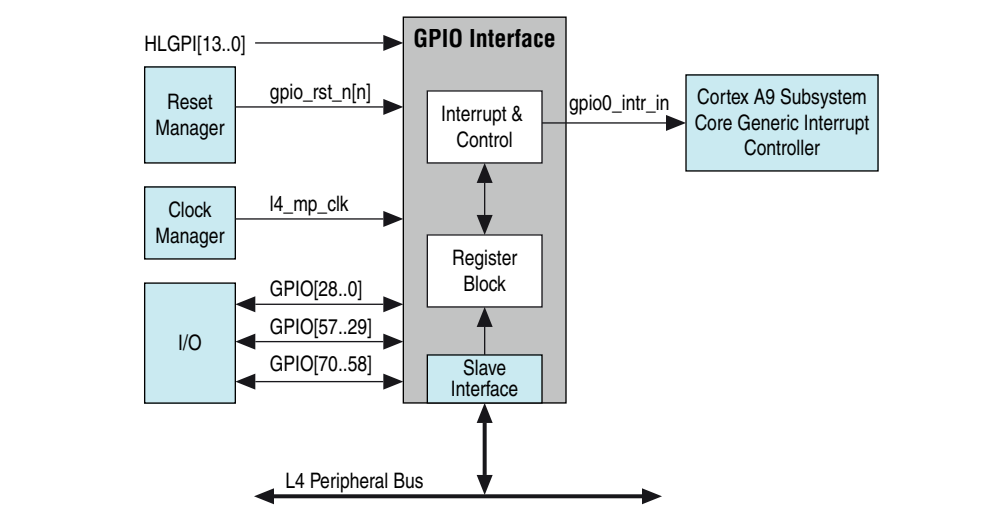
GPIO 接口提供以下功能：

- 支持数字去抖动
- 可配置的中断模式
- 支持高达 71 个 I/O 管脚和 14 个输入专用管脚 (input-only pin)。

## GPIO 接口结构图和系统集成

图 22 - 1 显示了 GPIO 接口的结构图。

图 22 - 1. GPIO 接口结构图



© 2012 Altera Corporation. All rights reserved. ALTERA, ARRIA, CYCLONE, HARDCOPY, MAX, MEGACORE, NIOS, QUARTUS and STRATIX words and logos are trademarks of Altera Corporation and registered in the U.S. Patent and Trademark Office and in other countries. All other words and logos identified as trademarks or service marks are the property of their respective holders as described at [www.altera.com/common/legal.html](http://www.altera.com/common/legal.html). Altera warrants performance of its semiconductor products to current specifications in accordance with Altera's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Altera assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Altera. Altera customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.

Portions © 2011 Synopsys, Inc. Used with permission. All rights reserved. Synopsys & DesignWare are registered trademarks of Synopsys, Inc. All documentation is provided "as is" and without any warranty. Synopsys expressly disclaims any and all warranties, express, implied, or otherwise, including the implied warranties of merchantability, fitness for a particular purpose, and non-infringement, and any warranties arising out of a course of dealing or usage of trade.

†Paragraphs marked with the dagger (†) symbol are Synopsys Proprietary. Used with permission.



## GPIO 接口的功能说明

该部分提供 GPIO 接口的功能详细信息。

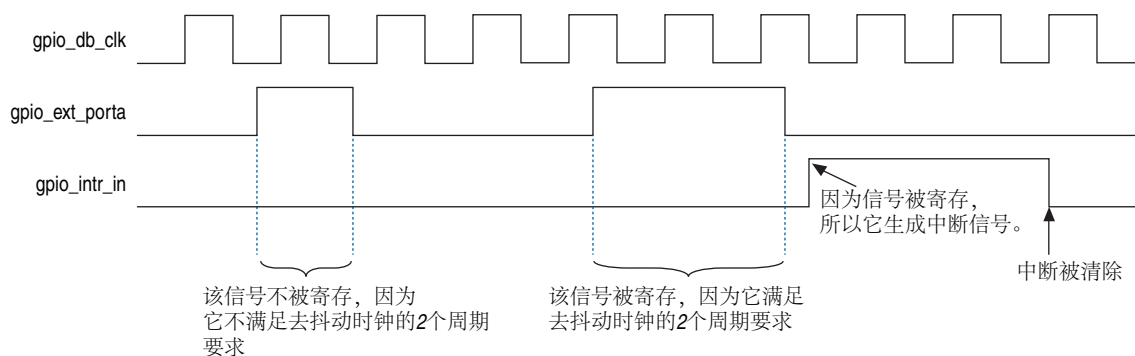
### 去抖动操作

HPS 中的 GPIO 模块包括可选的去抖动性能。外部信号可以被去除抖动，以便移除所有少于外部去抖动时钟 `gpio_db_clk` 一个周期的杂散毛刺。

使用 `gpio_db_clk` 去抖动时钟对输入中断信号去除抖动时，信号必须保持有效最低两个周期的去抖动时钟以便保证它们被寄存。任何少于一个去抖动时钟周期的输入脉冲宽度都被滤除。如果输入信号脉冲宽度在一个和两个去抖动时钟宽度之间，那么根据它与去抖动时钟的相位关系，它可能会或不会被滤除。如果输入脉冲跨越去抖动时钟的两个上升沿，那么它被寄存。如果它只跨越一个上升沿，那么它不被寄存。

图 22-2 显示了两个情况中去抖动电路的时序图：一个带抖动输入信号和后面的一个可传播输入信号。

图 22-2. 异步复位触发器的去抖动时序



 使能去抖动电路使中断延迟增加了两个时钟周期的去抖动时钟。

### 管脚方向


管脚 GPIO 到 GPIO 可配置成输入或输出信号。管脚 HLGPI0 到 HLGPI13 与 HPS DDR 控制器共享管脚并且为输入专用信号 (input-only signal)。

## GPIO 接口编程模型

通过设置 `gpio_debounce` 寄存器中的相应位，端口 A 的每个输入信号的去抖动性能可以在软件控制下使能或禁用。使能去抖动性能之前，去抖动时钟必须稳定以及可操作。

软件控制下，外部 I/O pad 的方向由 `gpio_swportx_ddr` 寄存器的写操作控制。当配置为输入模式时，读 `gpio_ext_porta` 将会读取外部 I/O pad 的信号值。当配置为输出模式时，写入 `gpio_swporta_dr` 寄存器的数据驱动 I/O pad 的输出缓冲器。输入和输出模式共享相同管脚，所以它们不可以同时被配置为输入和输出模式。


## GPIO 接口地址映射和寄存器定义

 地址映射和寄存器定义位于该手册卷附带的 [hps.html](#) 文件中。点击链接以打开文件。

要查看模块说明和基地址，请找到并且点击以下其中一个模块实例的链接：

- [gpio0](#)
- [gpio1](#)
- [gpio2](#)

然后要查看寄存器和域说明，找到并且点击寄存器名称。寄存器地址是相对于每个模块实例的基地址的偏移。

 所有模块的基地址也在 *Cyclone V 器件手册* 第 3 卷的 *Introduction to the Hard Processor System* 章节中列出。

## 文档修订历史

表 22 - 1 显示了该文档的修订历史。

表 22 - 1. 文档修订历史

日期	版本	修订内容
2012 年 11 月	1.2	少量文本编辑。
2012 年 5 月	1.1	添加了编程模型部分。
2012 年 1 月	1.0	首次发布。

