



请注意：本文档不再进行更新。本文档可能包含旧内容和过时的商标。

请参考英文版本以获取最新更新

<https://www.intel.com/content/www/us/en/programmable/documentation/lit-index.html>

Please take note that this document is no longer being maintained. It may contain legacy content and trademarks which may be outdated.

Please refer to English version for latest update at

<https://www.intel.com/content/www/us/en/programmable/documentation/lit-index.html>

硬核处理器系统 (HPS) 中的 FPGA 管理器管理和监控片上系统 (SoC)FPGA 器件的 FPGA 部分。FPGA 管理器能够从 HPS 配置 FPGA 架构，监控 FPGA 的状态，驱动或采样来自 / 到 FPGA 架构的信号。

FPGA 管理器的特性

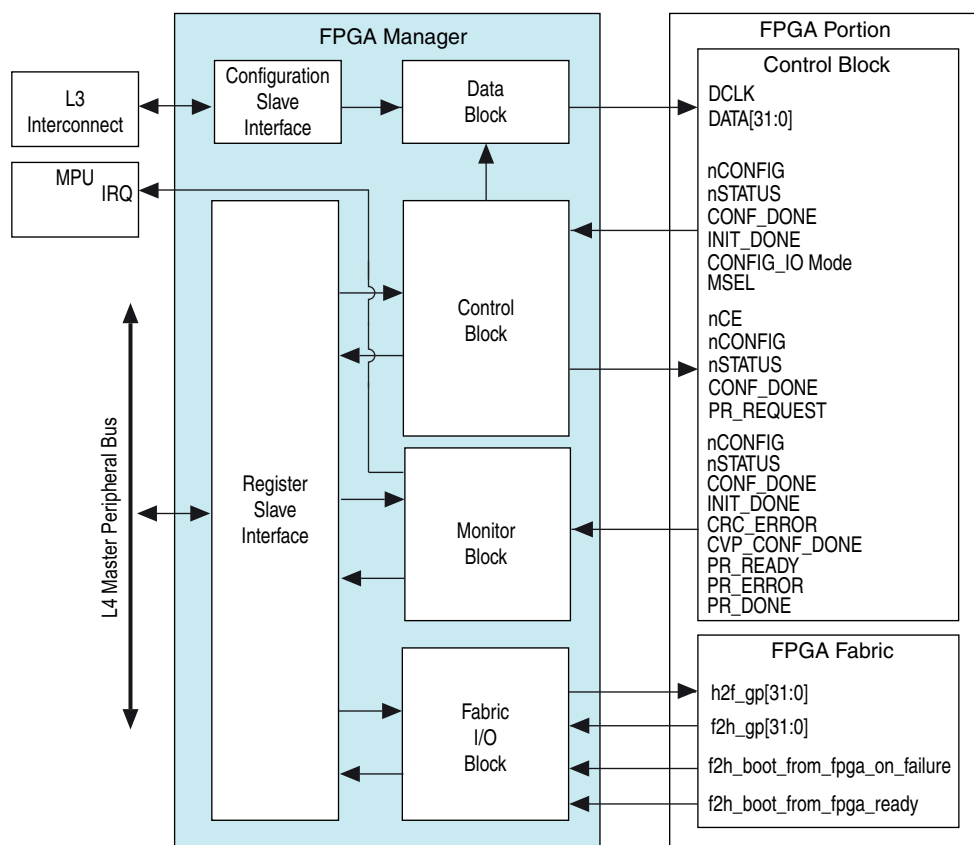
FPGA 管理器具有以下功能和特性：

- SoC 器件的 FPGA 部分的完全配置和部分重配置
- 驱动 32 个通用输出信号到 FPGA 架构
- 接收来自 FPGA 架构的 32 个通用输入信号
- 接收来自 FPGA 架构的两个引导握手输入信号（当 HPS 从 FPGA 引导时使用）
- 监控 FPGA 配置和功耗状态
- 根据 FPGA 状态变化来生成中断
- 能够复位 FPGA

FPGA 管理器结构图和系统集成

图 13-1 显示了 FPGA 管理器的结构图。

图 13-1. FPGA 管理器结构图



寄存器从接口连接到 level 4 (L4) 主外设总线，用于控制和状态寄存器 (CSR) 访问。当配置 SoC 器件的 FPGA 部分时，配置从接口连接到 level 3 (L3) 互联，使微处理器单元 (MPU) 子系统或其它主器件将 FPGA 配置映像写入到 FPGA 控制器模块 (CB) 中。

通用 I/O 和引导握手输入接口连接到 FPGA 架构。FPGA 管理器也连接到 FPGA CB 信号以监控和控制器件的 FPGA 部分。

FPGA 管理器包括下面模块：

- 配置从接口 — 接收并传递配置映像到数据接口。
- 寄存器从接口 — 访问 FPGA 管理器中的 CSR。
- 数据 — 接收来自配置从接口的 FPGA 配置映像，并将其发送至 FPGA CB。
- 控制 — 控制 FPGA CB。
- 监控 — 监控 FPGA CB 中的配置信号，并发送中断到 MPU 子系统。
- 架构 I/O — 读取和写入来自 / 到 FPGA 架构的信号。

FPGA 管理器的功能描述

FPGA 管理器构建模块

FPGA 管理器具有下面的模块用于监控来自器件的 FPGA 部分的信号。

架构 I/O

架构 I/O 模块包含下面的寄存器以支持 HPS 与 FPGA 架构之间的简单低延时通信:

- 通用输入寄存器 (gpi)
- 通用输出寄存器 (gpo)
- 引导握手输入寄存器 (misci)

这些寄存器仅在 FPGA 处于用户模式时有效。当 FPGA 没有处于 FPGA 模式时, 读取这些寄存器会产生未定义的数据。

通过使用寄存器从接口读取 gpi 寄存器来读取来自 FPGA 架构的 32 个通用输入信号。通过写入 gpo 寄存器生成到 FPGA 架构的 32 个通用输出信号。关于 FPGA 管理器寄存器的详细信息, 请参考第 13 - 7 页 “FPGA 管理器地址映射和寄存器定义”。

通过读取 misci 寄存器来读取来自 FPGA 架构的引导握手输入信号。当引导 ROM 正在从 FPGA 引导时, 如果 FPGA 中的逻辑准备好接收来自 HPS-to-FPGA 桥接的配置接口请求, 那么 f2h_boot_from_fpga_ready 信号将指示引导 ROM。在引导 ROM 代码无法从主引导 flash 器件进行引导的情况下, f2h_boot_from_fpga_on_failure 信号用作一个后馈 (fallback)。在此情况下, 引导 ROM 代码检查这两个握手信号来决定是否使用 FPGA 存储器中的引导代码作为引导进程中的下一个阶段。

对于此模块, 没有中断支持。

监控


监控模块是 Synopsys® DesignWare® GPIO IP (DW_apb_gpio) 的一个实例, 它是 IP 的一个独立实例, 包含三个 HPS GPIO 接口。监控模块连接到 FPGA 中的配置信号。此模块监控与 FPGA 配置关联的主要信号, 例如: INIT_DONE, CRC_ERROR 和 PR_DONE。软件通过寄存器从接口来配置监控模块, 并能够轮询 FPGA 信号或者被中断。FPGA 管理器寄存器地址映射中的 mon 地址映射包含监控寄存器。关于 FPGA 管理器寄存器的详细信息, 请参考第 13 - 7 页 “FPGA 管理器地址映射和寄存器定义”。

通过编程 FPGA 管理器, 可以将任意的监控信号作为中断源来对待。无论是哪种中断源, 监控模块始终驱动一个有效高电平 (active-high level) 到 MPU。每个中断源可以是下面的类型:

- 有效高电平 (active-high level)
- 有效低电平 (active-low level)
- 上升沿 (rising edge)
- 下降沿 (falling edge)

FPGA 配置

您可以使用外部器件或者通过 HPS 来配置 FPGA。这一小节仅涵盖通过 HPS 配置 FPGA。

 关于使用外部器件配置 FPGA 的详细信息, 请参考 *Cyclone V 器件手册卷 1 中的 Configuration, Design Security, and Remote System Upgrades in Cyclone V Devices* 章节。

FPGA CB 使用 FPGA 模式选择 (MSEL) 管脚来确定使用哪种配置方案。MSEL 管脚必须与配置方案的相应值连接。表 13-1 列出了通过 HPS 配置 FPGA 时所支持的 MSEL 值。

HPS 软件设置控制寄存器 (ctrl) 中的时钟数据比率域 (clock-to-data ratio field (cdratio)) 和配置数据宽带比特位 (configuration data width bit (cfgwidth)) 以匹配 MSEL 管脚。配置开始前必须设置 cdratio 域和 cfgwidth 比特。

FPGA 管理器连接到 FPGA 器件的配置逻辑上, 类似于外部逻辑 (例如: MAX II 或智能主机), 用快速被动并行 (FPP) 模式来配置 FPGA。通过 HPS 的 FPGA 配置支持 FPP 模式的全部功能, 包括:

- FPGA 配置
- 部分 FPGA 重配置
- FPGA I/O 配置, 之后是 FPGA 剩余部分的 PCI Express® (PCIe®) 配置
- 外部单粒子反转 (SEU) 刷新 (external single event upset (SEU) scrubbing)
- 解压缩
- 高级加密标准 (AES) 加密
- FPGA DCLK 时钟, 用于初始化阶段时钟


 FPGA 管理器支持 32 或 16 比特的数据位宽。当从 HPS 配置 FPGA 架构时, Altera 建议始终将数据位宽设成 32 比特。对于部分重配置, 16 比特数据位宽是唯一选择。

表 13-1 列出了 HPS 配置 FPGA 时的所支持的配置方案和它们各自的 MSEL, 以及寄存器设置。

表 13-1. HPS 配置 FPGA 的配置方案 (1/2)

配置方案	压缩功能	设计安全功能	POR 延迟 ⁽²⁾	MSEL[4..0] ⁽³⁾	cfgwidth	cdratio	支持部分重配置
FPP × 16	禁用	AES 禁用	快速	00000	0	1	是
			标准	00100	0	1	否
	禁用	AES 使能	快速	00001	0	2	是
			标准	00101	0	2	否
	使能	可选 ⁽¹⁾	快速	00010	0	4	是
			标准	00110	0	4	否

表 13 - 1. HPS 配置 FPGA 的配置方案 (2/2)

配置方案	压缩功能	设计安全功能	POR 延迟 ⁽²⁾	MSEL[4..0] ⁽³⁾	cfgwidth	cdratio	支持部分重配置
FPP × 32	禁用	AES 禁用	快速	01000	1	1	否
			标准	01100	1	1	否
	禁用	AES 使能	快速	01001	1	4	否
			标准	01101	1	4	否
	使能	可选 ⁽¹⁾	快速	01010	1	8	否
			标准	01110	1	8	否

表 13 - 1 注释:

- (1) 您可以选择使能或禁用此功能。
- (2) 关于 POR 延迟的详细信息, 请参考 Cyclone V 器件手册卷 1 中的 *Configuration, Design Security, and Remote System Upgrades* 章节。
- (3) 从非 HPS 源配置 FPGA 时支持其它 MSEL 值。关于详细信息, 请参考 Cyclone V 器件手册卷 1 中的 *Configuration, Design Security, and Remote System Upgrades in Cyclone V Devices* 章节。

SoC 器件 FPGA 部分的配置包括下面几个阶段:

1. 上电阶段 (power up phase)
2. 复位阶段 (reset phase)
3. 配置阶段 (configuration phase)
4. 初始化阶段 (initialization phase)
5. 用户模式 (user mode)

上电阶段 (Power Up Phase)

在此阶段中, V_{CC} 上升到正常电平。当片上电压检测器确定 V_{CC} 已经达到正常电平时, 此阶段完成。

复位阶段 (Reset Phase)

当 FPGA 配置信号 (nCONFIG) 被驱低时, FPGA 管理器复位 SoC 器件的 FPGA 部分。通过对 ctrl 寄存器的 nconfigpull 比特写入一个 1 来使 HPS 配置 FPGA。此操作会导致器件的 FPGA 部分复位并执行下面操作:

1. 清零 FPGA 配置 RAM 比特
2. 三态所有的 FPGA 用户 I/O 管脚
3. 拉低 nSTATUS 和 CONF_DONE 管脚
4. 使用 FPGA CB 读取 MSEL 管脚的值来确定配置方案


当 FPGA 已经成功进入复位阶段时, ctrl 寄存器的 nconfigpull 比特需要设成 0。设置该比特将 FPGA 从复位阶段释放, 并跳转到配置阶段。



在 FPGA 进入复位阶段之前, 您必须相应地设置 ctrl 寄存器的 cdratio 和 cfgwidth 比特。

配置阶段 (Configuration Phase)

要使用 HPS 配置 FPGA, 软件要将 `ctrl` 寄存器的 `axicfggen` 比特设为 1。软件然后通过 FPGA 管理器模块配置数据地址映射中的写数据寄存器 (`data`) 中写入数据来发送配置数据到 FPGA 中。软件通过读取 `gpio_inststatus` 寄存器来轮询 `CONF_DONE` 管脚以确定 FPGA 配置是否成功。当配置成功时, 软件将 `ctrl` 寄存器的 `axicfggen` 比特设为 0。FPGA 用户 I/O 管脚在此阶段仍然是三态的。


 关于通过 HPS 配置 FPGA 的详细信息, 请参考 *Cyclone V 器件手册* 卷 3 中的 *Booting and Configuration* 附录。

成功地完成配置阶段后, FPGA 跳转到初始化阶段。要延迟配置 FPGA, 需要将 `ctrl` 寄存器的 `confdonepull` 比特设为 1。

初始化阶段 (Initialization Phase)

在此阶段中, FPGA 准备进入用户模式。器件的 FPGA 部分中的内部振荡器是初始化阶段的默认时钟源。或者, 配置映像可以指定 `CLKUSR` 或者 `DCLK` 管脚作为时钟源。可选时钟源控制 FPGA 何时进入用户模式。

如果 `DCLK` 被选作时钟源, 那么软件使用 `DCLK` 计数 (`dclkcnt`) 寄存器驱动 `DCLK` 脉冲到 FPGA。写入 `dclkcnt` 寄存器的 `cnt` 域会触发 FPGA 管理器生成指定数量的 `DCLK` 脉冲。所有的 `DCLK` 脉冲发送后, `DCLK` 状态 (`dclkstat`) 寄存器的 `dcntdone` 比特设为 1。软件轮询 `dcntdone` 比特来获悉 `DCLK` 脉冲何时被发送。


 在对 `dclkcnt` 寄存器的另一个写操作开始前, 软件需要对 `dcntdone` 比特写入 1 来清除完成状态 (`done state`)。


FPGA 用户 I/O 管脚在此阶段仍然是三态的。当初始化阶段完成时, FPGA 释放可选的 `INIT_DONE` 管脚, 外部电阻拉高此管脚。

用户模式 (User Mode)

FPGA 在退出初始化阶段后进入用户模式。FPGA 用户 I/O 管脚在此阶段不再是三态的, FPGA 中配置的软逻辑变得有效 (`active`)。

FPGA 保持在用户模式直到 `nCONFIG` 管脚被驱低。如果 `nCONFIG` 管脚被驱低, 那么 FPGA 会重新进入复位阶段。内部振荡器在用户模式中被禁用, 然而, 一旦 `nCONFIG` 管脚被驱低, 就会使能内部振荡器。


 关于通过 HPS 配置 FPGA 的详细信息, 请参考 *Cyclone V 器件手册* 卷 3 中的 *Booting and Configuration* 附录。

 关于通过一般方法配置 FPGA 的详细信息, 请参考 *Cyclone V 器件手册* 卷 1 中的 *Configuration, Design Security, and Remote System Upgrades in Cyclone V Devices* 章节。

时钟


FPGA 管理器有两个彼此异步的时钟输入信号。时钟管理器生成这两个时钟:

- `cfg_clk`— 配置从接口时钟输入, 也是 FPGA 配置的 `DCLK` 输出参考。仅在配置是有效的或者配置从接口需要响应主接口的请求时才在时钟管理器中使能此时钟。
- `l4_mp_clk`— 寄存器从接口时钟。


 关于时钟管理器的详细信息, 请参考 *Cyclone V 器件手册* 卷 3 中的 *Clock Manager* 章节。

复位

FPGA 管理器有一个复位信号。复位管理器在冷或热复位上驱动此信号到 FPGA 管理器。FPGA 管理器中的所有分布的复位信号同时被异步地置位, 并且对它们相关时钟同步地置低。

 关于复位管理器的详细信息, 请参考 *Cyclone V 器件手册* 卷 3 中的 *Reset Manager* 章节。


FPGA 管理器地址映射和寄存器定义

 地址映射和寄存器定义位于此手册卷中的 [hps.html](#) 文件中。点击链接打开此文件。

要查看模块定义和基地址, 滚动并点击下面模块实例的链接:

- [fpgamgrregs](#)
- [fpgamgrdata](#)

然后要查看寄存器和域描述, 滚动并点击寄存器名。寄存器地址是相对每个模块实例基地址的偏移。

 所有模块的基地址也列在 *Cyclone V 器件手册* 卷 3 中的 *Introduction to the Hard Processor System* 章节中。

文档修订历史

表 13-2 显示了本文档的修订历史。

表 13-2. 文档修订历史

日期	版本	修订内容
2012 年 11 月	1.3	次要更新。
2012 年 6 月	1.2	更新了 FPGA 配置部分。
2012 年 5 月	1.1	<ul style="list-style-type: none">■ 更新了配置方案表。■ 更新了 FPGA 配置部分。■ 添加了地址映射和寄存器定义部分。
2012 年 1 月	1.0	首次发布。

