



请注意：本文档不再进行更新。本文档可能包含旧内容和过时的商标。

请参考英文版本以获取最新更新

<https://www.intel.com/content/www/us/en/programmable/documentation/lit-index.html>

Please take note that this document is no longer being maintained. It may contain legacy content and trademarks which may be outdated.

Please refer to English version for latest update at

<https://www.intel.com/content/www/us/en/programmable/documentation/lit-index.html>

硬核处理器系统 (HPS) 调试基础结构对 FPGA 架构中实现的 HPS 模块、ARM® Cortex™-A9 微处理器单元 (MPU) 子系统和用户逻辑提供可见性和控制。调试系统设计包含 ARM® CoreSight™ 组件。

HPS 包含以下 ARM CoreSight 调试组件：

- “调试访问端口 (DAP)” 第 7-4 页
- “系统跟踪宏单元 (STM)” 第 7-4 页
- “跟踪 Funnel” 第 7-5 页
- “嵌入式跟踪 FIFO (ETF)” 第 7-5 页
- “AMBA 跟踪总线 Replicator (Replicator)” 第 7-5 页
- “嵌入式跟踪路由器 (ETR)” 第 7-5 页
- “跟踪端口接口单元 (TPIU)” 第 7-5 页
- “嵌入式交叉触发 (ECT) 系统” 第 7-5 页
- “程序跟踪宏单元 (PTM)” 第 7-9 页

CoreSight 调试和跟踪的功能

CoreSight 调试和跟踪系统提供以下功能：

- 通过单独的 PTM 对每个处理器执行的实时程序流指令跟踪
- 主机调试器 JTAG 接口
- 交叉触发和 STM-to-FPGA 接口的连接，可以使软核 IP 生成触发和系统跟踪消息
- 通过 TPIU 的指令跟踪接口以实现将数据驱动到跟踪分析工具
- 通过 STM 将消息注入到跟踪数据流以便传输到主机调试器
- STM 和 PTM 跟踪源通过跟踪 Funnel 被多路复用到单一数据流
- 能够将跟踪数据布线到可访问 ETR AXI 主器件(连接到 level 3 (L3) 互联的)的任何从器件。

© 2012 Altera Corporation. All rights reserved. ALTERA, ARRIA, CYCLONE, HARDCOPY, MAX, MEGACORE, NIOS, QUARTUS and STRATIX words and logos are trademarks of Altera Corporation and registered in the U.S. Patent and Trademark Office and in other countries. All other words and logos identified as trademarks or service marks are the property of their respective holders as described at www.altera.com/common/legal.html. Altera warrants performance of its semiconductor products to current specifications in accordance with Altera's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Altera assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Altera. Altera customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.

Portions © 2011 ARM Limited. Used with permission. All rights reserved. ARM, the ARM Powered logo, AMBA, Jazelle, StrongARM, Thumb, and TrustZone are registered trademarks of ARM Limited. The ARM logo, Angel, ARMulator, AHB, APB, ASB, ATB, AXI, CoreSight, Cortex, EmbeddedICE, ModelGen, MPCore, Multi-ICE, NEON, PrimeCell, ARM7TDMI, ARM7TDMI-S, ARM9TDMI, ARM9E-S, ARM966E-S, ETM7, ETM9, TDMI and STRONG are trademarks of ARM Limited. All other products or services mentioned herein may be trademarks of their respective owners. Neither the whole nor any part of the information contained in, or the product described in, this document may be adapted or reproduced in any material form except with the prior written permission of the copyright holder. The product described in this document is subject to continuous developments and improvements. All particulars of the product and its use contained in this document are given by ARM in good faith. However, all warranties implied or expressed, including but not limited to implied warranties of merchantability, or fitness for purpose, are excluded. This document is intended only to assist the reader in the use of the product. ARM Limited shall not be liable for any loss or damage arising from the use of any information in this document, or any error or omission in such information, or any incorrect use of the product. Where the term ARM is used it means "ARM or any of its subsidiaries as appropriate". This document is Non-Confidential. The right to use, copy and disclose this document may be subject to license restrictions in accordance with the terms of the agreement entered into by ARM and the party that ARM delivered this document to. The information in this document is final, that is for a developed product.



- 能够使以下 SoC 模块通过嵌入式交叉触发系统彼此触发：
 - FPGA 架构
 - A9-0 处理器
 - A9-1 处理器
 - PTM-0
 - PTM-1
 - STM
 - ETF
 - ETR
 - TPIU
 - csCTI
 - CTI-0
 - CTI-1
 - FPGA-CTI
 - csCTM
 - CTM

ARM CoreSight 文档

以下 ARM CoreSight 规范和文档提供对 HPS 调试系统中 ARM CoreSight 组件的更详细说明：

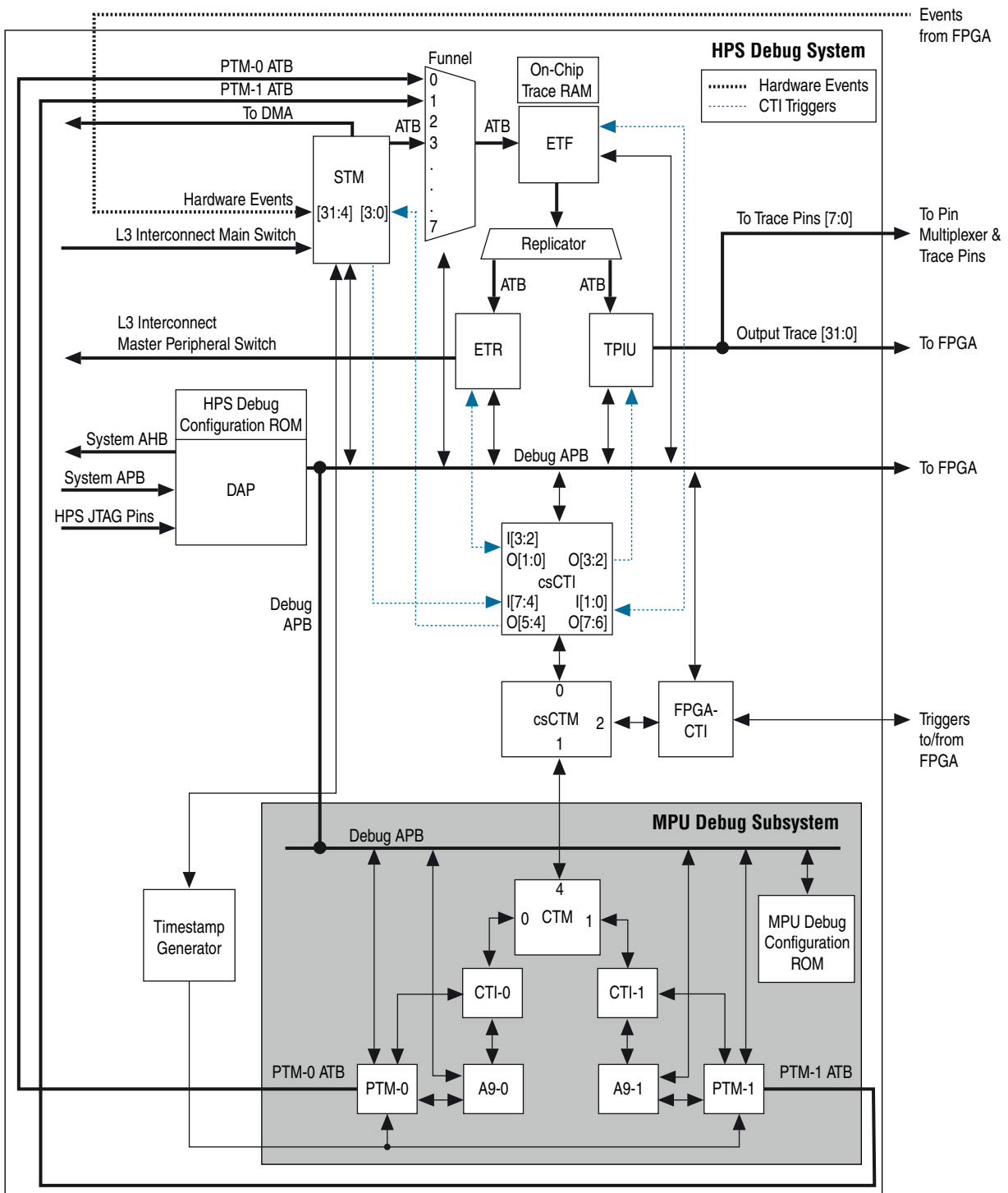
- *CoreSight Technology, System Design Guide, ARM DGI 0012D*
- *CoreSight Architecture Specification, ARM IHI 0029B*
- *ARM Debug Interface v5, Architecture Specification, ARM IHI 0031A*
- *Embedded Cross Trigger Technical Reference Manual, ARM DDI 0291A*
- *CoreSight Components Technical Reference Manual, ARM DDI 0314H*
- *CoreSight Program Flow Trace, Architecture Specification, ARM IHI 0035A*
- *CoreSight PTM-A9 Technical Reference Manual, ARM DDI 0401B*
- *CoreSight System Trace Macrocell Technical Reference Manual, ARM DDI 0444A*
- *System Trace Macrocell, Programmers' Model Architecture Specification, ARM IHI 0054*
- *CoreSight Trace Memory Controller Technical Reference Manual, ARM DDI 0461B*

 您可以从 ARM 网站 (infocenter.arm.com) 下载文档。

CoreSight 调试和跟踪结构图以及系统集成

图 7-1 显示了 HPS CoreSight 调试和跟踪系统的结构示意图。

图 7-1. 调试系统结构图




CoreSight 调试和跟踪的功能说明

CoreSight 系统提供需要调试、监控和优化完整 HPS 设计的性能的所有基础结构。**CoreSight 技术可以提供对超出处理器内核的整个系统高带宽的多核调试和跟踪进行调试。**

CoreSight 技术提供以下功能：

- SoC 子系统之间的交叉触发支持
- 高数据压缩
- 单数据流中的多源跟踪
- 标准工具支持的标准编程模型

 要了解关于 CoreSight 技术的更多信息，请参考 *CoreSight 组件技术参考手册* 和 *CoreSight 技术系统设计指南*，可以从 ARM 网站 (infocenter.arm.com) 下载。

以下部分对 HPS 调试系统中提供的 ARM CoreSight 组件进行简单介绍。

调试访问端口 (DAP)

DAP 对主调试器提供必要端口以便通过 JTAG 接口 (连接到独立于 FPGA 的 JTAG 的专用 HPS 管脚) 与 HPS 连接或通信。被提供了 DAP 的 JTAG 接口使得主调试器可以访问 HPS 内的各种模块。除此之外，在任何一个处理器上执行的调试监控器都可以 (通过连接 DAP 的系统高级微控制器总线体系结构 (AMBA[®]) 高级外设总线 (APB[™]) 从端口) 访问不同的 HPS 组件。系统 APB 从端口在 HPS 中占用 2 MB 的地址空间。JTAG 端口和系统 APB 端口都可访问 DAP 的调试 APB 主端口。如图 7-1 所示，所有的 CoreSight 组件都连接到调试 APB。

主调试器可以通过 DAP 系统主端口访问系统中的所有 HPS 存储器映射的资源。外设寄存器的读和写影响 DAP 系统主端口发出的请求。


 要了解更多信息，请参考 *CoreSight 组件技术参考手册*，可以从 ARM 网站 (infocenter.arm.com) 下载。

系统跟踪宏单元 (STM)

STM 使得消息能够被注入到跟踪数据流 (trace stream) 以便传递到接收跟踪数据的主机调试器。这些消息可以通过刺激端口 (stimulus port) 或硬件事件接口而发送。**STM 使得消息被盖上时间戳。**

STM 提供用于创建跟踪事件的 AMBA 高级可扩展接口 (AXI[™]) 从接口。接口可以通过 FPGA-to-HPS 桥接由 MPU 子系统、直接存储器访问 (DMA) 控制器和主器件 (使用 FPGA 架构中的软核逻辑创建) 进行访问。AXI 从接口支持 3 个地址段，其中每个地址段是 16 MB 并且每个段支持高达 65536 个通道。每个通道占用 256 字节的地址空间。

STM 也提供 32 个硬件事件管脚。高阶 (higher-order) 28 个管脚 (31:4) 被连接到 FPGA 架构，从而使得 FPGA 内的逻辑能够将消息插入到跟踪数据流。当 STM 检测事件管脚的上升沿时，识别事件的消息被插入到数据流中。**4 个低事件管脚 (3:0) 被连接到 csCTI。**

 要了解更多信息，请参考 *CoreSight 系统跟踪宏单元技术参考手册*，可以从 ARM 网站 (infocenter.arm.com) 下载。

跟踪 Funnel

跟踪 Funnel 将 3 个跟踪源多路复用到单一跟踪数据流。跟踪 Funnel 的端口 0 被连接到 CPU 0 的 PTM。跟踪 Funnel 的端口 1 被连接到 CPU 1 的 PTM。跟踪 Funnel 的端口 3 被连接到 STM。端口 2 和端口 4 到端口 7 不被使用。

 要了解更多信息，请参考 *CoreSight 组件技术参考手册*，可以从 ARM 网站 (infocenter.arm.com) 下载。

嵌入式跟踪 FIFO (ETF)

跟踪 Funnel 的输出被发送到 ETF。ETF 被用作跟踪生成器 (STM、PTM) 和跟踪目的地之间的弹性缓冲器。ETF 在片上跟踪 RAM 中存储高达 32 KB 的跟踪数据。

AMBA 跟踪总线 Replicator (Replicator)

Replicator 从 ETF 到嵌入式跟踪路由器 (ETR) 和跟踪端口接口单元 (TPIU) 广播跟踪数据。

 要了解更多信息，请参考 *CoreSight 组件技术参考手册*，可以从 ARM 网站 (infocenter.arm.com) 下载。

嵌入式跟踪路由器 (ETR)

ETR 可以将跟踪数据布线到连接 HPS-to-FPGA 桥接的 FPGA 架构中的 HPS 片上 RAM、HPS SDRAM 和任何存储器。ETR 从 Replicator 接收跟踪数据。默认情况下，**接收跟踪数据的缓冲器位于 SDRAM 的偏移 0x00100000 并且是 32 KB**。通过编程 ETR 中的寄存器可以覆盖该默认配置。

跟踪端口接口单元 (TPIU)

TPIU 是片上跟踪源和片外跟踪端口之间的桥接。TPIU 从 Replicator 接收跟踪数据并且将跟踪数据驱动到跟踪端口分析器。

TPIU 的跟踪输出是软件可编程的并且可以被设置为 8 或 32 位宽。跟踪输出被布线到 FPGA 架构的 8 位 HPS I/O 接口和 32 位接口。发送到 FPGA 架构的跟踪数据可以通过使用 FPGA 中的串行器 / 解串器 (SERDES) 资源传输到片外。

 要了解更多信息，请参考 *CoreSight 组件技术参考手册*，可以从 ARM 网站 (infocenter.arm.com) 下载。

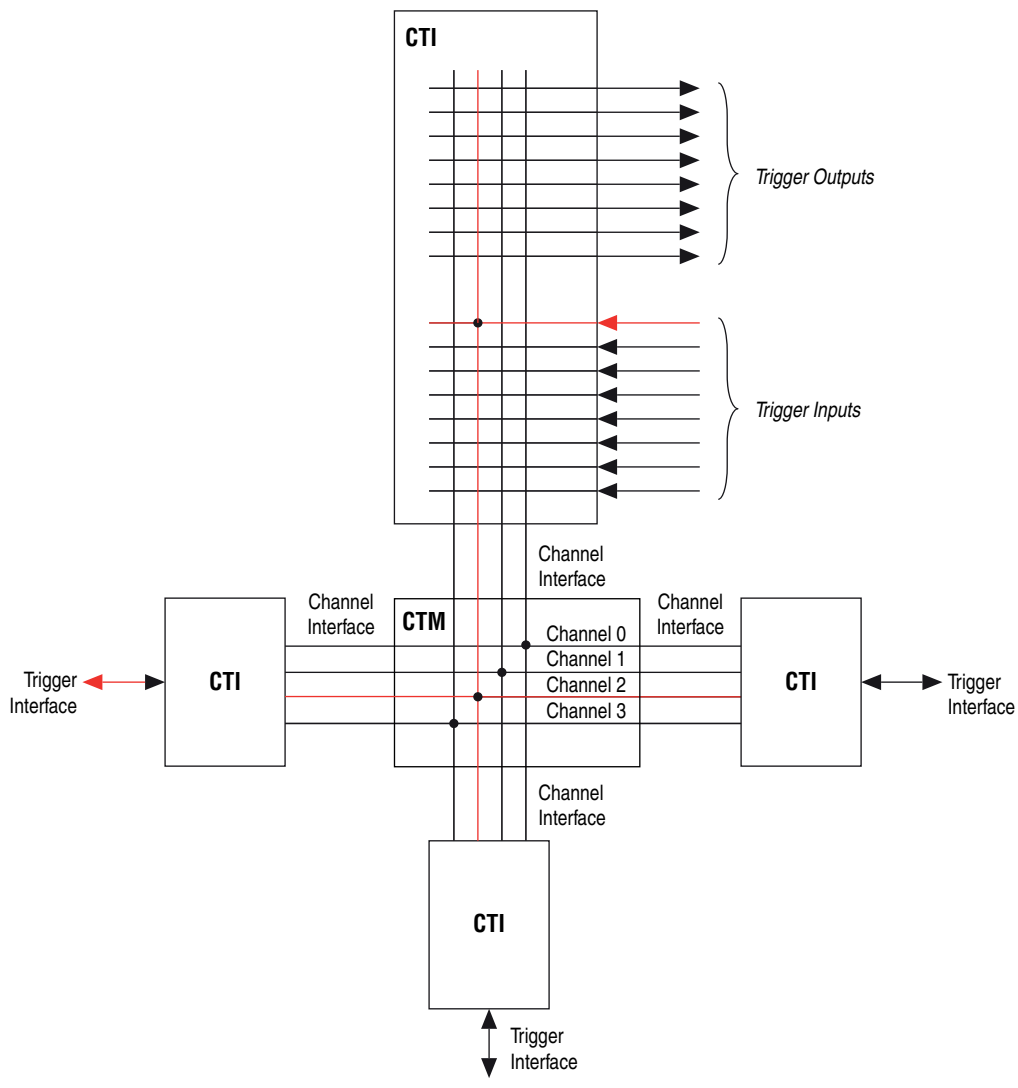
嵌入式交叉触发 (ECT) 系统

ECT 系统提供 HPS 模块彼此触发的机制。ECT 包含以下模块：

- 交叉触发接口 (CTI)
- 交叉触发矩阵 (CTM)

图 7-2 显示了 CTI 和 CTM 如何用于通用 ECT 设置。红线表示一个 CTI 的触发输入生成另一个 CTI 的触发输出。虽然信号在通道 2 中传输，它只通过配置的触发输入和输出传入和传出。

图 7-2. 通用 ECT 系统

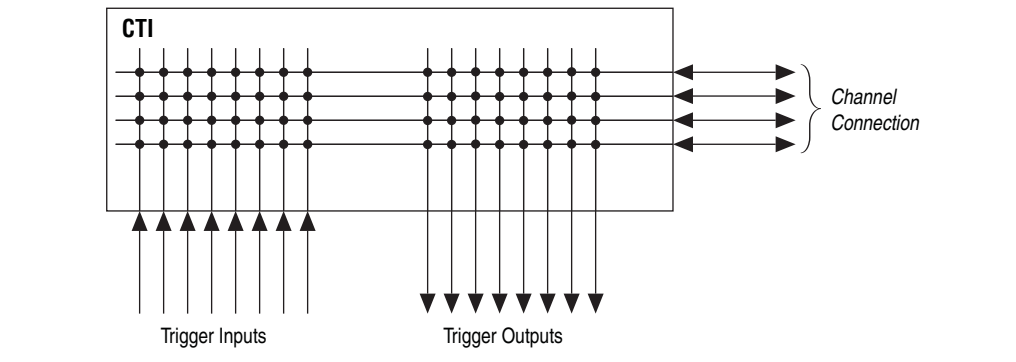


交叉触发接口 (CTI)

CTI 使得触发源和接收器能够与 ECT 连接。每个 CTI 支持高达 8 个触发输入和 8 个触发输出，并且连接到 CTM。图 7-2 显示了 CTI 的触发输入、触发输出和 CTM 通道之间的关系。

图 7-3 显示了触发输入和触发输出连接的详细信息。

图 7-3. CTI 连接



HPS 调试系统包含以下 4 个 CTI：

- csCTI— 执行 STM、ETF、ETR 和 TPIU 之间的交叉触发。
- FPGA-CTI— 将交叉触发系统作用于 FPGA 架构
- CTI-0和CTI-1—位于MPU调试子系统。每个CTI与处理器和处理器的相关PTM相关联。

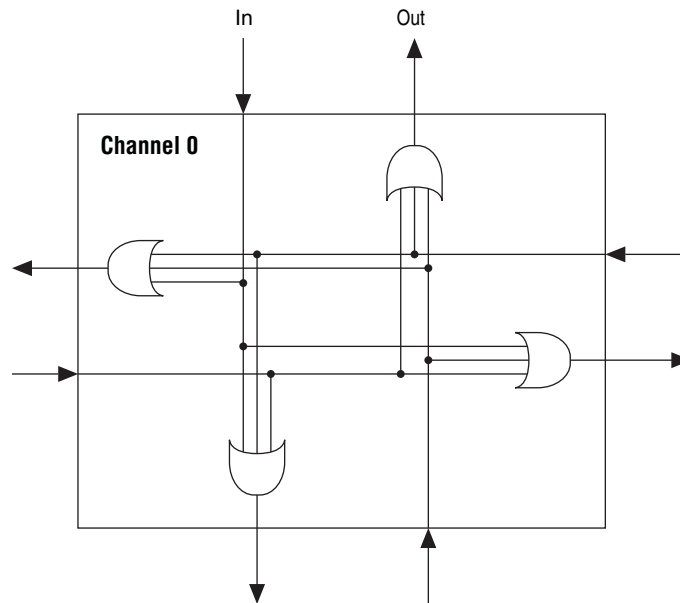
交叉触发矩阵 (CTM)

CTM 是一个传输机制，以便触发可以从一个 CTI 传输到一个或多个 CTI 或 CTM。HPS 包含两个 CTM。一个 CTM 连接 csCTI 和 FPGA-CTI；另一个连接 CTI-0 和 CTI-1。两个 CTM 被连接在一起，从而使得触发可以在 MPU 调试子系统、调试系统和 FPGA 架构之间传输。

每个 CTM 具有 4 个端口并且每个端口具有 4 个通道。每个 CTM 端口可以被连接到一个 CTI 或一个 CTM。

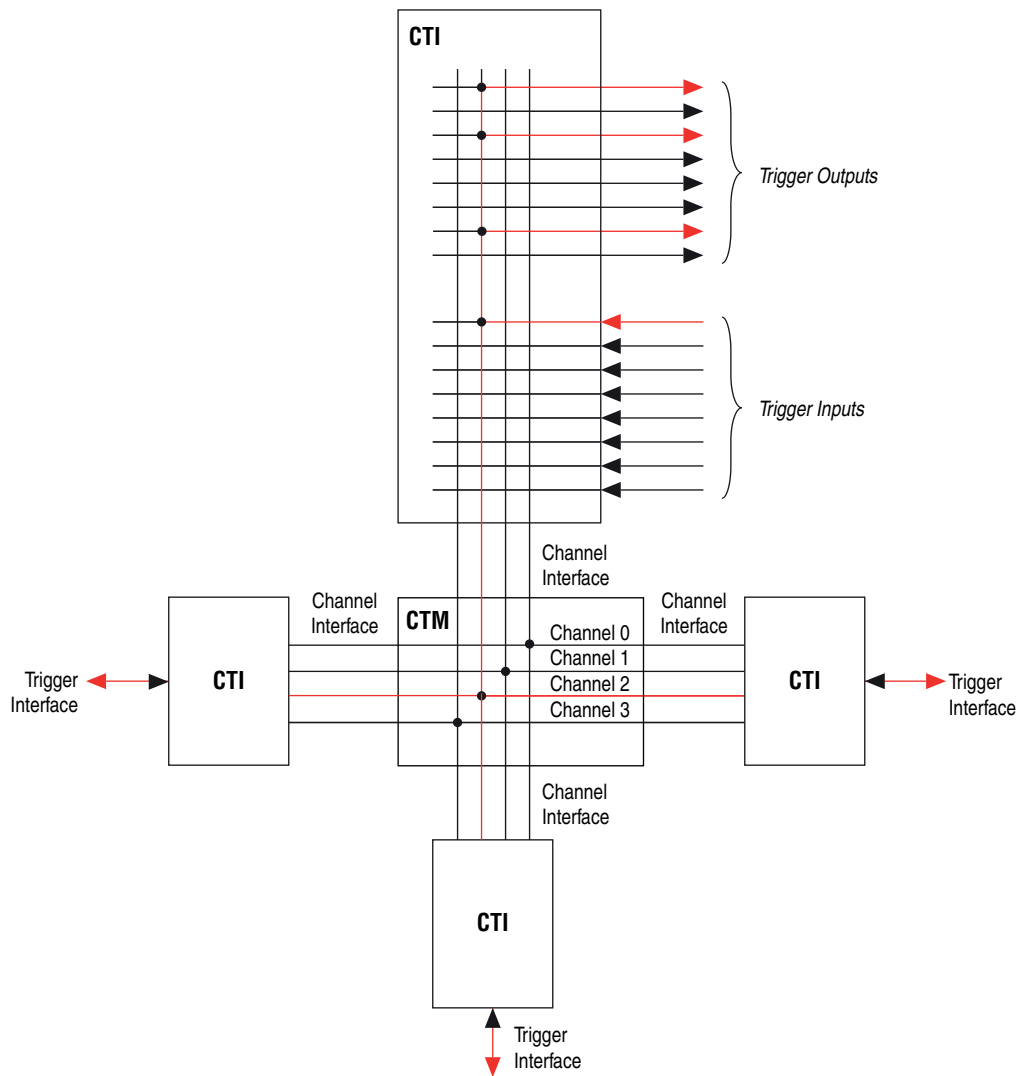
图 7-4 显示了 CTM 通道的结构。CTM 中的路径是完全组合的。

每个 CTI 触发输入可以通过一个 CTM 被连接到调试器控制的一个或多个触发输出。 ? 7-5
图 7-4. CTM 通道结构



显示了 CTI 触发连接的图形表示。红线表示一个触发输入对整个系统的影响。

图 7-5. CTI 触发连接



要了解更多信息，请参考 *CoreSight 组件技术参考手册*，可以从 ARM 网站 (infocenter.arm.com) 下载。

程序跟踪宏单元 (PTM)


PTM 执行实时程序流指令跟踪并且提供可以用于跟踪代码的指定部分的各种过滤器和触发。

HPS 包含两个 PTM。每个 PTM 都和处理器和 CTI 成对。从 PTM 生成的跟踪数据可以使用 HPS 管脚被传输到片外，或传输到 FPGA 架构，其中它可以使用高速 FPGA 管脚被预处理并且传输到片外。

要了解更多信息，请参考 *CoreSight PTM-A9 技术参考手册*，可以从 ARM 网站 (infocenter.arm.com) 下载。


HPS 调试 APB 接口

HPS 可以扩展 CoreSight 调试控制总线到 FPGA 架构。调试接口是一个具有内置时钟交叉的 APB 兼容的接口。

 要了解更多信息，请参考 *Cyclone V 器件手册* 第 3 卷的 *HPS Component Interfaces* 章节。

CoreSight 调试和跟踪编程模型

该部分介绍针对 Altera 的 ARM CoreSight 技术的实现的编程模型详细信息。

 要了解关于每个 CoreSight 组件的编程接口详细信息，请参考 *CoreSight 组件技术参考手册*，可以从 ARM 网站 (infocenter.arm.com) 下载。

当某些事件发生时，可以配置调试组件以导致触发。例如，FPGA 架构中的软核逻辑可以发出一个事件信号，从而触发一个 STM 消息注入到跟踪数据流。CoreSight 组件通过存储器映射的寄存器而配置，位于与 CoreSight 组件基地址有关的偏移。CoreSight 组件基地址通过 ROM 表是可访问的。

ROM 表

表 7-1 包含 DAP 的 ROM 表部分中的项。

表 7-1. DAP ROM 表

ROM 项	偏移 [30:12]	说明
0x0	0x00001	ETF
0x1	0x00002	CTI
0x2	0x00003	TPIU
0x3	0x00004	跟踪 Funnel
0x4	0x00005	STM
0x5	0x00006	ETR
0x6	0x00007	FPGA-CTI
0x7	0x00100	A9ROM
0x8	0x00080	FPGAROM
0x9	0x00000	ROM 的结束

一个主调试器可以通过 DAP 在 0x8000_0000 访问该表。HPS 主器件可以在 0xFF00_0000 访问该 ROM。通过寄存器相位加上 CoreSight 组件基地址，然后将所得到的值再加上 ROM 表的基地址，可以对特定 CoreSight 组件的寄存器进行访问。

调试器访问该 ROM 表时的基地址（在 0x8000_0000）不同于 HPS 主器件访问该表时的基地址（在 0xFF00_0000）。例如，CTI 输出使能寄存器，在偏移 0xA8 的 CTIOUTEN[2]，可以由 0x8000_20A8 的主调试器访问。要产生该值，需要主调试器访问地址加上 ROM 表的 0x8000_0000，将所得值加上 0x0000_2000 的 CTI 组件基地址，以及将所得值再加上 0xA8 的 CTIOUTEN[2] 寄存器相位。

STM 通道

STM AXI 从器件被连接到 MPU、DMA 和 FPGA-to-HPS 桥接主器件。每个主器件具有高达 65536 的通道，其中每个通道占用 256 个字节的地址空间，所以每主器件具有总共 16 MB 的地址空间。通过分段为 3 个 16 MB，HPS 地址映射分配 48 MB 的连续的地址空间到 STM AXI 从端口。

表 7-2 列出了 STM 地址分段的地址分配。

表 7-2. STM AXI 从端口地址分配

分段	起始地址	结束地址
0	0xFC00_0000	0xFCFF_FFFF
1	0xFD00_0000	0xFDFE_FFFF
2	0xFE00_0000	0xFEFF_FFFF

3 个主器件的每个主器件都可以访问 3 个地址分段的任何一个分段。根据写地址中 24 位和 25 位的值，AWADDRS[25:24]，软件设计决定哪一个主器件使用哪一个分段。软件必须限制每个主器件仅使用 3 个分段中的其中一个。

表 7-3 列出了 STM 地址域。

表 7-3. STM AXI 地址域

AXI 信号域	说明
AWADDRS[7:0]	通过这些位可以检索刺激端口的 256 字节。要了解更多信息，请参考系统跟踪宏单元，编程器的模型体系结构规范，可以从 ARM 网站 (infocenter.arm.com) 下载。
AWADDRS[23:8]	这些位识别与主器件相关的 65536 个刺激端口。
AWADDRS[25:24]	这些位识别 3 个主器件。只有 0、1 和 2 是有效值。
AWADDRS[31:26]	总是 0x3F。位 24 到 31 合并在一起访问 0xFC00_0000 到 0xFEFF_FFFF。

每个 STM 消息包含一个主 ID，它告诉主调试器哪一个主器件与消息相关。通过将 AWADDRS 信号的一部分和 AWPROT 保护位合并在一起决定 STM 主 ID。表 7-4 显示了 STM 主 ID 如何被计算。

表 7-4. STM 主 ID 计算

主 ID 位	AXI 信号位	注释
主 ID[5:0]	AWADDRS[29:24]	两个最低位足够决定哪一个主器件，但是 CoreSight 使用一个 7 位主 ID。
主 ID[6]	AWPROT[1]	0 表示安全；1 表示不安全。

除了通过 STM 通道访问以外，32 个事件信号的高阶 28 (31:4) 通过 FPGA-CTI 被传输到 FPGA。这些事件信号使得 FPGA 架构能够使用 STM 发送额外的消息。

CTI 触发连接到调试系统的外部

以下 HPS 调试系统中的 CTI 连接到调试系统的外部：

- csCTI
- FPGA-CTI

csCTI

该部分列出了调试系统中 csCTI 实现的触发输入、输出和输出确认管脚连接。触发输入确认信号没有连接到管脚。

表 7-5 列出了 csCTI 实现的触发输入管脚连接。

表 7-5. 触发输入信号

数量	信号	源
7	ASYNCOUT	STM
6	TRIGOUTHETE	STM
5	TRIGOUTSW	STM
4	TRIGOUTSPTE	STM
3	ACQCOMP	ETR
2	FULL	ETR
1	ACQCOMP	ETF
0	FULL	ETF

表 7-6 列出了 csCTI 实现的触发输出管脚连接。

表 7-6. 触发输出信号

数量	信号	目的地
7	TRIGIN	ETF
6	FLUSHIN	ETF
5	HWEVENTS[3:2]	STM
4	HWEVENTS[1:0]	STM
3	TRIGIN	TPIU
2	FLUSHIN	TPIU
1	TRIGIN	ETR
0	FLUSHIN	ETR

表 7-7 列出了 csCTI 实现的触发输出确认管脚连接。

表 7-7. 触发输出确认信号

数量	信号	源
7	0	—
6	0	—
5	0	—
4	0	—
3	TRIGINACK	TPIU
2	FLUSHINACK	TPIU
1	0	—
0	0	—

FPGA-CTI

FPGA-CTI 将调试系统连接到 FPGA 架构。FPGA-CTI 的所有触发都可连接到 FPGA 架构。

配置嵌入式交叉触发连接

CTI 接口通过存储器映射的寄存器接口是可编程的。

 指定的寄存器的详细信息在 *CoreSight 组件技术参考手册* 中有所介绍，可以从 ARM 网站 (infocenter.arm.com) 下载。

要通过调试器访问任何 CoreSight 组件中的寄存器，寄存器偏移必须被加到 CoreSight 组件的基地址。该合并的值必须再被加到对于调试器 (0x80000000)ROM 表是可见的地址。

每个 CTI 具有两个接口，触发接口和通道接口。触发接口是 CTI 和其它组件之间的接口。它具有被硬线连接到其它组件的 8 个触发信号。通道接口是 CTI 和其 CTM 之间的接口，具有 4 个双向通道。CTI 中触发接口到通道接口（反之亦然）的映射被动态地配置。您可以单独地使能或禁用每个 CTI 触发输出和 CTI 触发输入连接。

例如，您可以配置 FPGA-CTI 中的触发输入 0，使其布线到通道 3，并且配置 FPGA-CTI 中的触发输出 3 和 MPU 调试子系统的 CTI-0 中的触发输出 7，以使其从通道 3 布线。这个配置导致 FPGA-CTI 中触发输入 0 的触发传播到 FPGA-CTI 中的触发输出 3 和 CTI-0 中的触发输出 7。传播可以是单到单 (single-to-single)、单到多 (single-to-multiple)、多到单 (multiple-to-single) 和多到单 (multiple-to-multiple)。

连接到 FPGA-CTI 中的触发输入的 FPGA 中的特定软逻辑信号可以被配置，**以触发刷新的跟踪数据到 TPIU。例如，可以将通道 0 配置到 csCTI 中的触发输出 2。然后将触发输入 T3 配置到 FPGA-CTI 中的通道 0。** 当一个触发在 csCTI 中的触发输出 2 被接收时，跟踪数据被刷新到 TPIU。

连接到 FPGA-CTI 中触发输入 T2 的 FPGA 中的另一个软核逻辑信号可以被配置以触发一个 STM 消息。csCTI 输出触发 4 和 5 被连线到 HPS 中的 STM CoreSight 组件。**例如，将通道 1 配置到 csCTI 中的触发输出 4。然后，将触发输入 T2 配置到 FPGA-CTI 中的通道 1。** 请参考图 7-1。

连接到 FPGA-CTI 中的触发输入 T1 的 FPGA 架构中的另一个软核逻辑信号可以被配置以触发 CPU 1 的一个断点。CTI-1 中的触发输出 1 被连线到 CPU-1 的调试请求 (EDBGRQ) 信号。**例如，将通道 2 配置到 CTI-1 中的触发输出 1。然后将触发输入 T1 配置到 FPGA-CTI 中的通道 2。**

调试时钟

CoreSight 系统使用几个不同的时钟。表 7-8 提供了这些时钟的列表。**端口名称是对 ARM 文档中单独的 CoreSight 调试组件而描述的时钟信号输入名称。** 信号名称是和其它 HPS 组件一起使用的时钟信号的名称。

表 7-8. CoreSight 时钟 (1/2)

端口名称	时钟源	信号名称	说明
ATCLK	时钟管理器	dbg_at_clk	跟踪总线时钟。
CTICK (用于 csCTI)	时钟管理器	dbg_at_clk	用于 csCTI 的交叉触发接口时钟。它可以同步于或异步于 CTMCLK。

表 7-8. CoreSight 时钟 (2/2)

端口名称	时钟源	信号名称	说明
CTICKL (用于 FPGA-CTI)	FPGA 架构	fpga_cti_clk	用于 FPGA-CTI 的交叉触发接口时钟。
CTICKL (用于 CTI-0 和 CTI-1)	时钟管理器	mpu_clk	用于 CTI-0 和 CTI-1 的交叉触发接口时钟。它可以同步或异步于 CTMCLK。
CTMCLK (用于 csCTM)	时钟管理器	dbg_clk	用于 csCTM 的交叉触发矩阵时钟。它可以同步或异步于 CTICKL。
CTMCLK (用于 CTM)	时钟管理器	mpu_clk	用于 CTM 的交叉触发矩阵时钟。它可以同步或异步于 CTICKL。
DAPCLK	时钟管理器	dbg_clk	DAP 内部时钟。它必须相当于 PCLKDBG。
PCLKDBG	时钟管理器	dbg_clk	调试 APB (DAPB) 时钟。
HCLK	时钟管理器	dbg_clk	用于 DAP 内的 AHB-Lite 主器件。它异步于 DAPCLK。在 HPS 中, AHB-Lite 端口使用和 DAPCLK 相同的时钟。
PCLKSYS	时钟管理器	l4_mp_clk	用于 DAP 内的 APB 从端口。它异步于 DAPCLK。
SWCLKTCK	JTAG 接口	dap_tck	SWJ-DP 时钟通过 JTAG 接口或 FPGA 架构由外部调试器驱动。它异步于 DAPCLK。当通过 JTAG 接口时, 该时钟和 JTAG 接口的 TCK 一样。
	FPGA 架构	tpiu_traceclk	
TRACECLKIN	时钟管理器	dbg_trace_clk	TPIU 跟踪时钟输入。它异步于 ATCLK。在 HPS 中, 该时钟可以来自时钟管理器或 FPGA 架构。

要了解关于 CoreSight 端口名称的更多信息, 请参考 *CoreSight 技术系统设计指南* 中的表 6-2, 可以从 ARM 网站 (infocenter.arm.com) 下载。

调试复位

CoreSight 系统使用几个复位。表 7-9 提供这些复位的列表。**端口名称是对 ARM 文档中单独的 CoreSight 调试组件而描述的时钟信号输入的名称。**信号名称是和其它 HPS 组件一起使用的时钟信号的名称。

表 7-9. CoreSight 复位

端口名称	时钟源	信号名称	说明
ATRESETn	复位管理器	dbg_rst_n	跟踪总线复位。它复位 ATCLK 域中所有寄存器。
nCTIRESET	复位管理器	dbg_rst_n	CTI 复位信号。它复位 CTICKL 域中所有寄存器。在 HPS 中, 存在 4 个 CTI 的实例。所有的 4 个实例使用相同的复位信号。
DAPRESETn	复位管理器	dbg_rst_n	DAP 内部复位。它被连接到 PRESETDBGn。
PRESETDBGn	复位管理器	dbg_rst_n	调试 APB 复位。对 PCLKDBG 提供时钟的所有寄存器复位。
HRESETn	复位管理器	sys_dbg_rst_n	SoC 提供的复位信号可以复位所有的 AMBA 片上互联。使用该信号复位 DAP AHB-Lite 主端口。
PRESETSYSn	复位管理器	sys_dbg_rst_n	复位 DAP 的系统 APB 从端口。
nCTMRESET	复位管理器	dbg_rst_n	CTM 复位信号。它对 CTMCLK 提供时钟的所有信号复位。
nPOTRST	复位管理器	tap_cold_rst_n	DAP SWJ-DP 的真的上电复位信号。 它必须只在上电时复位。
nTRST	JTAG 接口	nTRST 管脚	复位 SWJ-DP 内的 DAP TAP 控制器。该信号使用 JTAG 连接器由主机驱动。
TRESETn	复位管理器	dbg_rst_n	TPIU 的复位信号。复位 TRACECLKIN 域中的所有寄存器。

- 要了解关于 CoreSight 端口名称的更多信息，请参考 *CoreSight 技术系统设计指南* 中的表 6-3，可以从 ARM 网站 (infocenter.arm.com) 下载。

复位管理器中 *ctrl* 寄存器的 ETR 中止使能域 (*stall enable field*) (*etrstallen*) 控制是否在暖或调试复位之前要求 ETR 中止到 L3 互联的它的 AXI 主接口。

- 要了解关于复位握手的更多信息，请参考 *Cyclone V 器件手册* 第 3 卷的 *Reset Manager* 章节。

当处理器在断点停止时，level 4 (L4) 看门狗计时器在调试期间可以被暂停以防止复位。

- 要了解更多信息，请参考 *Cyclone V 器件手册* 第 3 卷的 *Watchdog Timer* 章节。

CoreSight 调试和跟踪地址映射以及寄存器定义

- 地址映射位于该手册卷附带的 [hps.html](#) 文件中。寄存器定义位于单独的 ARM 文档中。点击链接以打开文件。

要查看调试相关的模块说明和基地址，请找到并且点击以下链接：

- [stm](#)
- [dap](#)
- [dmanonsecure](#)
- [dmasecure](#)
- [mpuscu](#)
- [mpul2](#)

要查看寄存器和字段说明，请点击模块说明中的链接以访问相应的 ARM 文档。**寄存器地址是与每个模块实例的基地址有关的偏移。**

- 所有模块的基地址也在 *Cyclone V 器件手册* 第 3 卷的 *Introduction to the Hard Processor System* 章节中列出。

文档修订历史

表 7 - 10 显示了该文档的修订历史。

表 7 - 10. 文档修订历史

日期	版本	修订内容
2012 年 11 月	1.2	少量文本编辑。
2012 年 6 月	1.1	添加了功能说明、编程模型以及地址映射和寄存器定义部分。
2012 年 1 月	1.0	首次发布。