



请注意：本文档不再进行更新。本文档可能包含旧内容和过时的商标。

请参考英文版本以获取最新更新

<https://www.intel.com/content/www/us/en/programmable/documentation/lit-index.html>

Please take note that this document is no longer being maintained. It may contain legacy content and trademarks which may be outdated.

Please refer to English version for latest update at

<https://www.intel.com/content/www/us/en/programmable/documentation/lit-index.html>

这一章节介绍用于通信 FPGA 架构和 HPS 逻辑之间数据的硬核处理器系统 (HPS) 中的桥接。桥接使用高级微处理器总线体系结构 (AMBA®) 高级可扩展接口 (AXI™) 协议，并且以 AMBA 网络互联 (NIC-301) 为基础。

额外的信息可从 *AMBA AXI 协议规范 v1.0* 和 *AMBA 网络互联 (NIC-301) 技术参考手册* 获得，您可以从 ARM 网站 (infocenter.arm.com) 下载。

HPS 包含以下 HPS-FPGA AXI 桥接：

- **FPGA-to-HPS 桥接**
- **HPS-to-FPGA 桥接**
- **轻型 HPS-to-FPGA 桥接**

AXI 桥接的特性

HPS-FPGA AXI 桥接支持 FPGA 内核逻辑中的主器件与 HPS 逻辑中的从器件进行通信 (反之亦然)。例如，您可以例化 FPGA 内核逻辑中额外的存储器或外设，并且属于 HPS 逻辑中组件的主接口可以访问它们。也可以例化 (例如 FPGA 内核逻辑中 Nios® II 处理器) 的组件并且它们的主接口可以访问 HPS 逻辑中的存储器或外设。

AXI 桥接提供表 5-1 中列出的功能。

表 5-1. AXI 桥接功能

功能	FPGA-to-HPS 桥接	HPS-to-FPGA 桥接	轻型 HPS-to-FPGA 桥接
支持 AMBA AXI3 接口协议	v	v	v
实现时钟交叉并且管理 HPS 逻辑和 FPGA 内核逻辑中时钟域中的数据传输	v	v	v
执行 HPS 逻辑和 FPGA 内核逻辑之间的数据宽度转换	v	v	v
在例化时支持 FPGA 接口宽度的配置	v	v	

每个桥接都包含一个 AXI 主从接口对，其中一个接口面向 (exposed to)FPGA 内核逻辑以及另一个接口面向 HPS 逻辑。HPS-to-FPGA 和轻型 HPS-to-FPGA 桥接提供 (expose) 一个 AXI 主接口，可以连接到 FPGA 内核逻辑中的 AXI 或 Avalon-MM 从接口。FPGA-to-HPS 桥接提供一个 AXI 从接口，可以连接到 FPGA 内核逻辑中的 AXI 主器件或 Avalon-MM 接口。

要了解关于配置 AXI 桥接的更多信息，请参考 *Cyclone V 器件手册* 第 3 卷的 *Instantiating the HPS Component* 章节。

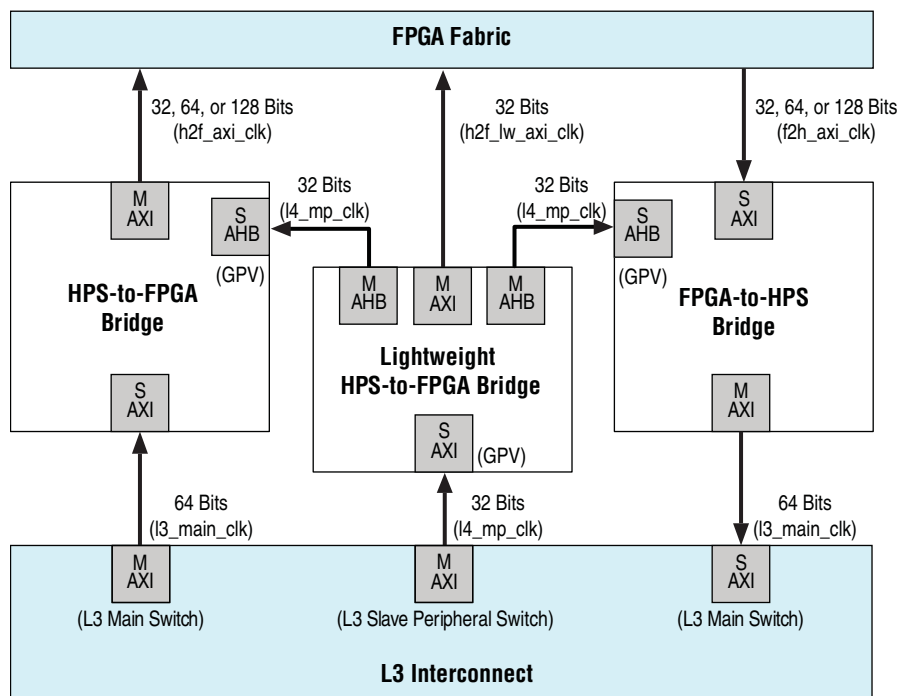
©2012 Altera Corporation. All rights reserved. ALTERA, ARRIA, CYCLONE, HARDCOPY, MAX, MEGACORE, NIOS, QUARTUS and STRATIX words and logos are trademarks of Altera Corporation and registered in the U.S. Patent and Trademark Office and in other countries. All other words and logos identified as trademarks or service marks are the property of their respective holders as described at www.altera.com/common/legal.html. Altera warrants performance of its semiconductor products to current specifications in accordance with Altera's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Altera assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Altera. Altera customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.



AXI 桥接结构图和系统集成

图 5-1 显示了用于 FPGA 内核逻辑和 HPS 的 L3 互联之间 AXI 桥接的结构图。每个主接口 (M) 和从接口 (S) 都用数据位宽 (s)。每个互联的时钟域都显示在括号中。时钟域在第 5-11 页的“时钟和复位”中有所介绍。

图 5-1. AXI 桥接连接性



HPS-to-FPGA 桥接由层 3 (L3) 主交换机控制并且轻型 HPS-to-FPGA 桥接由 L3 从外设交换机控制。

FPGA-to-HPS 桥接控制 L3 主交换机，使 FPGA 内核逻辑中实现的所有主器件都能够访问 HPS 中的大部分从器件。例如，FPGA-to-HPS 桥接可以访问 Cortex-A9 MPU 子系统的加速器一致性端口 (ACP) 以执行对 SDRAM 子系统的缓存一致访问。

所有的 3 个桥接都包含 global programmers view (GPV) 寄存器。GPV 寄存器控制桥接的行为。对所有 3 个桥接的 GPV 寄存器的访问通过轻型 HPS-to-FPGA 桥接提供。

要了解关于连接性的更多信息，例如每个桥接由哪一个主器件访问，请参考 *Cyclone V 器件手册* 第 3 卷的 *Interconnect* 章节。

AXI 桥接的功能介绍

Global Programmers View

HPS-to-FPGA 桥接包含一组称作 GPV 的寄存器。GPV 提供设置以控制桥接属性和行为。对所有 3 个桥接的 GPV 寄存器的访问通过轻型 HPS-to-FPGA 桥接提供。

GPV 寄存器只能通过 HPS 或 FPGA 内核逻辑中的安全主器件访问。

FPGA-to-HPS 桥接

FPGA-to-HPS 桥接提供对 HPS 中外设和存储器的访问。FPGA 内核逻辑中实现的所有主器件可以进行该访问。您也可以配置桥接从接口（面向 FPGA 内核逻辑），以支持 32-、64- 或 128 位数据。桥接的主接口，连接到 L3 互联，具有 64 位的数据宽度。


表 5-2 列出了 FPGA-to-HPS 桥接的属性，包括面向 FPGA 内核逻辑的可配置从接口。

表 5-2. FPGA-to-HPS 桥接属性

桥接属性	FPGA 从接口	L3 主接口
数据宽度 ⁽¹⁾	32、64 或 128 bits	64 bits
时钟域	f2h_axi_clk	l3_main_clk
字节地址宽度	32 bits	32 bits
ID 宽度	8 bits	8 bits
读接受	16 个处理周期	16 个处理周期
写接受	16 个处理周期	16 个处理周期
全部接受	32 个处理周期	32 个处理周期

表 5-2 注释：
(1) 在系统中例化 HPS 组件时，桥接从数据宽度是用户可配置的。

FPGA-to-HPS 桥接包含一个 GPV，如“Global Programmers View”中所介绍。当 FPGA 从接口被配置成 32 或 128 位宽时，GPV 寄存器提供调整桥接从接口属性的设置。从接口发出传输的性能可以通过 fn_mod 寄存器调节，以便决定在 HPS 中使用一个或多个处理周期。通过 fn_mod2 寄存器中的 bypass_merge 位，从接口旁路合并功能也可以被使能。该功能保证，当 FPGA 从接口被配置成 32 或 128 位宽时，扩容和缩减逻辑不更改任何的处理周期。

 提供正确的 l4_mp_clk 时钟来支持对 GPV 的访问是非常重要的，如 第 5-12 页的“GPV 时钟”中所介绍。

对 ACP 的 FPGA-to-HPS 访问

当错误检查纠正 (ECC) 选项在第 2 层 (L2) 缓存控制器中使能时，扩容或缩减发生后，对 ACP 的所有 FPGA-to-HPS 桥接的访问必须是 64 位宽并且与 8 字节边界对齐。

表 5-3 列出了一些可能的主接口和 FPGA-to-HPS 桥接从接口配置，它们在 ECC 使能的情况下支持对 L2 缓存的访问。

表 5-3. FPGA 主接口和 FPGA-to-HPS 桥接配置

软逻辑主接口宽度	软逻辑主接口对齐	软逻辑主接口突发容量 (宽度)	软逻辑主接口突发长度	FPGA-to-HPS 桥接从接口宽度
32 bits	8 bytes	4 bytes	2、4、6、8、10、12、14 或 16 beats	32 bits
64 bits	8 bytes	8 bytes	1 到 16 beats	32 bits
128 bits	8 或 16 bytes	8 或 16 bytes	1 到 16 beats	32 bits
32 bits	8 bytes	4 bytes	2、4、6、8、10、12、14 或 16 beats	64 bits
64 bits	8 bytes	8 bytes	1 到 16 beats	64 bits
128 bits	8 或 16 bytes	8 或 16 bytes	1 到 16 beats	64 bits

表 5-3. FPGA 主接口和 FPGA-to-HPS 桥接配置

软逻辑主接口宽度	软逻辑主接口对齐	软逻辑主接口突发容量 (宽度)	软逻辑主接口突发长度	FPGA-to-HPS 桥接从接口宽度
32 bits	8 bytes	4 bytes	2、4、6、8、10、12、14 或 16 beats	128 bits
64 bits	8 bytes	8 bytes	1 到 16 beats	128 bits
128 bits	8 或 16 bytes	8 或 16 bytes	1 到 16 beats	128 bits

要了解关于 L2 缓存的 ECC 选项的更多信息，请参考 *Cyclone V 器件手册* 第 3 卷的 *Cortex-A9 Microprocessor Unit Subsystem* 章节。

FPGA-to-HPS 桥接从接口信号

FPGA-to-HPS 桥接从接口地址通道支持用户旁带信号 (被布线到 MPU 子系统中的 ACP)。所有的信号 (除了读和写数据通道的数据和写选通以外) 都有一个固定的宽度。不同宽度的信号取决于桥接的数据宽度设置。表 5-4 到表 5-8 列出了 FPGA 内核逻辑的 FPGA-to-HPS 从接口的所有信号。

表 5-4 列出了从接口写地址通道信号。

表 5-4. FPGA-to-HPS 桥接从接口写地址通道信号

信号	宽度	方向	说明
AWID	8 bits	输入	写地址 ID
AWADDR	32 bits	输入	写地址
AWLEN	4 bits	输入	突发长度
AWSIZE	3 bits	输入	突发容量
AWBURST	2 bits	输入	突发类型
AWLOCK	2 bits	输入	锁定类型 — 有效值是 00 (正常访问) 和 01 (专有访问)
AWCACHE	4 bits	输入	缓存策略类型
AWPROT	3 bit	输入	保护类型
AWVALID	1 bit	输入	写地址通道有效
AWREADY	1 bit	输出	写地址通道就绪
AWUSER	5 bits	输入	用户旁带信号

表 5-5 列出了从接口写数据通道信号。

表 5-5. FPGA-to-HPS 桥接从接口写数据通道信号

信号	宽度	方向	说明
WID	8 bits	输入	写 ID
WDATA	32、64 或 128 bits	输入	写数据
WSTRB	4、8 或 16 bits	输入	写数据选通
WLAST	1 bit	输入	写最后数据标识符
WVALID	1 bit	输入	写数据通道有效
WREADY	1 bit	输出	写数据通道就绪

表 5-6 列出了从接口写响应通道信号。

表 5-6. FPGA-to-HPS 桥接从接口写响应通道信号

信号	宽度	方向	说明
BID	8 bits	输出	写响应 ID
BRESP	2 bits	输出	写响应
BVALID	1 bit	输出	写响应通道有效
BREADY	1 bit	输入	写响应通道就绪

表 5-7 列出了从接口读地址通道信号。

表 5-7. FPGA-to-HPS 桥接从接口读地址通道信号

信号	宽度	方向	说明
ARID	8 bits	输入	读地址 ID
ARADDR	32 bits	输入	读地址
ARLEN	4 bits	输入	突发长度
ARSIZE	3 bits	输入	突发容量
ARBURST	2 bits	输入	突发类型
ARLOCK	2 bits	输入	锁定类型 — 有效值是 00 (正常访问) 和 01 (专有访问)
ARCACHE	4 bits	输入	缓存策略类型
ARPROT	3 bits	输入	保护类型
ARVALID	1 bit	输入	读地址通道有效
ARREADY	1 bit	输出	读地址通道就绪
ARUSER	5 bits	输入	读用户旁带信号

表 5-8 列出了从接口读数据通道信号。

表 5-8. FPGA-to-HPS 桥接从接口读数据通道信号

信号	宽度	方向	说明
RID	8 bits	输出	读 ID
RDATA	32、64 或 128 bits	输出	读数据
RRESP	2 bits	输出	读响应
RLAST	1 bit	输出	读最后数据标识器
RVALID	1 bit	输出	读数据通道有效
RREADY	1 bit	输入	读数据通道就绪

HPS-to-FPGA 桥接

HPS-to-FPGA 桥接对 FPGA 内核逻辑提供一个可配置宽度的、高性能主接口。桥接提供 HPS 中大部分主器件对 FPGA 中实现的逻辑、外设和存储器的访问。有效地址空间大小是 0x3FFF0000 或 1 千兆字节 (GB) 减去 64 兆字节 (MB)。地址空间大小少于 1 GB，因为 64 MB 由 HPS 中的外设、轻型 HPS-to-FPGA 桥接、片上 RAM 和引导 ROM 占有。您可以配置 FPGA 内核逻辑的桥接主接口以支持 32-、64- 或 128 位数据。MPU 子系统的地址空间量也可以通过 L2 缓存地址过滤机制减少。

要了解关于哪些主器件可以访问每个桥接的的详细信息，请参考 *Cyclone V 器件手册* 第 3 卷的 *Interconnect* 章节。要了解关于 L2 缓存地址过滤的详细信息，请参考 *Cyclone V 器件手册* 第 3 卷的 *Cortex-A9 Microprocessor Unit Subsystem* 章节。

HPS 逻辑中桥接的从接口具有一个 64 位的数据宽度。桥接提供宽度适应和时钟交叉逻辑，使得 FPGA 中的逻辑能够在所有时钟域中操作，异步于 HPS。

如果 MPU 从 FPGA 启动，那么 HPS-to-FPGA 桥接被访问。MPU 从 FPGA 启动之前，SoC 器件的 FPGA 部分必须被配置，并且 HPS-to-FPGA 桥接必须被重新映射到可寻址空间。

要了解关于使能 HPS-to-FPGA 桥接的更多信息，请参考 *Cyclone V 器件手册* 第 3 卷的 *Interconnect* 章节。

表 5-9 列出了 HPS-to-FPGA 桥接的属性，包括作用于 FPGA 内核逻辑的可配置主接口。

表 5-9. HPS-to-FPGA 桥接属性

桥接属性	L3 从接口	FPGA 主接口
数据宽度 ⁽¹⁾	64 bits	32、64 或 128 bits
时钟域	l3_main_clk	h2f_axi_clk
字节地址宽度	32 bits	30 bits
ID 宽度	12 bits	12 bits
读接受	16 个处理周期	16 个处理周期
写接受	16 个处理周期	16 个处理周期
全接受	32 个处理周期	32 个处理周期
表 5-9 注释：		
(1) 在系统中例化 HPS 组件时，桥接主接口数据宽度是用户可配置的。		

HPS-to-FPGA 桥接的 GPV，如 第 5-2 页的“Global Programmers View”所介绍，提供调整桥接主接口属性的设置。主接口发出传输的性能可以通过 fn_mod 寄存器被调节，允许在 FPGA 内核逻辑中设置为单或多处理周期。通过 fn_mod2 寄存器中的 bypass_merge 位，主接口旁路合并功能也可以被使能。该功能确保 FPGA 主接口被配置成 32 或 128 位宽时，扩容和缩减逻辑不更改任何的处理周期。

提供正确的 l4_mp_clk 时钟来支持对 GPV 的访问是很重要的，如 第 5-12 页的“GPV 时钟”中所介绍。

HPS-to-FPGA 桥接主接口信号

所有的 HPS-to-FPGA 桥接主接口信号（除了读和写数据通道的数据和写选通以外）都有一个固定宽度。各种宽度的信号取决于作用于 FPGA 逻辑的桥接接口的数据宽度设置。表 5-10 到表 5-14 列出了 FPGA 内核逻辑的 HPS-to-FPGA 主接口所有信号。

表 5-10 列出了主接口写地址通道信号。

表 5-10. HPS-to-FPGA 桥接主接口写地址通道信号

信号	宽度	方向	说明
AWID	12 bits	输出	写地址 ID
AWADDR	30 bits	输出	写地址
AWLEN	4 bits	输出	突发长度
AWSIZE	3 bits	输出	突发容量
AWBURST	2 bits	输出	突发类型
AWLOCK	2 bits	输出	锁定类型 — 有效值是 00(正常访问) 和 01(专有访问)
AWCACHE	4 bits	输出	缓存策略类型
AWPROT	3 bits	输出	保护类型
AWVALID	1 bit	输出	写地址通道有效
AWREADY	1 bit	输入	写地址通道就绪

表 5-11 列出了主接口写数据通道信号。

表 5-11. HPS-to-FPGA 桥接主接口写数据通道信号

信号	宽度	方向	说明
WID	12 bits	输出	写 ID
WDATA	32、64 或 128 bits	输出	写数据
WSTRB	4、8 或 16 bits	输出	写数据选通
WLAST	1 bit	输出	写最后数据标识器
WVALID	1 bit	输出	写数据通道有效
WREADY	1 bit	输入	写数据通道就绪

表 5-12 列出了主接口写响应通道信号。

表 5-12. HPS-to-FPGA 桥接主接口写响应通道信号

信号	宽度	方向	说明
BID	12 bits	输入	写响应 ID
BRESP	2 bits	输入	写响应
BVALID	1 bit	输入	写响应通道有效
BREADY	1 bit	输出	写响应通道就绪

表 5-13 列出了主接口读地址通道信号。

表 5-13. HPS-to-FPGA 桥接主接口读地址通道信号

信号	宽度	方向	说明
ARID	12 bits	输出	读地址 ID
ARADDR	30 bits	输出	读地址
ARLEN	4 bits	输出	突发长度
ARSIZE	3 bits	输出	突发容量
ARBURST	2 bits	输出	突发类型
ARLOCK	2 bits	输出	锁定类型 — 有效值是 00(正常访问) 和 01(专有访问)
ARCACHE	4 bits	输出	缓存策略类型
ARPROT	3 bits	输出	保护类型
ARVALID	1 bit	输出	读地址通道有效
ARREADY	1 bit	输入	读地址通道就绪


表 5-14 列出了主接口读数据通道信号。

表 5-14. HPS-to-FPGA 桥接主接口读数据通道信号

信号	宽度	方向	说明
RID	12 bits	输入	读 ID
RDATA	32、64 或 128 bits	输入	读数据
RRESP	2 bits	输入	读响应
RLAST	1 bit	输入	读最后数据标识器
RVALID	1 bit	输入	读数据通道有效
RREADY	1 bit	输出	读数据通道就绪

轻型 HPS-to-FPGA 桥接

轻型 HPS-to-FPGA 桥接对 FPGA 内核逻辑提供一个低性能接口。该接口用于访问次要外设的控制和状态寄存器。该桥接对 FPGA 内核逻辑中实现的逻辑、外设和存储器提供 2 MB 地址空间和访问。MPU 子系统、直接存储器访问 (DMA) 控制器和调试访问端口 (DAP) 可以使用轻型 HPS-to-FPGA 桥接访问 FPGA 内核逻辑或 GPV。FPGA 内核逻辑中的主接口也可以使用轻型 HPS-to-FPGA 桥接访问所有三个桥接中的 GPV 寄存器。

 要了解关于访问每个桥接的主接口的详细信息，请参考 *Cyclone V 器件手册* 第 3 卷的 *Interconnect* 章节。

作用于 FPGA 内核逻辑的桥接主接口具有一个 32 位的固定数据宽度。HPS 逻辑中桥接的从接口具有一个 32 位的固定数据宽度。

使用轻型 HPS-to-FPGA 桥接作为 FPGA 内核逻辑的辅助的、低性能主接口。通过一个固定的宽度和较小地址空间，轻型桥接用于低带宽流量，例如对 FPGA 外设的存储器映射的寄存器访问。该方法转移高性能 HPS-to-FPGA 桥接的流量，并且可以提高 CSR 访问延迟和整体系统性能。

表 5-15 列出了轻型 HPS-to-FPGA 桥接 (包括作用于 FPGA 内核逻辑的主接口) 的属性。

表 5-15. 轻型 HPS-to-FPGA 桥接属性

桥接属性	L3 从接口	FPGA 主接口
数据宽度	32 bits	32 bits
时钟域	l4_mp_clk	h2f_lw_axi_clk
字节地址宽度	32 bits	21 bits
ID 宽度	12 bits	12 bits
读接受	16 个处理周期	16 个处理周期
写接受	16 个处理周期	16 个处理周期
总接受	32 个处理周期	32 个处理周期

轻型 HPS-to-FPGA 桥接具有三个主接口，如 5-2 页面的图 5-1 所示。连接到 FPGA 内核逻辑的主接口提供一个从 HPS 到 FPGA 内核逻辑中定制逻辑的轻型接口。其它两个主接口，连接到 HPS-to-FPGA 和 FPGA-to-HPS 桥接，使您能够访问每个桥接的 GPV 寄存器。

轻型 HPS-to-FPGA 桥接也具有一个控制其 4 个接口 (一个从接口和三个主接口) 行为的 GPV。GPV 在 第 5-2 页的 “Global Programmers View” 中有所介绍。

GPV 使您能够设置桥接发出处理周期的性能以支持单个或多个处理周期。GPV 也使您可以通过 wr_tidemark 寄存器设置写潮标，以在数据被写入到 FPGA 内核逻辑的从器件之前控制桥接中缓冲数据的数量。



对轻型 HPS-to-FPGA 桥接提供正确的时钟设置非常关键，即使您的设计不使用该桥接。HPS-to-FPGA 和 FPGA-to-HPS 桥接上的 GPV 访问需要 l4_mp_clk 时钟。

轻型 HPS-to-FPGA 桥接主接口信号

所有轻型 HPS-to-FPGA 桥接主接口信号都有一个固定宽度。表 5-16 到表 5-20 列出了到 FPGA 内核逻辑的轻型 HPS-to-FPGA 主接口所有信号。

表 5-16 列出了主接口写地址通道信号。

表 5-16. 轻型 HPS-to-FPGA 桥接主接口写地址通道信号

信号	宽度	方向	说明
AWID	12 bits	输出	写地址 ID
AWADDR	21 bits	输出	写地址
AWLEN	4 bits	输出	突发长度
AWSIZE	3 bits	输出	突发容量
AWBURST	2 bits	输出	突发类型
AWLOCK	2 bits	输出	锁定类型 — 有效值是 00 (正常访问) 和 01 (专有访问)
AWCACHE	4 bits	输出	缓存策略类型
AWPROT	3 bits	输出	保护类型
AWVALID	1 bit	输出	写地址通道有效
AWREADY	1 bit	输入	写地址通道就绪

表 5-17 列出了主接口写数据通道信号。

表 5-17. 轻型 HPS-to-FPGA 桥接主接口写数据通道信号

信号	宽度	方向	说明
WID	12 bits	输出	写 ID
WDATA	32 bits	输出	写数据
WSTRB	4 bits	输出	写数据选通
WLAST	1 bit	输出	写最后数据标识器
WVALID	1 bit	输出	写数据通道有效
WREADY	1 bit	输入	写数据通道就绪

表 5-18 列出了主接口写响应通道信号。

表 5-18. 轻型 HPS-to-FPGA 桥接主接口写响应通道信号

信号	宽度	方向	说明
BID	12 bits	输入	写响应 ID
BRESP	2 bits	输入	写响应
BVALID	1 bit	输入	写响应通道有效
BREADY	1 bit	输出	写响应通道就绪

表 5-19 列出了主接口读地址通道信号。

表 5-19. 轻型 HPS-to-FPGA 桥接主接口读地址通道信号

信号	宽度	方向	说明
ARID	12 bits	输出	读地址 ID
ARADDR	21 bits	输出	读地址
ARLEN	4 bits	输出	突发长度
ARSIZE	3 bits	输出	突发容量
ARBURST	2 bits	输出	突发类型
ARLOCK	2 bits	输出	锁定类型 — 有效值是 00 (正常访问) 和 01 (专有访问)
ARCACHE	4 bits	输出	缓存策略类型
ARPROT	3 bits	输出	保护类型
ARVALID	1 bit	输出	读地址通道有效
ARREADY	1 bit	输入	读地址通道就绪

表 5-20 列出了主接口读数据通道信号。

表 5-20. 轻型 HPS-to-FPGA 桥接主接口读数据通道信号

信号	宽度	方向	说明
RID	12 bits	输入	读 ID
RDATA	32 bits	输入	读数据
RRESP	2 bits	输入	读响应
RLAST	1 bit	输入	读最后数据标识器

表 5-20. 轻型 HPS-to-FPGA 桥接主接口读数据通道信号

信号	宽度	方向	说明
RVALID	1 bit	输入	读数据通道有效
RREADY	1 bit	输出	读数据通道就绪

时钟和复位

FPGA-to-HPS 桥接

HPS 逻辑中桥接的主接口在 l3_main_clk 时钟域中操作。作用于 FPGA 内核逻辑的从接口在用户逻辑提供的 f2h_axi_clk 时钟域中操作。桥接提供时钟交叉逻辑，可以实现 FPGA 中的逻辑在所有时钟域中操作，异步于 HPS。

- 要了解关于 f2h_axi_clk 时钟的更多信息，请参考 *Cyclone V 器件手册* 第 3 卷的 *HPS Component Interfaces* 章节。要了解关于 l3_main_clk 和 l4_mp_clk 时钟的更多信息，请参考 *Cyclone V 器件手册* 第 3 卷的 *Clock Manager* 章节。

FPGA-to-HPS 桥接具有一个复位信号，fpga2hps_bridge_rst_n。冷或暖复位时，复位管理器驱动该信号到 FPGA-to-HPS 桥接。

- 要了解关于复位管理器的更多信息，请参考 *Cyclone V 器件手册* 第 3 卷的 *Reset Manager* 章节。

HPS-to-FPGA 桥接

到 FPGA 内核逻辑的主接口在 h2f_axi_clk 时钟域中操作。h2f_axi_clk 时钟由用户逻辑提供。HPS 逻辑中桥接的从接口在 l3_main_clk 时钟域中操作。桥接提供时钟交叉逻辑，可以实现 FPGA 中的逻辑在所有时钟域中操作，异步于 HPS。

- 要了解关于 l3_main_clk 时钟的更多信息，请参考 *Cyclone V 器件手册* 第 3 卷中 *Clock Manager* 章节。要了解关于 h2f_axi_clk 时钟的更多信息，请参考 *Cyclone V 器件手册* 第 3 卷的 *HPS Component Interfaces* 章节。

HPS-to-FPGA 桥接具有一个复位信号，hps2fpga_bridge_rst_n。冷或暖复位时，复位管理器驱动该信号到 HPS-to-FPGA 桥接。


要了解关于复位管理器的更多信息，请参考 *Cyclone V 器件手册* 第 3 卷的 *Reset Manager* 章节。

轻型 HPS-to-FPGA 桥接

到 FPGA 内核逻辑的主接口在 FPGA 内核逻辑中定制逻辑提供的 h2f_lw_axi_clk 时钟域中操作。HPS 逻辑中桥接的从接口在 l4_mp_clk 时钟域中操作。桥接提供时钟交叉逻辑，可以实现 FPGA 中的逻辑在所有时钟域中操作，异步于 HPS。

- 要了解关于 l4_mp_clk 时钟的更多信息，请参考 *Cyclone V 器件手册* 第 3 卷的 *Clock Manager* 章节。要了解关于 h2f_lw_axi_clk 时钟的更多信息，请参考 *Cyclone V 器件手册* 第 3 卷的 *HPS Component Interfaces* 章节。

轻型 HPS-to-FPGA 桥接具有一个复位信号，lw_hps2fpga_bridge_rst_n。冷或暖复位时，复位管理器驱动该信号到轻型 HPS-to-FPGA 桥接。

 要了解关于复位管理器的更多信息，请参考 *Cyclone V 器件手册* 第 3 卷的 *Reset Manager* 章节。

GPV 时钟


FPGA-to-HPS 和 HPS-to-FPGA 桥接具有 GPV 从接口，由轻型 HPS-to-FPGA 桥接控制。这些接口在 `l4_mp_clk` 时钟域中操作。即使在 FPGA 设计中不使用轻型 HPS-to-FPGA 桥接，也必须确保生成合法 `l4_mp_clk` 时钟，以便 HPS-to-FPGA 和 FPGA-to-HPS 桥接中的 GPV 寄存器可以被编程。所有三个桥接中的 GPV 逻辑在 `l4_mp_clk` 域中。要了解关于 GPV 的更多信息，请参考 第 5-2 页的“Global Programmers View”。

数据宽度大小

HPS-to-FPGA 和 FPGA-to-HPS 桥接支持 32-、64- 和 128 位接口作用于 FPGA 内核逻辑。对于 32 位和 128 位接口，桥接对 HPS 内的固定 64 位接口执行数据宽度转换。在数据从 64 位接口转换成 128 位接口的情况中，这一转换被称为 *upsizing*。在数据从 64 位接口转换成 32 位接口的情况中，这一转换被称为 *downsizing*。如果一个专有访问被拆分为多个处理周期，那么处理周期会失去它们的专有访问信息。


在扩容或缩减过程期间，处理周期也可以使用数据合并技术重新调整大小。例如，在 32 位到 64 位扩容的情况中，如果进入桥接的 32 位接口的每拍大小仅为两个字节，那么桥接可以合并 4 拍以形成一个单一 64 位拍。同样，在 128 位到 64 位缩减的情况中，如果进入桥接的 128 位接口的每拍大小仅为 4 个字节，那么桥接可以合并 2 拍以形成单一 64 位拍。

桥接不对标记为不可缓存的访问执行处理周期合并。

 可以在 GPV 中设置 `bypass_merge` 位以防止桥接合并数据和响应。如果桥接将多个响应合并为一个单一响应，那么该响应为最高优先权的响应。响应类型具有以下优先级：

1. DECERR
2. SLVERR
3. OKAY


HPS-FPGA AXI 桥接地址映射和寄存器定义

 地址映射和寄存器定义位于该手册卷附带的 `hps.html` 文件中。点击链接以打开文件。

要查看模块说明和基地址，找到并且点击以下模块实例的链接：

- `fpga2hpsregs`
- `hps2fpgaregs`

然后要查看寄存器和域说明，找到并且点击寄存器名称。寄存器地址相对于每个模块实例的基地址为偏移。

 所有模块的基地址在 *Cyclone V 器件手册* 第 3 卷的 *Introduction to the Hard Processor* 章节列出。

文档修订历史

表 5 - 21 列出了该文档的修订历史。

表 5 - 21. 文档修订历史

日期	版本	修订内容
2012 年 11 月	1.1	描述了 GPV。
2012 年 1 月	1.0	首次发布。

