



请注意：本文档不再进行更新。本文档可能包含旧内容和过时的商标。

请参考英文版本以获取最新更新

<https://www.intel.com/content/www/us/en/programmable/documentation/lit-index.html>

Please take note that this document is no longer being maintained. It may contain legacy content and trademarks which may be outdated.

Please refer to English version for latest update at

<https://www.intel.com/content/www/us/en/programmable/documentation/lit-index.html>

硬核处理器系统 (HPS) 时钟生成集中在时钟管理器中。时钟管理器负责提供软件可编程时钟控制以配置 HPS 中生成的所有时钟。时钟是以时钟组的形式来组织的。一个时钟组是产生于相同时钟源的一组时钟信号。锁相环 (PLL) 时钟组的时钟源是一个通用 PLL 电压控制振荡器 (VCO)。

## 时钟管理器的功能

时钟管理器提供以下功能：

- 生成和管理 HPS 中的时钟
- 包含下列 PLL 时钟组：
  - Main(主)—包含 Cortex™-A9 微处理器单元 (MPU) 子系统、level 3 (L3) 互联、level 4 (L4) 外围总线和调试的时钟
  - Peripheral(外设)—包含 PLL 驱动的外设时钟
  - SDRAM—包含 SDRAM 子系统的时钟
- 支持缩放 MPU 子系统时钟而无需禁用外设和 SDRAM 时钟组
- 生成时钟门控逻辑 (gate control) 用于使能和禁用大部分时钟
- 在下列事件中初始化和排序时钟：
  - 冷复位
  - 热启动时来自复位管理器的安全模式请求
- 支持软件编程时钟特性，例如本章稍后讨论的以下项目：
  - SDRAM 和外设 PLL 的输入时钟源
  - 每个 PLL 的倍频范围、分频范围和 6 个后端缩放计数器 (post-scale counter)
  - SDRAM PLL 输出的输出相位
  - 每个 PLL 的 VCO 使能
  - 每个 PLL 的旁路模式
  - 关断所有 PLL 时钟组中的单个时钟
  - 清除每个 PLL 的失锁状态 (loss of lock status)
  - 硬件管理时钟的安全模式
  - 通用 I/O (GPIO) 去抖时钟分频 (General-purpose I/O (GPIO) debounce clock divide)
- 支持软件观察所有可写寄存器的状态

- 支持 PLL 锁定和失锁时中断 MPU 子系统
- 支持信号电平的时钟选通

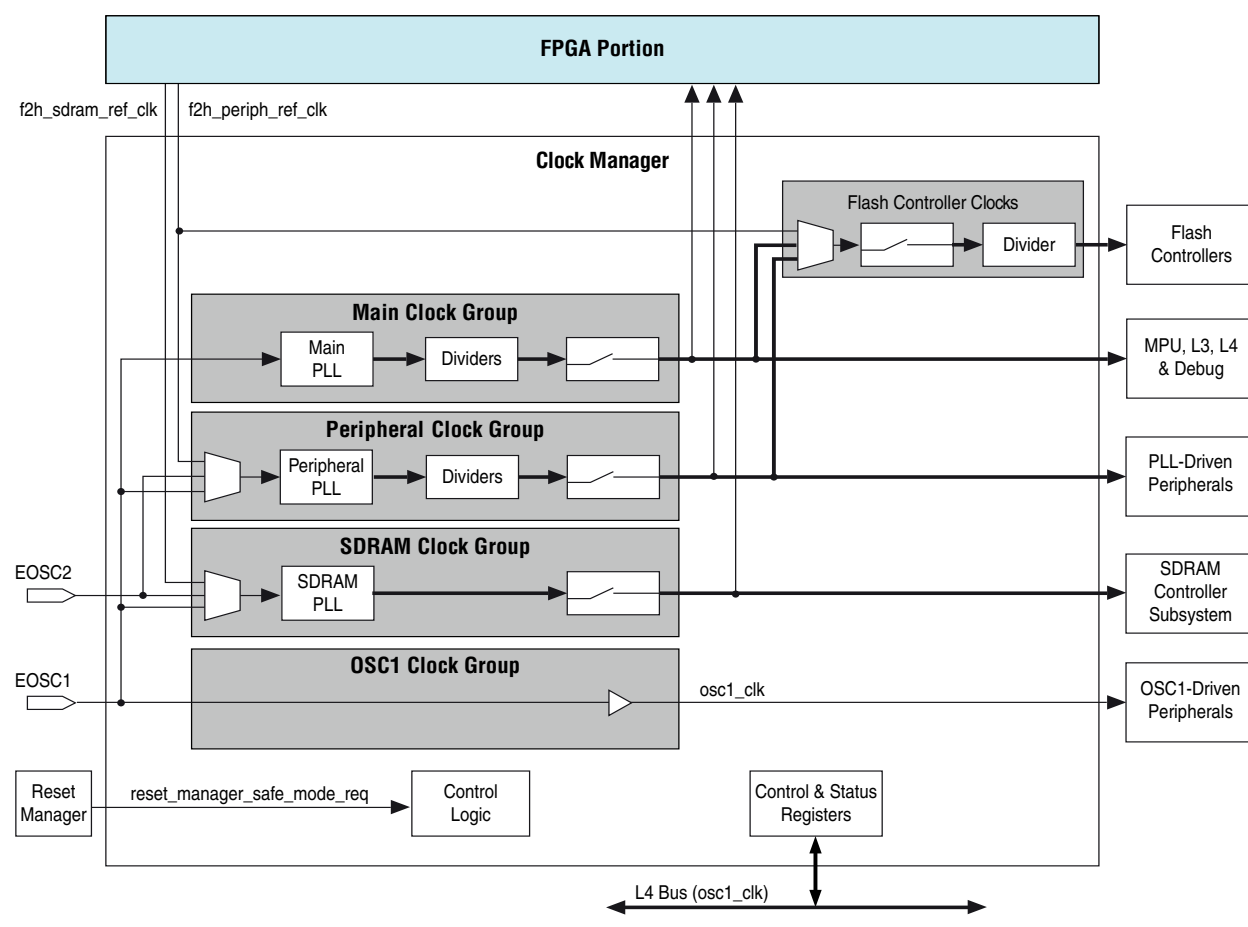
 时钟管理器不负责以下功能行为：

- 对 FPGA-to-HPS、HPS-to-FPGA 和 FPGA-to-HPS SDRAM 接口选择或管理时钟。FPGA 逻辑设计师负责选择和管理这些时钟。
- 软件禁止使用不合法值编程时钟管理器。如果不这样，那么时钟管理器行为为未知并且可能停止 HPS 操作。只有冷复位可以保证从不合法时钟设置恢复。
- 当重编程时钟设置时，没有自动的无毛刺时钟跳变。软件必须遵循指定的顺序以确保无毛刺时钟跳变。请参考第 2-4 页面的“硬件管理和软件管理的时钟”。

## 时钟管理器结构图和系统集成

图 2-1 显示了时钟管理器的主要组件和 HPS 中它的集成。

图 2-1. 时钟管理器结构图



下一个部分介绍时钟管理器内部的功能模块。请参考图 2-3 到图 2-6，以便了解图 2-1 中灰色框的更详细版本。

## 时钟管理器的功能介绍

该部分介绍时钟管理器的功能操作。

### 时钟管理器构建模块

时钟管理器具有下列主要的构建模块。

#### PLL

时钟管理器包含三个 PLL：主、外设和 SDRAM。这些 PLL 生成 HPS 中的大部分时钟。3 个 PLL 生成的时钟之间没有相位控制。

每个 PLL 具有下列功能：

- 相位检测器和生成输出锁定信号
- 设置 VCO 频率的寄存器
  - 乘法器范围是 1 到 4096
  - 分频器范围是 1 到 64
- 6 个后端缩放计数器 (C0-C5) 的范围是 1 到 512
- 对于无毛刺跳变，PLL 可以被使能以旁路所有 `osc1_clk` clock 的输出。

SDRAM PLL 具有以下额外的功能：

- 每步 1/8 的相移
  - 相移范围是 0 到 7

公式 2-1 显示了  $F_{REF}$ 、 $F_{VCO}$  和  $F_{OUT}$  的公式。 $M$ 、 $N$  和  $C$  的值存储在软件可访问的寄存器中。

#### 公式 2-1. $F_{REF}$ 、 $F_{VCO}$ 和 $F_{OUT}$ 公式

---

$$\begin{aligned} F_{REF} &= F_{IN} / N \\ F_{VCO} &= F_{REF} \times M = F_{IN} \times M/N \\ F_{OUT} &= F_{VCO} / (C_i \times K) = F_{REF} \times M / (C_i \times K) = (F_{IN} \times M) / (N \times C_i \times K) \end{aligned}$$

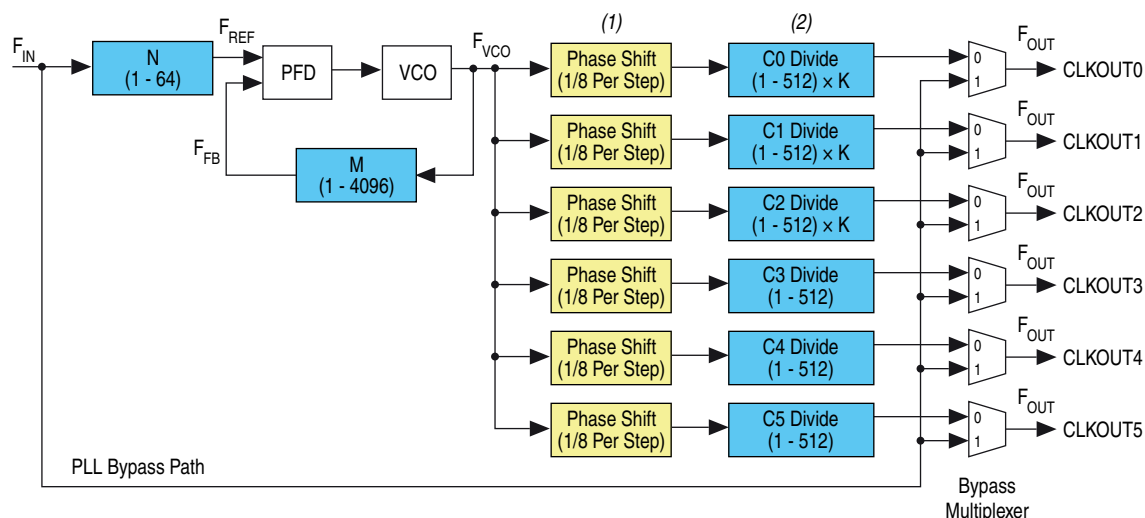
其中：

- (1)  $F_{VCO}$  = VCO 频率。
  - (2)  $F_{IN}$  = 输入频率。
  - (3)  $F_{REF}$  = 参考频率。
  - (4)  $M$  = 分子，时钟反馈路径的一部分。
  - (5)  $N$  = 分母，输入时钟参考路径的一部分。
  - (6)  $C_i$  = 后端缩放计数器，其中 6 个计数器的  $i$  是 0-5。
  - (7)  $K$  是主 PLL 中的一个内部后端缩放计数器，其中对于 C0,  $K = 2$ ，并且对于 C1 和 C2,  $K = 4$ 。对于主 PLL 中的 C3、C4 和 C5 以及对于外设和 SDRAM PLL 中的所有  $C_i$  计数器,  $K = 1$ 。
- 

 主、外设和 SDRAM PLL 的最低和最高 VCO 频率根据器件速度等级的不同而不同。要了解详细信息，请参考 *Cyclone V Device Datasheet*。

图 2-2 显示了每个 PLL 的结构图。列出的  $M$ 、 $N$  和  $C$  值实际上大于存储在 CSR 中的值。

图 2-2. PLL 结构图



#### 图 2-2 注释：

- (1) 相移仅适用于 SDRAM PLL 输出。
- (2) 在主 PLL 中，对于 C0  $K=2$ 、对于 C1 和 C2  $K=4$ 。在外设和 SDRAM PLL 中  $K=1$ 。

## 分频器

分频器进一步将 PLL 产生的 C0-C5 时钟再分为较低频率。主 PLL C0-C2 时钟具有额外的内部后端缩放计数器。

## 时钟选通

时钟选通使能和禁用时钟信号。

## 控制和状态寄存器

时钟管理器包含配置和观察时钟管理器的寄存器。

## 硬件管理和软件管理的时钟

当更改关于时钟的值时，术语 hardware-managed 和 software-managed 定义哪一个负责成功跳转。软件管理的时钟要求软件手动关断任何更改影响的时钟，等待任何 PLL 锁定（如果需要），然后再打开时钟。硬件管理的时钟使用硬件来确保到新时钟值的无毛刺跳变的发生。在 HPS 中有 3 组硬件管理的时钟，它们是从主 PLL 输出 C0、C1 和 C2 生成的时钟。HPS 中其它的时钟为软件管理的时钟。

## 时钟组

时钟管理器的每个 PLL 和 EOSC1 管脚各包含一个时钟组。

## OSC1 时钟组

OSC1 时钟组中的时钟直接从 EOSC1 管脚产生。该时钟从不被选通或分频。它被用作 PLL 输入以及被 PLL 输出时钟驱动的 HPS 逻辑所使用。表 2-1 列出了 OSC1 时钟组中的时钟。

表 2-1. OSC1 时钟组时钟

名称	频率	时钟源	目的地
osc1_clk	10 到 50 MHz	EOSC1 管脚	第 2-12 页面的表 2-9 中列出的 OSC1-驱动的外设

## 主时钟组

主时钟组包含一个 PLL、分频器和时钟选通。主时钟组中的时钟从主 PLL 产生。主 PLL 总是来自器件的 EOSC1 管脚。

表 2-2 列出了主 PLL 输出分配。

表 2-2. 主 PLL 输出分配

PLL	输出计数器	时钟名称	频率	相移控制
主	C0	mpu_base_clk	各种频率的 osc1_clk <sup>(1)</sup>	No
	C1	main_base_clk	各种频率的 osc1_clk <sup>(1)</sup>	No
	C2	dbg_base_clk	osc1_clk/4 到 mpu_base_clk/2	No
	C3	main_qspi_base_clk	高达 432 MHz	No
	C4	main_nand_sdmmc_base_clk	对于 NAND 闪存控制器高达 250 MHz 并且对于 SD/MMC 控制器高达 200 MHz	No
	C5	cfg_h2f_user0_base_clk	125 MHz 的用于驱动配置以及 100 MHz 的 osc1_clk 用于用户时钟	No

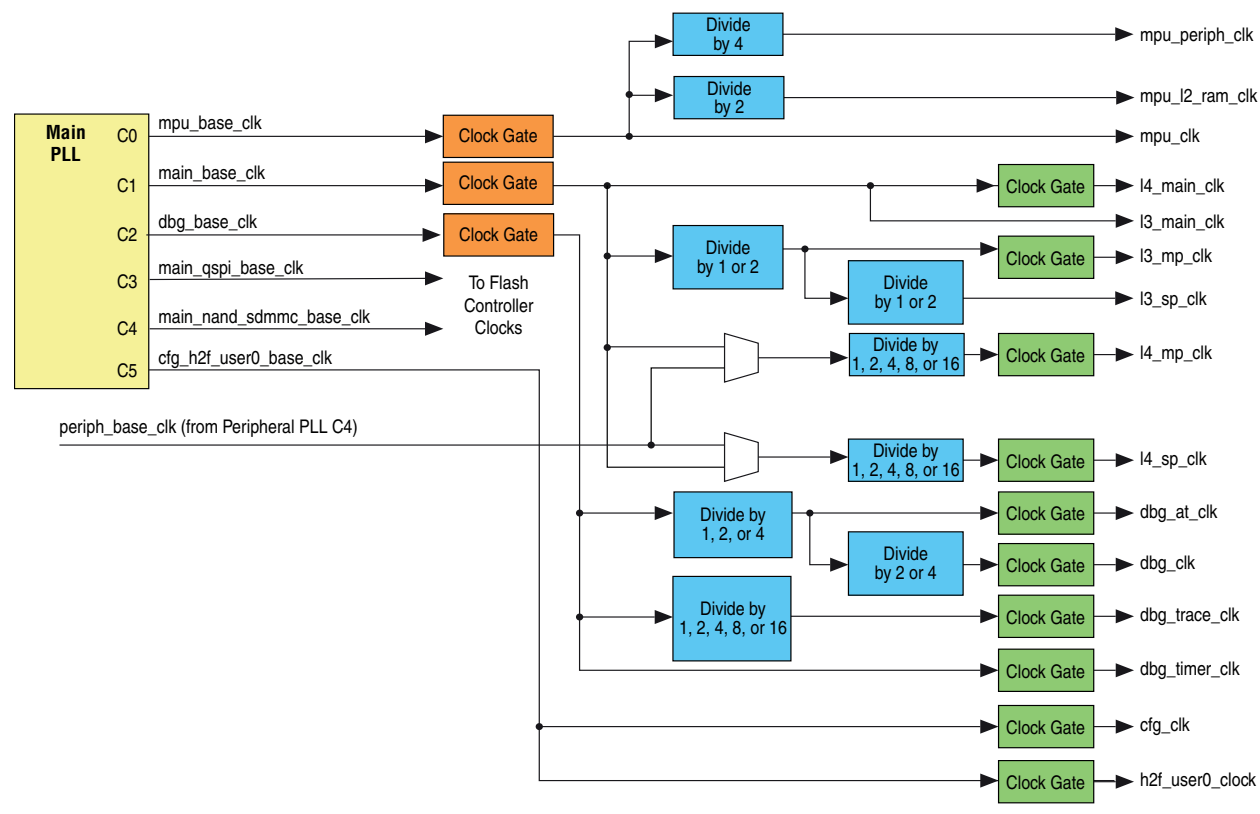
**表 2-2 注释：**

(1) 最高频率取决于器件的速度等级。

主 PLL 的计数器输出可以通过 PLL 外部的可编程分频器将其频率进一步分频。到不同分频值的跳变发生在最快输出时钟上，最慢时钟的上升沿之前的一个时钟周期。例如，主 C2 输出的 16 分频分频器的周期 15 和主 C0 输出的 4 分频分频器的周期 3。

图 2-3 显示了主 PLL 的每个计数器输出如何使它们的频率进一步由可编程 post-PLL 分频器分频。绿色时钟选通逻辑直接由写入到寄存器的软件控制。橙色时钟选通逻辑由硬件控制。橙色时钟选通逻辑使硬件能够无缝地跳变一组同步时钟，例如，所有的 MPU 子系统时钟。

图 2-3. 主时钟组分频和选通



从主 PLL C0-C2 输出产生的时钟是硬件管理的，意味着硬件确保清洁跳变发生，并且使以下控制值通过软件写访问控制寄存器动态地更改：

- PLL 旁路
- PLL 分子、分母和计数器
- 外部分频器

对于这些寄存器，硬件检测已经发生写操作并且执行正确的序列以确保到新时钟值的无毛刺跳变发生。这些时钟在跳变期间会暂停。

表 2-3 列出了主时钟组中的时钟。

表 2-3. 主时钟组时钟 (1/2)

系统时钟名称	频率	约束和注释
mpu_clk	主 PLL C0	MPU 子系统，包括 CPU0 和 CPU1 的时钟
mpu_l2_ram_clk	mpu_clk/2	MPU level 2 (L2) RAM 的时钟
mpu_periph_clk	mpu_clk/4	MPU snoop control unit (监听控制单元, SCU) 外设，例如 general interrupt controller (通用中断控制器, GIC) 的时钟

表 2 - 3. 主时钟组时钟 (2/2)

系统时钟名称	频率	约束和注释
l3_main_clk	主 PLL C1	L3 主开关的时钟
l3_mp_clk	l3_main_clk 或 l3_main_clk/2	L3 主外设 (MP) 开关的时钟
l3_sp_clk	l3_mp_clk 或 l3_mp_clk/2	L3 从外设 (SP) 开关的时钟
l4_main_clk	主 PLL C1	L4 主总线的时钟
l4_mp_clk	主 PLL C1 或外设 PLL C4 分频的 osc1_clk/16 到 100 MHz	L4 MP 总线的时钟
l4_sp_clk	主 PLL C1 或外设 PLL C4 分频的 osc1_clk/16 到 100 MHz	L4 SP 总线的时钟
dbg_at_clk	osc1_clk/4 到主 PLL C2/2	CoreSight™ 调试走线总线的时钟
dbg_trace_clk	osc1_clk/16 到主 PLL C2	CoreSight™ 调试走线端口接口单元 (TPIU) 的时钟
dbg_timer_clk	osc1_clk 到主 PLL C2	走线时间戳生成器的时钟
dbg_clk	dbg_at_clk/2 或 dbg_at_clk/4	调试访问接口 (DAP) 和调试外设总线的时钟
main_qspi_clk	主 PLL C3	Quad SPI 闪存内部逻辑时钟
main_nand_sdmmc_clk	主 PLL C4	闪存控制器时钟模块的输入时钟
cfg_clk	主 PLL C5 分频的 125_MHz 的 osc1_clk	FPGA 管理器配置时钟
h2f_user0_clock	主 PLL C5 分频的 100_MHz 的 osc1_clk	FPGA 架构的辅助用户时钟

### 更改影响主时钟组 PLL 锁定的值

要更改影响主时钟组 PLL 的 VCO 锁定（包括硬件管理的时钟）的任何值，软件必须使主 PLL 处于旁路模式，从而导致所有主 PLL 输出时钟由 osc1\_clk 时钟驱动。软件必须在使主 PLL 退出旁路模式之前通过读取锁定状态寄存器检测 PLL 锁定。

PLL 一旦被锁定，对任何 PLL VCO 频率更改 20% 或更少不会导致 PLL 失锁。迭代地以 20% 或较少的增量更改 VCO 频率会实现 VCO 基频率的慢斜升而不会失锁。例如，更改 VCO 频率 40% 不会失锁，然后更改频率 20%，然后再更改频率 16.7%。

### 外设时钟组

外设时钟组包含一个 PLL、分频器和时钟选通。外设时钟组中的时钟从外设 PLL 产生。外设 PLL 可以被编程为源自 EOSC1 管脚、EOSC2 管脚，或 FPGA 架构提供的 f2h\_periph\_ref\_clk 时钟。

主 PLL 的计数器输出可以使它们的频率进一步由外部分频器分频。到不同分频值的跳变发生在最快输出时钟上，最慢时钟的上升沿之前的一个时钟周期。例如，主 C2 输出的 16 分频分频器的周期 15 和 C1 输出的 4 分频分频器的周期 3。



表 2-4 列出了外设 PLL 输出分配。

表 2-4. 外设 PLL 输出分配

PLL	输出计数器	时钟名称	频率	相移控制
外设	C0	emac0_base_clk	高达 250 MHz	No
	C1	emac1_base_clk	高达 250 MHz	No
	C2	periph_qspi_base_clk	高达 432 MHz	No
	C3	periph_nand_sdmmc_base_clk	对于 NAND 闪存控制器高达 250 MHz 并且对于 SD/MMC 控制器高达 200 MHz	No
	C4	periph_base_base_clk	对于 SPI 主器件高达 240 MHz 并且对于扫描管理器高达 200 MHz	No
	C5	h2f_user1_base_clk	100 MHz 的 osc1_clk	No

图 2-4 显示了外设时钟组的可编程的 post-PLL 分频器和时钟选通。结构图中的时钟选通模块显示软件控制下可能被关断的时钟。软件被期待更改任何 PLL 或分频器设置（可能导致这些时钟的错误行为）之前关断这些时钟。

图 2-4. 外设时钟组分频和选通

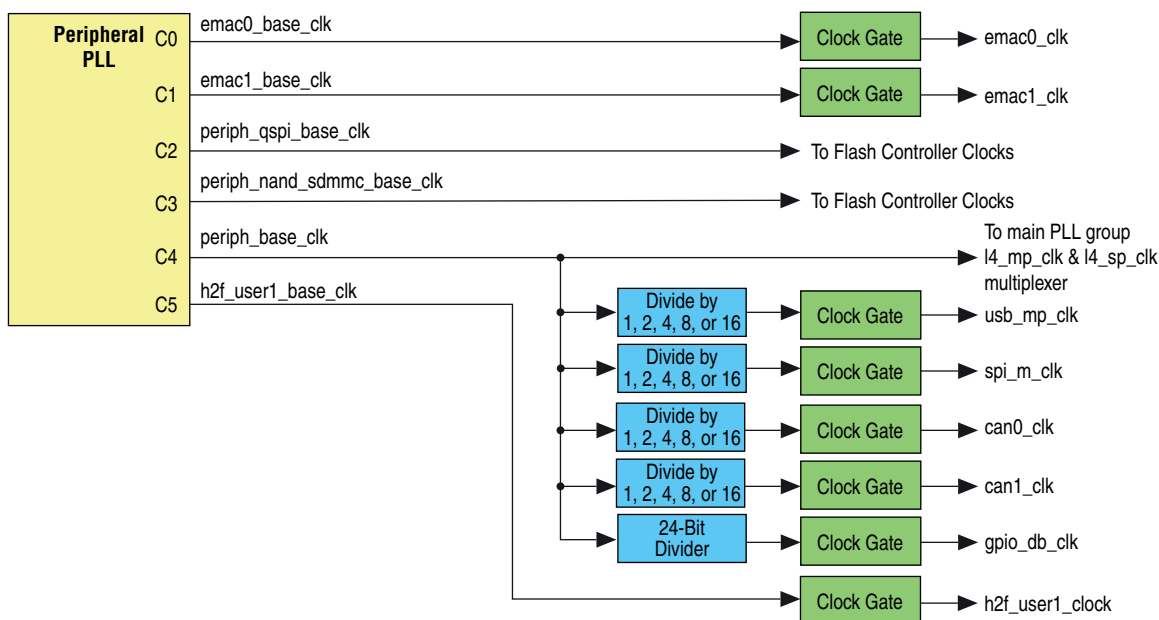


表 2-5 列出了外设时钟组中时钟。

表 2-5. 外设时钟组时钟

系统时钟名称	频率	分频的时钟	约束和注释
usb_mp_clk	高达 200 MHz	外设 PLL C4	USB 的时钟
spi_m_clk	对于 SPI 主器件高达 240 MHz 并且对于扫描管理器高达 200 MHz	外设 PLL C4	L4 SPI 主器件总线和扫描管理器的时钟
emac0_clk	高达 250 MHz	外设 PLL C0	EMAC0 时钟。250 MHz 时钟从内部由 EMAC 分频为典型的 125/25/2.5 MHz 速度以便进行 1000/100/10 Mbps 操作。
emac1_clk	高达 250 MHz	外设 PLL C1	EMAC1 时钟。250 MHz 时钟从内部由 EMAC 分频为典型的 125/25/2.5 MHz 速度以便进行 1000/100/10 Mbps 操作。
l4_mp_clk	高达 100 MHz	主 PLL C1 或外设 PLL C4	L4 主外设总线的时钟
l4_sp_clk	高达 100 MHz	主 PLL C1 或外设 PLL C4	L4 从外设总线的时钟
can0_clk	高达 100 MHz	外设 PLL C4	控制器局域网 (CAN) 控制器 0 时钟
can1_clk	高达 100 MHz	外设 PLL C4	CAN 控制器 1 时钟
gpio_db_clk	高达 32 KHz	外设 PLL C4	用于去除 GPIO0、GPIO1 和 GPIO2 的抖动
h2f_user1_clock	外设 PLL C5	外设 PLL C5	FPGA 架构的辅助用户时钟

### SDRAM 时钟组

SDRAM 时钟组包含一个 PLL 和时钟选通。SDRAM 时钟组中的时钟从 SDRAM PLL 产生。SDRAM PLL 可以被编程为源自 EOSC1 管脚、EOSC2 管脚或 FPGA 架构提供的 f2h\_sdram\_ref\_clk 时钟。

SDRAM PLL 的计数器输出可以在软件控制下直接地关断。每个时钟的分频器值都由时钟管理器中的寄存器设置。

表 2-6 列出了 SDRAM PLL 输出分配。

表 2-6. SDRAM PLL 输出分配

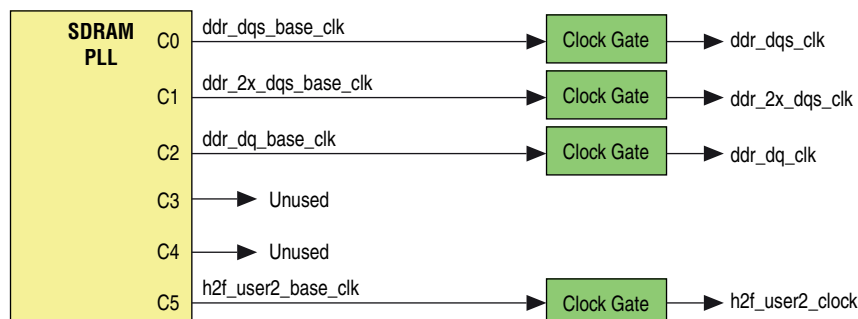
PLL	输出计数器	时钟名称	频率	相移控制
SDRAM	C0	ddr_dqs_base_clk	到达各种频率 <sup>(1)</sup>	Yes
	C1	ddr_2x_dqs_base_clk	高达 ddr_dqs_base_clk x 2	Yes
	C2	ddr_dq_base_clk	高达 ddr_dqs_base_clk	Yes
	C5	h2f_user2_base_clk	各种频率的 osc1_clk <sup>(1)</sup>	Yes

**表 2-6 注释：**

(1) 最高频率取决于器件的速度等级。

图 2-5 显示了 SDRAM PLL 时钟组的时钟选通。结构图中的时钟选通模块显示了软件控制下可能被关断的时钟。软件被期待更改任何 PLL 或分频器设置（可能导致这些时钟的错误行为）之前关断这些时钟。

图 2-5. SDRAM 时钟组分频和选通



SDRAM PLL 输出时钟可以在实时以 1/8 为增量的 VCO 频率被相移。相移增量的最高数是 4096。

表 2-7 列出了 SDRAM 时钟组的时钟。

表 2-7. SDRAM 时钟组时钟

名称	频率	约束和注释
ddr_dqs_clk	SDRAM PLL C0	MPFE、单端口控制器、CSR 访问和 PHY 的时钟
ddr_2x_dqs_clk	SDRAM PLL C1	PHY 的时钟
ddr_dq_clk	SDRAM PLL C2	PHY 的时钟
h2f_user2_clock	SDRAM PLL C5	FPGA 架构的辅助用户时钟

## 闪存控制器时钟

闪存外设可以由主 PLL、外设 PLL 或 FPGA 架构提供的时钟驱动，如图 2-6 所示。

图 2-6. 闪存外设时钟分频和选通

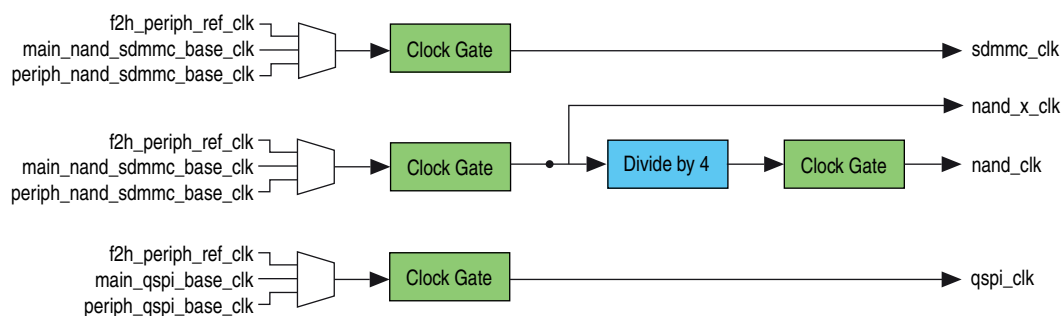


表 2-8 列出了闪存控制器时钟。

表 2-8. 闪存控制器时钟

系统时钟名称	频率	分频的时钟	约束和注释
qspi_clk	高达 432 MHz	外设 PLL C2、主 PLL C3 或 f2h_periph_ref_clk	quad SPI 的时钟，典型的 108 和 80 MHz
nand_x_clk	高达 250 MHz	外设 PLL C3、主 PLL C4 或 f2h_periph_ref_clk	NAND 闪存控制器主和从时钟
nand_clk	nand_x_clk/4	外设 PLL C3、主 PLL C4 或 f2h_periph_ref_clk	NAND 闪存控制器的主时钟，对 NAND 传输设置基频率
sdmmc_clk	高达 200 MHz	外设 PLL C3、主 PLL C4 或 f2h_periph_ref_clk	<ul style="list-style-type: none"> <li>■ 少于或等于存储器最高操作频率</li> <li>■ 45% 到 55% 占空比</li> <li>■ 典型频率是 26 和 52 MHz</li> <li>■ SD/MMC 具有一个该时钟分频的子时钟树。</li> </ul>

## 复位

### 冷复位


冷复位使硬件管理的时钟处于安全模式，使软件管理的时钟处于默认状态，以及异步地复位时钟管理器中的所有寄存器。

要了解更多信息，请参考第 2-11 页面的“安全模式”。

### 暖复位

时钟管理器中的寄存器控制时钟管理器如何响应暖复位。通常，软件使时钟管理器处于安全状态以便对启动系统的 ROM 代码生成一组已知时钟。当选择时钟管理器如何响应暖复位时，必须仔细的考虑整个暖复位时的系统行为（包括如何配置 FPGA 架构、启动代码和调试系统来表现）。

作为复位管理器的暖复位序列的一部分，复位管理器可以请求时钟管理器进入安全模式。置位安全模式到时钟管理器之前，复位管理器确保复位信号在接收暖复位的所有模块上置位。

 要了解更多信息，请参考 *Cyclone V 器件手册* 第 3 卷的 *Reset Manager* 章节中的“复位序列”。

## 安全模式

通过置位复位管理器的安全模式请求或通过冷复位，安全模式在 HPS 中被使能。置位复位管理器的安全模式请求会在时钟管理器控制寄存器中设置安全模式位。控制寄存器的其它位不会受到复位管理器的安全模式请求的影响。

当安全模式被使能时，主 PLL 硬件管理的时钟 (C0-C2) 被旁路到 osc1\_clk 时钟并且从 osc1\_clk 时钟直接生成。在安全模式时，时钟管理器寄存器设置（控制时钟行为）不会被更改。然而，硬件旁路这些设置并且使用安全、默认设置。

硬件管理的时钟被强制为安全模式值时会出现下列情况：

- 硬件管理的时钟被旁路到 osc1\_clk 时钟，包括主 PLL 的计数器。

- 可编程的分频器选择复位默认值。
- 闪存控制器时钟多路复用器选择外设 PLL 的输出。
- 所有时钟被使能。

软件执行的写入是清除 ctrl 寄存器的安全模式位（安全模式）的唯一方式。



退出安全模式之前，所有寄存器和时钟需要被正确地配置。只使用冷复位返回到时钟的工作状态的方法配置时钟管理器是可能的。Altera 强烈建议使用 Altera 提供的库来配置和控制 HPS 时钟。

## 中断

时钟管理器提供一个中断输出，它使用中断使能寄存器 (intren) 而被使能。中断源是 6 个输入，也就是，每个 PLL 的中断状态寄存器 (inter) 的实现锁和失锁位。

## 模块的时钟使用

表 2-9 列出了 HPS 中所有模块的时钟管理器生成的每个时钟输入。系统时钟名称对于整个 HPS 是全局的并且相同名称的系统时钟在所有端点是相位对齐的。

表 2-9. 模块的时钟使用 (1/3)

模块名称	系统时钟名称	使用
MPU 子系统	mpu_clk	MPU 子系统的主时钟
	mpu_periph_clk	MPU 子系统内外设的时钟
	dbg_at_clk	走线总线时钟
	dbg_clk	调试时钟
	mpu_l2_ram_clk	L2 缓冲和 Accelerator Coherency Port (加速器联接端口, ACP) ID 映射器的时钟
	l4_mp_clk	ACP ID 映射器控制从器件的时钟
互联	l3_main_clk	L3 主开关的时钟
	dbg_at_clk	系统走线宏单元 (STM) 从器件和嵌入式走线路由器 (ETR) 主器件连接的时钟
	dbg_clk	DAP 主器件连接的时钟
	l3_mp_clk	L3 主器件外设开关的时钟
	l4_mp_clk	L4 MP 总线, Secure Digital (SD) / MultiMediaCard (MMC) 主器件和 EMAC 主器件的时钟
	usb_mp_clk	USB 主器件和从器件的时钟
	nand_x_clk	NAND 主器件的时钟
	cfg_clk	FPGA 管理器配置数据从器件的时钟
	l3_sp_clk	L3 从外设开关的时钟
	l3_main_clk	L4 SPIS 总线主器件的时钟
	mpu_l2_ram_clk	ACP ID 映射器从器件和 L2 主器件连接的时钟
	oscl_clk	L4 OSC1 总线主器件的时钟
	spi_m_clk	L4 SPIM 总线主器件的时钟
	l4_sp_clk	L4 SP 总线主器件的时钟
	l4_mp_clk	quad SPI 总线从器件的时钟


表 2 - 9. 模块的时钟使用 (2/3)

模块名称	系统时钟名称	使用
引导 ROM	l3_main_clk	引导 ROM 的时钟
片上 RAM	l3_main_clk	片上 RAM 的时钟
DMA 控制器	l4_main_clk	DMA 的时钟
	dbg_at_clk	同步到 STM 模块的时钟
	l4_mp_clk	同步到 quad SPI 闪存的时钟
FPGA 管理器	cfg_clk	控制模块 (CB) 数据接口和配置数据从器件的时钟
	l4_mp_clk	控制从器件的时钟
HPS- to-FPGA 桥接	l3_main_clk	数据从器件的时钟
	l4_mp_clk	global programmer's view (GPV) 从器件的时钟
FPGA- to-HPS 桥接	l3_main_clk	数据主器件的时钟
	l4_mp_clk	GPV 从器件的时钟
轻型 HPS- to-FPGA 桥接	l4_mp_clk	GPV 主器件以及数据和 GPV 从器件的时钟
Quad SPI 闪存控制器	l4_mp_clk	控制从器件的时钟
	qspi_clk	串行的参考时钟
SD/MMC 控制器	l4_mp_clk	主器件和从器件的时钟
	sdmmc_clk	SD/MMC 内部逻辑的时钟
EMAC 0	l4_mp_clk	主器件的时钟
	emac0_clk	EMAC 0 内部逻辑时钟
	osc1_clk	IEEE 1588 时间戳时钟
EMAC 1	l4_mp_clk	主器件的时钟
	emac1_clk	EMAC 1 内部逻辑时钟
	osc1_clk	IEEE 1588 时间戳时钟
USB 0	usb_mp_clk	主器件和从器件的时钟
USB 1	usb_mp_clk	主器件和从器件的时钟
NAND 闪存控制器	nand_x_clk	NAND 高速主器件和从器件时钟
	nand_clk	NAND 闪存时钟
OSC1 计数器 0	osc1_clk	OSC1 计数器 0 的时钟
OSC1 计数器 1	osc1_clk	OSC1 计数器 1 的时钟
SP 计数器 0	l4_sp_clk	SP 计数器 0 的时钟
SP 计数器 1	l4_sp_clk	SP 计数器 1 的时钟
I <sup>2</sup> C 控制器 0	l4_sp_clk	I <sup>2</sup> C 0 的时钟
I <sup>2</sup> C 控制器 1	l4_sp_clk	I <sup>2</sup> C 1 的时钟
I <sup>2</sup> C 控制器 2	l4_sp_clk	I <sup>2</sup> C 2 的时钟
I <sup>2</sup> C 控制器 3	l4_sp_clk	I <sup>2</sup> C 3 的时钟
UART 控制器 0	l4_sp_clk	UART 0 的时钟
UART 控制器 1	l4_sp_clk	UART 1 的时钟
CAN 控制器 0	l4_sp_clk	从器件的时钟
	can0_clk	CAN 0 控制器时钟

表 2-9. 模块的时钟使用 (3/3)

模块名称	系统时钟名称	使用
CAN 控制器 1	l4_sp_clk	从器件的时钟
	can1_clk	CAN 1 控制器时钟
GPIO 接口 0	l4_mp_clk	从器件的时钟
	gpio_db_clk	去除抖动时钟
GPIO 接口 1	l4_mp_clk	从器件的时钟
	gpio_db_clk	去除抖动时钟
GPIO 接口 2	l4_mp_clk	从器件的时钟
	gpio_db_clk	去除抖动时钟
系统管理器	osc1_clk	系统管理器的时钟
SDRAM 子系统	l4_sp_clk	控制从器件的时钟
	ddr_dq_clk	片外数据时钟
	ddr_dqs_clk	MPFE、单端控制器、CSR 和 PHY 的时钟
	ddr_2x_dqs_clk	片外选通数据时钟
	mpu_l2_ram_clk	连接到 MPU 子系统 L2 缓冲的从器件的时钟
	l3_main_clk	连接到 L3 互联的从器件的时钟
L4 看门狗计时器 0	osc1_clk	L4 看门狗计时器 0 的时钟
L4 看门狗计时器 1	osc1_clk	L4 看门狗计时器 1 的时钟
SPI 主控制器 0	spi_m_clk	SPI 主器件 0 的时钟
SPI 主控制器 1	spi_m_clk	SPI 主器件 1 的时钟
SPI 从控制器 0	l4_main_clk	SPI 从器件 0 的时钟
SPI 从控制器 1	l4_main_clk	SPI 从器件 1 的时钟
调试子系统	l4_mp_clk	系统总线时钟
	dbg_clk	调试时钟
	dbg_at_clk	走线总线时钟
	dbg_trace_clk	走线端口时钟
复位管理器	osc1_clk	复位管理器的时钟
	l4_sp_clk	从器件的时钟
扫描管理器	spi_m_clk	扫描管理器的时钟
时间戳生成器	dbg_timer_clk	时间戳生成器的时钟


## 时钟管理器地址映射和寄存器定义

 地址映射和寄存器定义位于该手册卷附带的 [hps.html](#) 文件中。点击链接来打开文件。

要查看模块说明和基地址，请找到并点击下列模块实例的链接：

- **clkmgr**

要查看寄存器和域说明，找到并且点击寄存器名称。寄存器地址是相对于每个模块实例的基地址的偏移。

 所有模块的基地址也被列出在 *Cyclone V* 器件手册第 3 卷的 *Introduction to the Hard Processor System* 章节。



## 文档修订历史

表 2 - 10 显示了该文档的修订历史。

表 2 - 10. 文档修订历史

日期	版本	修订内容
2012 年 11 月	1.2	少量文本编辑。
2012 年 5 月	1.1	<ul style="list-style-type: none"><li>■ 重新组织并扩展了功能说明部分。</li><li>■ 添加了地址映射和寄存器定义部分。</li></ul>
2012 年 1 月	1.0	首次发布。