



请注意：本文档不再进行更新。本文档可能包含旧内容和过时的商标。

请参考英文版本以获取最新更新

<https://www.intel.com/content/www/us/en/programmable/documentation/lit-index.html>

Please take note that this document is no longer being maintained. It may contain legacy content and trademarks which may be outdated.

Please refer to English version for latest update at

<https://www.intel.com/content/www/us/en/programmable/documentation/lit-index.html>

2013.05.06

CV-53007



订阅



反馈

收发器重配置控制器提供多种不同的动态重配置模式。可以选择相应的最适合您的应用所需的重配置模式。所有的动态重配置模式通过收发器重配置控制器PHY IP来实现。

相关链接

[Cyclone V器件手册: 已知问题](#)

列出了对Cyclone V器件手册章节规划的更新。

动态重配置功能

下表列出了可用的动态重配置功能。

表7-1: 重配置功能

重配置功能	说明	受到影响的模块
偏移取消	消除模拟电路上由于工艺、操作所导致的偏移变化。如果使用接收器，则必须使用该功能。	CDR
DCD校准	补偿由时钟网络偏斜造成的占空比失真。	TX缓冲和时钟网络偏斜
模拟控制重配置	当调试链路时，通过调整发送器(TX)与接收器的(RX)模拟设置，对信号完整性进行微调。	TX和RX缓冲的模拟电路
环回模式	动态地使能或禁用Pre-和Post-CDR反向串行环回。	PMA

© 2013 Altera Corporation. All rights reserved. ALTERA, ARRIA, CYCLONE, HARDCOPY, MAX, MEGACORE, NIOS, QUARTUS and STRATIX words and logos are trademarks of Altera Corporation and registered in the U.S. Patent and Trademark Office and in other countries. All other words and logos identified as trademarks or service marks are the property of their respective holders as described at www.altera.com/common/legal.html. Altera warrants performance of its semiconductor products to current specifications in accordance with Altera's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Altera assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Altera. Altera customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.

ISO
9001:2008
Registered



重配置功能	说明	受到影响的模块
数据速率的变化	通过增加或者减少数据速率(/1, /2, /4, /8)实现自动协商的目的, 例如: CPRI和SATA/SAS应用	TX本地时钟分频器
	重配置TX PLL的设置实现对多种数据速率支持的协议(例如: CPRI)	TX PLL
	在多个TX PLL之间进行切换用于多数据速率的支持	<ul style="list-style-type: none"> TX PLL 小数式PLL(使用ALTERA_PLL_RECONFIG宏功能重配置fPLL数据速率。)
	通道重配置—从一个数据速率到另一个数据速率重配置RX CDR	CDR

相关链接

- [28 nm FPGA的背板应用](#)
- [AN661: Implementing Fractional PLL Reconfiguration with ALTERA_PLL and ALTERA_PLL_RECONFIG Megafunctions](#)
关于重配置fPLL数据速率的信息。

偏移取消

偏移取消调整CDR参数中的偏移用于工艺差异。

每个收发器通道均含有偏移取消电路来补偿由工艺操作导致的偏移变化。偏移取消电路由收发器重配置控制器中的偏移取消控制逻辑IP来控制。在用户模式期间复位收发器重配置控制器不会触发偏移取消过程。

完成偏移取消校准后, 置低reconfig_busy状态信号来表明完成了偏移校准过程。

由收发器重配置控制器使用的时钟(mgmt_clk_clk)也用于收发器校准, 并且在没有使能Hard IP for PCIe Express IP内核时, 必须是75-125 MHz。使能了Hard IP for PCIe Express时, 频率范围是75-100 MHz。如果mgmt_clk_clk不是自激时钟, 那么保持重配置控制器在复位状态(mgmt_rst_reset)直到时钟稳定。

发送器占空比失真校准

占空比校准功能将发送器调整到最小占空比失真。

由CMU生成的发送器时钟穿过时钟网络可能会引入占空失真(DCD)。使用收发器重配置控制器中集成的DCD校准IP来降低DCD。

在满足下面其中一个条件时，使能Cyclone GT器件的DCD校准IP，来改善TX抖动性能：

- 数据速率 ≥ 4915.2 Mbps
- 时钟网络切换 (TX PLL切换)，数据速率是 ≥ 4915.2 Mbps

支持DCD校准如下：

- 上电模式状态的DCD标准
- 用户模式期间的手动DCD校准

如果使能了所连接的收发器通道的**Calibrate duty cycle during power up**选项，那么在器件配置后，进入用户模式之前，DCD校准自动进行。在下面的情况下，您可以在用户模式中手动选择触发DCD校准：

- 从较低的数据速率到较高的数据速率(≥ 4.9152 Gbps)重配置收发器。
- 执行时钟网络切换(TX PLL切换)并切换到数据速率 ≥ 4915.2 Mbps

如果收发器运行在4.9152 Gbps以下，那么不需要使能DCD校准。

当DCD校准和偏移取消被使能时，重配置控制器中的reconfig_busy信号被置低，表明完成这两个过程。如果没有使能DCD校准，那么reconfig_busy信号的置低表明偏移取消过程的完成。

相关链接

- [AN 676: Using the Transceiver Reconfiguration Controller for Dynamic Reconfiguration in Arria V and Cyclone V Devices](#)
- [Altera Transceiver PHY IP Core User Guide](#)

PMA模拟控制重配置

完成偏移校准和执行复位流程后，可以动态地重配置模拟控制设置。当reconfig_busy信号处于低电平时，您可以继续接下来的模拟控制的重配置。reconfig_busy信号为高电平时表明正在进行重配置操作。

可重配置收发器模拟控制如下：

- 发送器预加重
- 差分输出电压(VOD)
- 接收器均衡器控制
- 直流(DC)增益设置

要重配置模拟控制设置，请对重配置控制器中的PMA模拟设置重配置控制IP执行读写操作。

相关链接

[Altera Transceiver PHY IP Core User Guide](#)

关于重配置控制器的读写操作的信息

环回模式的动态重配置

通过写入收发器重配置控制器相应的位，可以使能pre-CDR和post-CDR反向串行环回模式。

可使用下面的环回路径：

- **Post-CDR**反向串行环回路径—RX采集输入数据并且将其驱动到CDR。CDR输出的恢复数据连接到TX分频器，并且通过TX分频器发送到TX管脚。在该路径中，可以检测RX和CDR，也可以编程TX驱动器来使用主抽头，或者主抽头和预加重的第一个后抽头。通过收发器重配置PHY IP中的PMA模拟重配置IP实现使能和禁用post-CDR反向串行环回模式。
- **Pre-CDR**反向串行环回路径—RX采集输入数据并且通过一个缓冲器将其连接回TX驱动器。利用该路径，可以对RX和TX缓冲器的质量执行快速检查。使能或禁用pre-CDR反向串行环回模式。

注意：通过Avalon接口或者控制端口，串行环回可以直接和收发器PHY IP一起应用。

相关链接

- [Altera Transceiver PHY IP Core User Guide](#)中的[Transceiver Reconfiguration Controller](#)章节。
- [Cyclone V](#)器件中的收发器环回支持

收发器PLL重配置

可以使用PLL重配置寄存器将参考时钟输入切换到TX PLL或者时钟数据恢复(CDR)电路。

例如，可将参考时钟从100 MHz切换到125 MHz。通过重配置连接到收发器通道的发送器PLL，您也可以将数据速率从2.5 Gbps切换到5 Gbps。

注意：参考时钟切换仅支持专用的REFCLK管脚。

收发器重配置PHY IP提供一个Avalon[®]-MM用户接口以执行PLL重配置。

相关链接

[Altera Transceiver PHY IP Core User Guide](#)中收发器重配置控制器章节的“**PLL Reconfiguration**”部分。

关于执行PLL重配置的信息。

收发器通道重配置

您可以使用通道重配置动态地重配置收发器PHY IP内核中的通道。在该设置中，您可以动态地对数据速率和接口宽度进行修改。

重配置通道有如下的方法：

- 重配置接收器通道的CDR。
- 使能或禁用所有静态PCS子模块。
- 在收发器模块中选择一个alternate PLL对收发器时钟生成模块提供不同的时钟。
- 使用1、2、4或者8分频因子来重配置TX本地时钟分频。

每个发送器通道均有一个时钟分频器。重配置这些本地时钟分频器时，请确保收发器通道的功能模式支持重配置的数据速率。

收发器接口重配置

通过对包括PCS-PLD和PMA-PCS接口的FPGA架构收发器通道数据宽度进行重配置，可以重配置收发器接口。

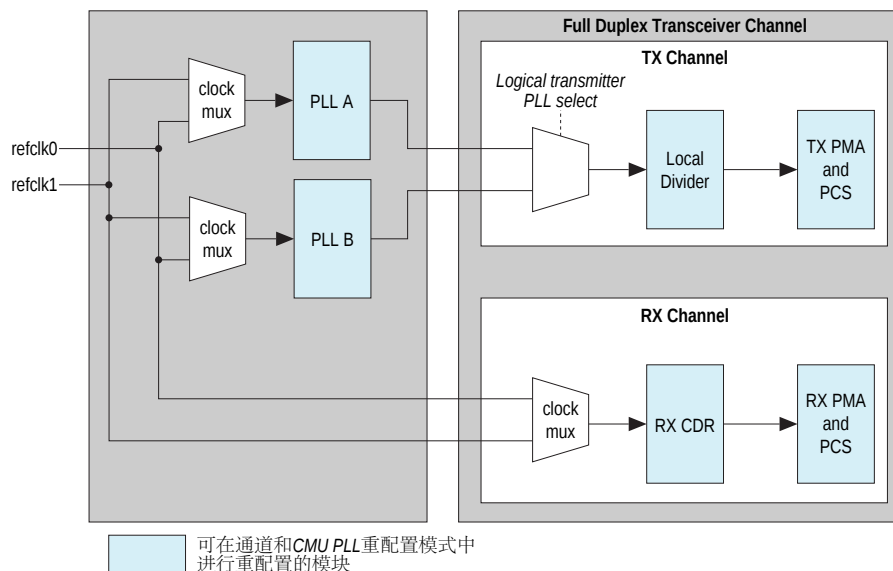
例如，可以重配置定制PHY IP来使能或禁用8B/10B编码器/解码器。如果相关的不同的时钟支持这种切换，那么对可重配置通道的功能模式的数量没有限制。将定制PHY IP从一种功能模式切换到不同的功能模式时，您可能需要重配置FPGA架构收发器通道数据宽度，使能或禁用PCS子模块，或者两者，以符合协议要求。

通道重配置仅对包括在重配置中的通道有影响(收发器通道由唯一的逻辑通道地址来指定)，而对同一收发器重配置控制器所控制的剩余收发器通道没有影响。PLL重配置对目前使用该PLL进行传输的通道都有影响。

不支持从Transmitter only配置到Receiver only配置或者与之相反的通道重配置。

图7-1: 收发器模块中的收发器通道和PLL重配置

下图显示了使用收发器通道和PLL重配置模式动态地进行重配置的功能模块。



相关链接

[Altera Transceiver PHY IP Core User Guide](#)中[Transceiver Reconfiguration Controller](#)章节的“**Channel and PLL Reconfiguration**”部分

关于收发器通道和PLL重配置的信息

简化的.mif重配置

通过对收发器通道中仅受影响的模块进行重配置来减少重配置时间。

重配置模式仅对通道所修改的设置有影响，显著地减少了重配置的时间。例如，在SATA/SAS应用中，自动速率协商必须在短期内完成，以符合协议规范。简化的.mif方法有助于重配置通道，从而符合这些规范。您可以手动生成简化的.mif文件或者使用xcvr_diffmifgen.exe工具来完成。

相关链接

[Altera Transceiver PHY IP Core User Guide](#)

关于简化的.mif创建的信息。

不支持的重配置模式

下面的重配置模式未被支持：

- Receiver-only通道与Transmitter-only通道之间进行切换
- 将bonded切换到non-bonded模式，或者使用不同的xN通道数bonded模式之间的切换(例如，从bonded x2切换成bonded x4)
- 将一个PHY IP切换到另一个PHY IP (例如，从确定性延迟PHY IP到定制PHY IP)
- 如果TX PLL连接到bonded通道中，那么TX PLL重配置不受到支持

只有使用Native PHY IP来配置收发器时，才能实现PHY到PHY IP的重配置。例如，如果使用Native PHY IP来配置SDI模式和定制的专有IP模式(也使用Native PHY IP进行配置)，那么可在Native PHY IP中重配置这两种模式。这个切换指的是使能或禁用SDI和定制专有IP模式的PCS子模块。

文档修订历史

日期	版本	修订内容
2013年5月	2013.05.06	<ul style="list-style-type: none"> • 更新了TX DCD校准信息。 • 将链路AN 661包括在fPLL重配置中。 • 在知识库中添加了已知文档问题的链接。

日期	版本	修订内容
2012年11月	2012.11.19	<ul style="list-style-type: none">• 重写和重组内容并更新模板。• 添加了TX DCD。• 添加了Transceiver PLL Reconfiguration。• 收发器通道重配置。• 列出了不支持的功能。