



请注意：本文档不再进行更新。本文档可能包含旧内容和过时的商标。

请参考英文版本以获取最新更新

<https://www.intel.com/content/www/us/en/programmable/documentation/lit-index.html>

Please take note that this document is no longer being maintained. It may contain legacy content and trademarks which may be outdated.

Please refer to English version for latest update at

<https://www.intel.com/content/www/us/en/programmable/documentation/lit-index.html>

2013.05.06

CV-53006

 订阅
  反馈

Cyclone V环回选项使您能够对不同的功能模块如何在收发器中运行进行验证。

相关链接

[Cyclone V器件手册: 已知问题](#)

列出了对Cyclone V器件手册章节规划的更新。

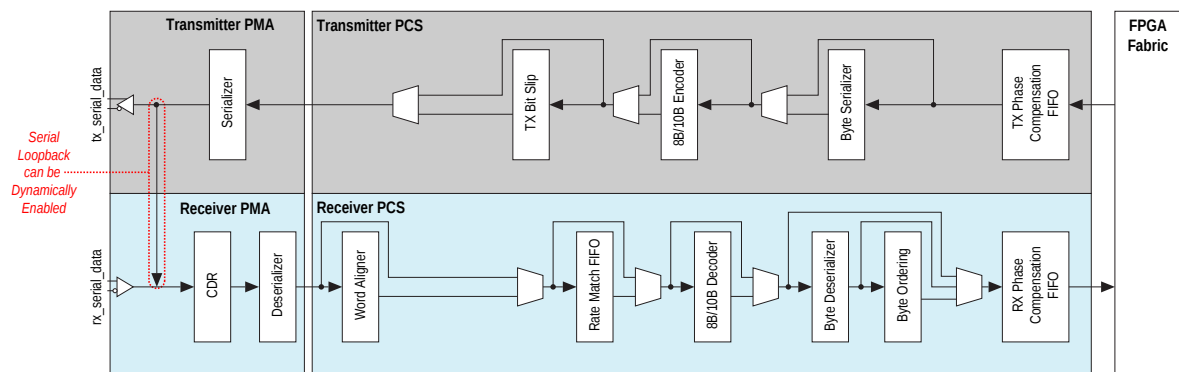
串行环回

这一部分介绍了将串行环回作为辅助调试来使用，以确保发送器和接收器通道中使能的PCS和PMA模块能够正确地运行。

串行环回模式适用于除了PIPE模式的所有收发器配置。您可以将串行环回作为辅助调试来使用以确保发送器和接收器通道中使能的物理编码子层(PCS)和物理介质附加子层(PMA)模块能够正确地运行。此外，您也可以动态地使能channel-by-channel基础上的串行环回。

FPGA架构中的数据将遍历发送通道，并回送至接收通道，以及旁路接收器缓冲。接收的数据可用于FPGA逻辑来实现验证。

图6-1: 串行环回数据通道



当使能了串行环回，发送通道将数据发送到tx_serial_data输出端口以及接收器通道。tx_serial_data端口上的差分输出电压基于所选择的差分输出电压(V_{OD})设置。

© 2013 Altera Corporation. All rights reserved. ALTERA, ARRIA, CYCLONE, HARDCOPY, MAX, MEGACORE, NIOS, QUARTUS and STRATIX words and logos are trademarks of Altera Corporation and registered in the U.S. Patent and Trademark Office and in other countries. All other words and logos identified as trademarks or service marks are the property of their respective holders as described at www.altera.com/common/legal.html. Altera warrants performance of its semiconductor products to current specifications in accordance with Altera's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Altera assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Altera. Altera customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.

ISO
9001:2008
Registered



环回数据被转送至接收器时钟数据恢复单元(CDR)。必须对字对齐模块提供一个对齐码型，以使能接收通道来检索字节边界。

如果器件不是在串行环回配置中，并且从远程器件中接收数据，那么接收器CDR中所接收的时钟被锁定到远端发送的数据中。

注意：有关phy_serial_loopback配置寄存器访问的说明和地址，请参考*Altera Transceiver PHY IP Core User Guide*中*Transceiver Reconfiguration Controller*章节的“Loopback Modes”部分。

如果器件被布局在串行环回配置中，那么从远程器件到本地发送器通道的接收器通道的数据源一提示接收器CDR开始跟踪新数据源的相位。在这段时间里，接收器CDR中恢复的时钟可能不稳定。因为接收器PCS关闭这个恢复时钟，所以必须在复位状态下，通过在这段期间置位rx_digitalreset信号来布局接收器PCS。

注意：进出串行环回模式时，必须置位rx_digitalreset信号至少两个并行时钟周期。

相关链接

[Altera Transceiver PHY IP Core User Guide](#)

并行环回

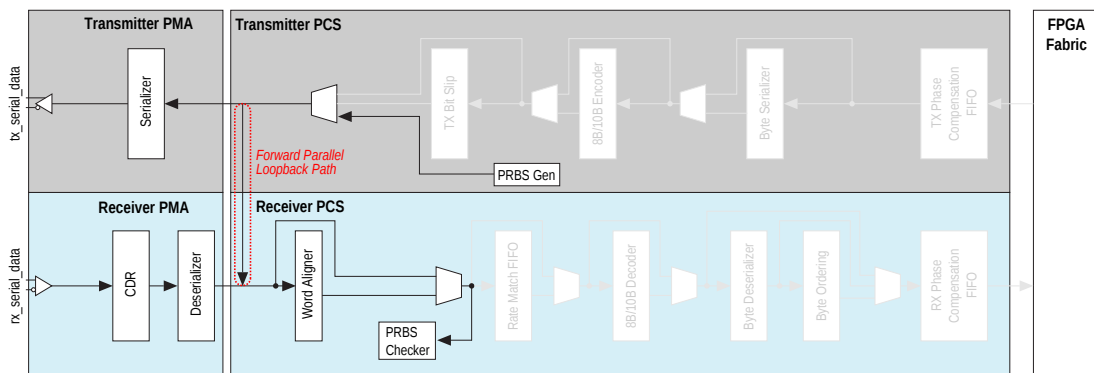
并行环回是一种辅助调试来确保发送器和接收器通道中使能的PCS模块能够正确地运行。

并行环回仅适用于收发器Native PHY。通过使能PRBS测试模式，遍历动态重配置控制器，来使能并行环回。动态重配置操作完成后，必须执行一个rx_digitalreset信号。

并行数据经过并行环回路径，遍历RX字对齐器，并最终在RX PCS PRBS验证器模块内部进行验证，检查FPGA架构中的操作状态。

图6-2: 并行环回数据通道

下图显示了由TX PCS PRBS生成器模块生成的并行PRBS数据。



注意：功能的使用细节在*Altera Transceiver PHY IP Core User Guide*有所介绍。

相关链接

[Altera Transceiver PHY IP Core User Guide](#)

PIPE反向并行环回

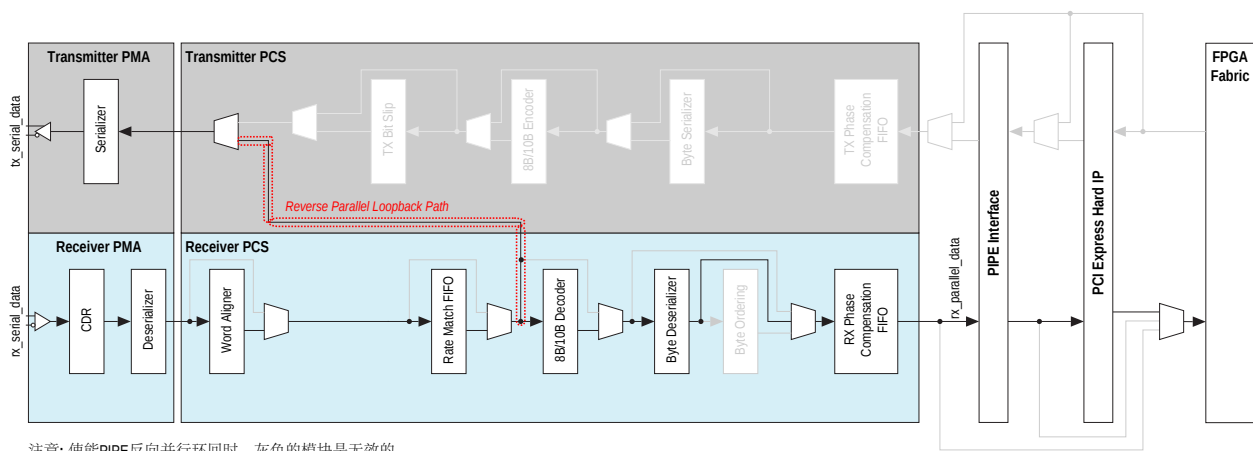
这一部分介绍了PIPE反向并行环回调试选项，通过速率匹配FIFO、发送器串行器和tx_serial_data端口路径使用并行数据。

PIPE反向并行环回仅适用于Gen1和Gen2数据速率的PCIe®配置中。图2显示了接收到的串行数据将遍历接收器CDR、解串器、字对齐和速率匹配FIFO缓冲。然后速率匹配FIFO的并行数据被回送至发送串行器，并且通过tx_serial_data端口发送出去。接收到的数据也适用于通过rx_parallel_data端口的FPGA架构。

PIPE反向并行环回符合PCIe 2.0规范。要使能这个环回配置，可置位tx_detectrx_loopback信号。

注意：PIPE反向并行环回是PCIe配置中支持的唯一环回选项。

图6-3: PIPE反向并行环回配置数据通路



反向串行环回

可以使用反向串行环回来调试通过rx_serial_data端口、接收器CDR和tx_serial_data端口路径的数据。

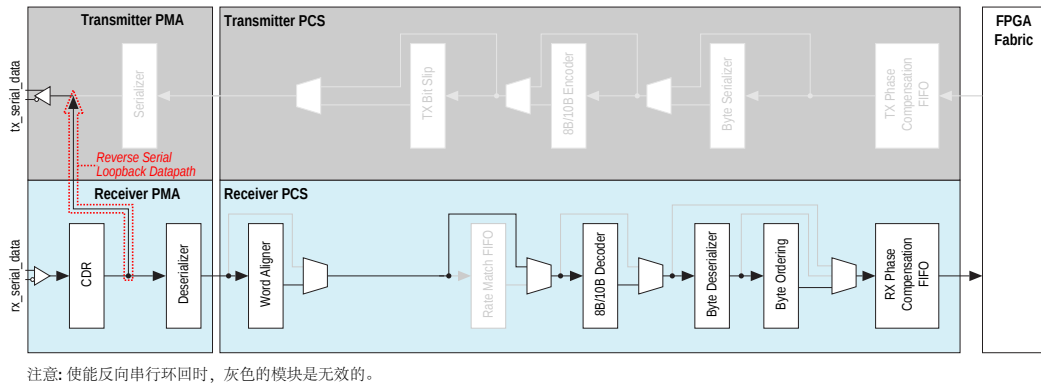
您可以通过重配置控制器，来使能反向串行环回。

注意：请参考Altera Transceiver PHY IP Core User Guide，以获得更详细的描述。

在反向串行环回中，通过rx_serial_data端口接收数据，通过接收器CDR重新计时，并发送到tx_serial_data端口。接收的数据也适用于FPGA逻辑。没有动态管脚控制可用于选择或者取消选择反向串行环回。

发送器缓冲是发送器通道中唯一有效的模块。通过动态重配置控制器，您可以修改V_{OD}和预加重在发送器缓冲上第一个后抽头的值。通常在上游发送器上使用误码率测试仪(BERT)时实现反向串行环回。

图6-4: 反向串行环回数据通路



相关链接

[Altera Transceiver PHY IP Core User Guide](#)

反向串行Pre-CDR环回

这一部分使用rx_serial_data端口到tx_serial_data端口的数据路径，并且在接收器器CDR之前，对反向串行pre-CDR环回调试作了介绍。

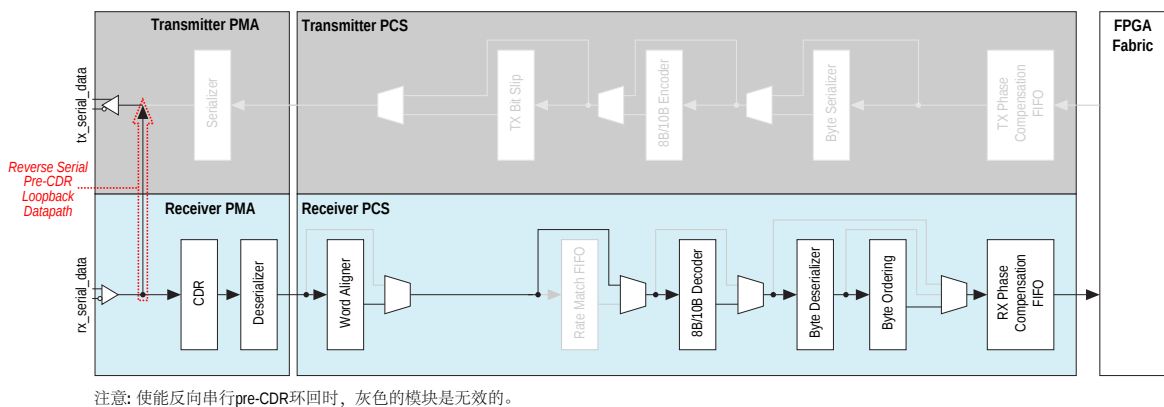
您可以通过重配置控制器来使能反向串行pre-CDR环回。

注意: 请参考Altera Transceiver PHY IP Core User Guide, 以获得更详细的描述。

在反向串行pre-CDR环回中, 通过rx_serial_data端口接收到的数据在接收器CDR之前被回送至tx_serial_data端口。接收的数据也可适用于FPGA逻辑。没有动态管脚控制可用于选择或者取消选择反向串行pre-CDR环回。

发送器缓冲是发送器通道中唯一有效的模块。通过动态重配置控制器, 您可以修改发送器缓冲上的VOD。不能修改这个设置中的发送器缓冲的预加重设置。

图6-5: 反向串行Pre-CDR环回数据通路



相关链接

[Altera Transceiver PHY IP Core User Guide](#)

文档修订历史

该表列出了本章的修订历史。

表6-1: 文档修订历史

日期	版本	修订内容
2013年5月	2013.05.06	<ul style="list-style-type: none">• 添加了并行环回的主题。• 更新了反向串行环回的主题。• 更新了反向串行Pre-CDR环回的主题。• 在知识基础中添加了已知文档问题的链接。
2012年11月	2012.11.19	<ul style="list-style-type: none">• 重组内容并更新模板。• 针对Quartus II 12.1版本进行的少量更新。
2012年6月	1.0	首次发布。