



请注意：本文档不再进行更新。本文档可能包含旧内容和过时的商标。

请参考英文版本以获取最新更新

<https://www.intel.com/content/www/us/en/programmable/documentation/lit-index.html>

Please take note that this document is no longer being maintained. It may contain legacy content and trademarks which may be outdated.

Please refer to English version for latest update at

<https://www.intel.com/content/www/us/en/programmable/documentation/lit-index.html>

2013.05.06

CV-53004

 订阅
  反馈

专用收发器物理编码子层(PCS)和物理介质附加子层(PMA)电路支持以下通信协议。

表4-1: Cyclone V器件的收发器PCS功能

PCS支持	数据速率(Gbps)	发送器数据通路	接收器数据通路
PCI Express® (PCIe®) Gen1 (x1、x2和x4)以及Gen2 (x1、x2和x4)	2.5, 5	PIPE (PHY Interface for the PCIe architecture)连接到PCIe Hard IP	PIPE连接到PCIe Hard IP
千兆以太网(GbE)	1.25, 3.125	定制的单宽或双宽模式一样	定制的单宽或双宽模式一样, 加上速率匹配FIFO
串行数字接口(SDI)	0.27 ⁽¹⁾ 、1.485和2.97	相位补偿FIFO和字节串行器	相位补偿FIFO和字节解串器
SATA, SAS	1.5和3.0	相位补偿FIFO、字节串行器和8B/10B编码器	相位补偿FIFO、解串行器、对齐和8B/10B解码器
通用公共无线接口(CPRI)	0.6144、1.2288、2.4576、3.072、4.9152、6.144 ⁽²⁾	定制的单宽或双宽模式一样, 加上发送器(TX)确定性延迟	定制的单宽或双宽模式一样, 加上接收器(RX)确定性延迟
OBSAI	0.768、1.536、3.072	和定制的单宽或双宽模式一样, 加上TX确定性延迟	和定制的单宽或双宽模式一样, 加上RX确定性延迟
XAUI	3.125	使用soft PCS来实现	使用soft PCS来实现

相关链接

- 将本章节和 [Altera Transceiver PHY IP Core User Guide](#) 一起使用。

⁽¹⁾ 0.27千兆位每秒(Gbps)数据速率支持使用过采样用户逻辑, 必须由FPGA内核中的用户来实现。

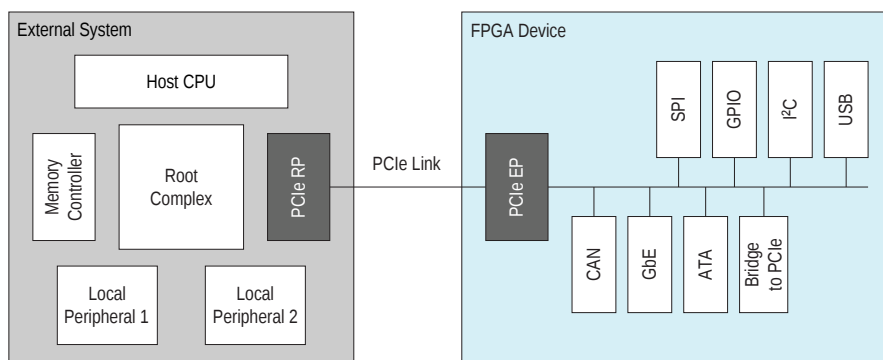
⁽²⁾ Cyclone V GT器件仅在CPRI中支持大于5.0 Gbps的数据速率。

- [Upcoming Cyclone V Device Features](#)
- [Cyclone V 器件手册：已知问题](#)
列出了对 *Cyclone V* 器件手册章节规划的更新。

PCI Express

Cyclone V 器件含有 PCIe Hard IP，它设计用于性能、易于使用，并增加了功能性。Hard IP 由介质访问控制层(MAC)通道、数据链路和传输层组成。PCIe Hard IP 支持高达 x4 通道配置的 PCIe Gen1 终端和根端口。PCIe 终端包括了对多达 8 种功能的多功能和 Gen2 x4 通道配置的支持。

图4-1: Cyclone V 器件的 PCIe 多功能

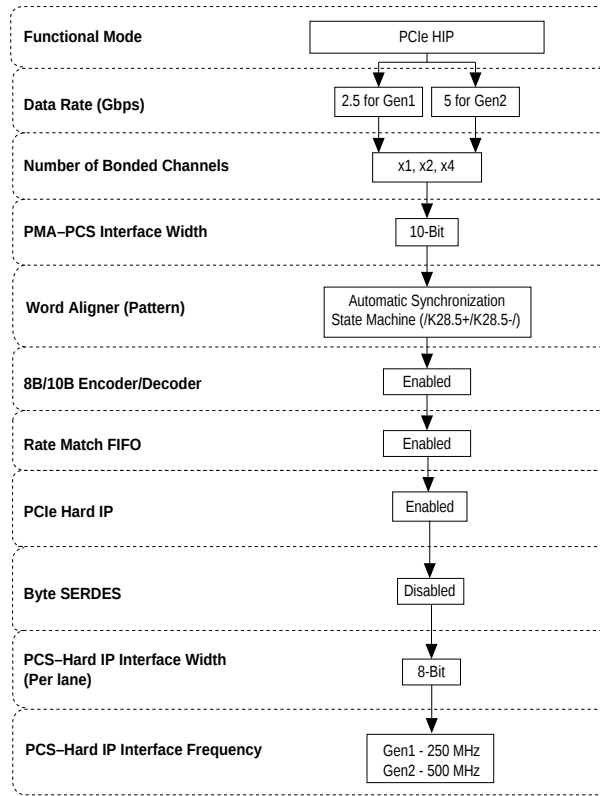


Cyclone V PCIe Hard IP 从内核逻辑中独立地进行操作，它允许在小于 100 ms 的 PCIe 链路中唤醒和完成链路训练，而 Cyclone V 器件对其余的器件完成加载编程文件。

另外，Cyclone V 器件 PCIe Hard IP 使用错误校正代码(ECC)已经改善了端对端(end-to-end)的数据通路保护。

PIPE收发器数据通路

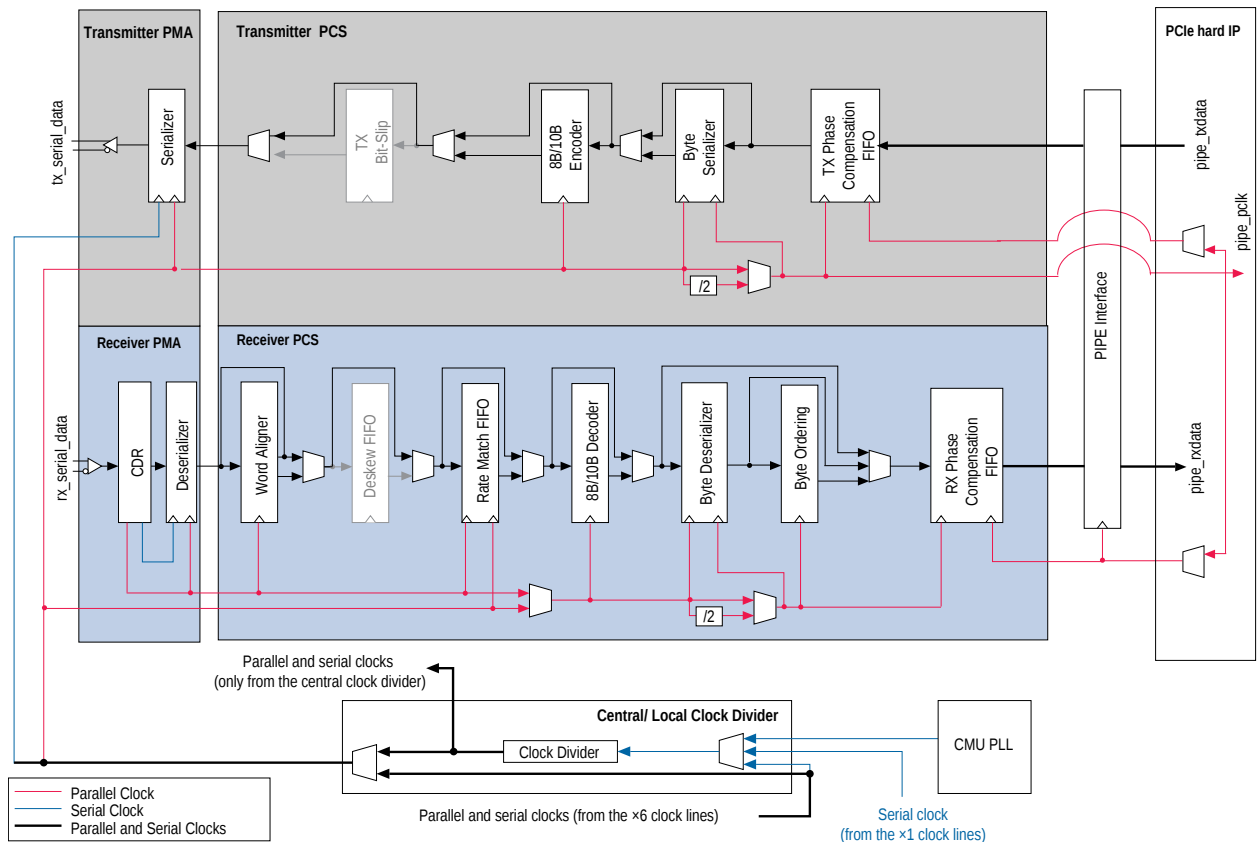
图4-2: PCIe Hard IP配置中的收发器



注意：使用PCIe HIP时，有关mgmt_clk_clk频率规范的信息，请参考Cyclone V器件手册。

收发器通道数据通路

图4-3: PIPE配置中的收发器通道数据通路



相关链接

- [Arria V 器件中的收发器体系结构](#)
- [Cyclone V 器件数据表](#)

PCIe支持的功能

2.5 Gbps (Gen1)和5 Gbps (Gen2)数据速率的PIPE配置支持这些功能:

- PCIe-兼容同步状态机
- x1和x4链路配置
- ± 300 百万分率(ppm)—总共600 ppm—时钟速率补偿
- 8-bit FPGA架构 - 收发器接口
- 16-bit FPGA架构 - 收发器接口
- 发送缓冲器电路空闲
- 接收器检测

- 发送兼容码型时的8B/10B编码器不均等性控制
- 电源状态管理(仅在电路空闲)
- 接收器状态编码

PIPE接口

在PIPE配置中，每个通道含有一个PIPE接口模块，在PHY-MAC层和收发器通道PCS和PMA模块之间传输数据、控制和状态信号。

注意：PIPE接口模块被用于PIPE配置，并且不能被旁路。

除了PHY-MAC层和收发器之间的传输数据、控制和状态信号之外，PIPE接口模块在PIPE-兼容物理层器件中实现以下需要的功能：

- 强制发送缓冲器处于电路空闲状态
- 启动接收器检测序列
- 当传输兼容码型时，控制8B/10B编码器不均等性
- 管理PIPE电源状态(仅在电路空闲)
- 表明各种PHY功能的完成，例如pipe_phystatus信号上的接收器检测和电源状态跳变
- 编码pipe_rxstatus[2:0]信号上的接收器状态和错误条件，符合PCIe规范指定的要求

发送器电路空闲生成

当电路空闲输入信号被置位时，PIPE接口模块将通道发送缓冲器布局在电路空闲状态。

电路空闲状态期间，发送缓冲器差分 and 共模配置输出电平兼容于PCIe Gen2数据速率的PCIe Base Specification 2.1。

PCIe规范要求特定的电源状态时发送缓冲器被设置为电路空闲。

电源状态管理

PCIe规范定义了四种电源状态：P0、P0s、P1和P2。

物理层器件必须支持这些电源状态，从而使功耗最小化：

- P0是封装数据在PCIe链路上被发送期间的常规操作状态。
- P0、P1和P2低电源状态，其中物理层必须按PHY-MAC层的指示跳变到此电源状态以使功耗最小化。

收发器中的PIPE接口对PIPE配置中所配置的收发器通道提供一个输入端口。

注意：从P0电源状态到低电源状态(P0s、P1和P2)进行跳变时，PCIe规范需要物理层器件来实现功耗节省措施。收发器不实现这些功耗节省措施，除了在较低的电源状态中将发送缓冲器设置在电路空闲状态以外。

兼容码型传输支持的8B/10B编码器的使用情况

当链路训练和状态机(LTSSM)输入一个轮询兼容(polling compliance)子状态时，PCIe发送器发送一个兼容码型。轮询兼容子状态评估发送器是否电气兼容于PCIe电压和时序规范。

接收器状态

PCIe规范要求PHY在3-bit状态信号(pipe_rxstatus[2:0])上对接收器状态进行编码。

状态信号由PHY-MAC层用于它的操作上。PIPE接口模块从收发器通道PCS和PMA模块中接收状态信号并且对转送到FPGA架构的信号pipe_rxstatus[2:0]的状态进行编码。

pipe_rxstatus[2:0]端口上的状态信号编码符合PCIe规范。

接收器检测

Cyclone V收发器中的PIPE接口模块对LTSSM状态机检测子状态期间的PCIe协议所要求的接收器检测操作提供了一个输入信号(pipe_txdetectrx_loopback)。

当pipe_txdetectrx_loopback信号在P1电源状态下置位时，PCIe接口模块发送一个命令信号到那个通道中的发送缓冲器，以启动接收器检测序列。在P1电源状态中，发送缓冲器必须始终处于电路空闲状态中。

接收这一命令信号后，接收器检测电路在发送缓冲器的输出上创建一个阶跃电压。如果远端有一个符合PCIe输入阻抗要求的有效接收器，那么走线上的阶跃电压时间常数比没有接收器时的高。接收器检测电路监控走线上侦测到的阶跃信号的时间常量，以决定是否检测到了一个接收器。接收器检测电路监控要求一个125-MHz时钟用于fixedclk端口上驱动的操作。

注意：要使接收器检测电路能够可靠地运行，串行链路上的AC耦合电容和系统使用的接收器匹配值必须符合PCIe Base Specification 2.1。

根据PIPE规范，PCI Express PHY (PIPE) IP内核提供一个1-bit PHY状态(pipe_phystatus)以及一个3-bit接收器状态信号(pipe_rxstatus[2:0])来表明是否检测到接收器。

时钟速率补偿高达±300 ppm

符合PCIe协议，接收器通道配备速率匹配FIFO，对上游发送器与本地接收器时钟之间高达±300ppm的小的时钟频率差异进行补偿。

相关链接

[Arria V器件中的收发器体系结构](#)

PCIe反向并行环回

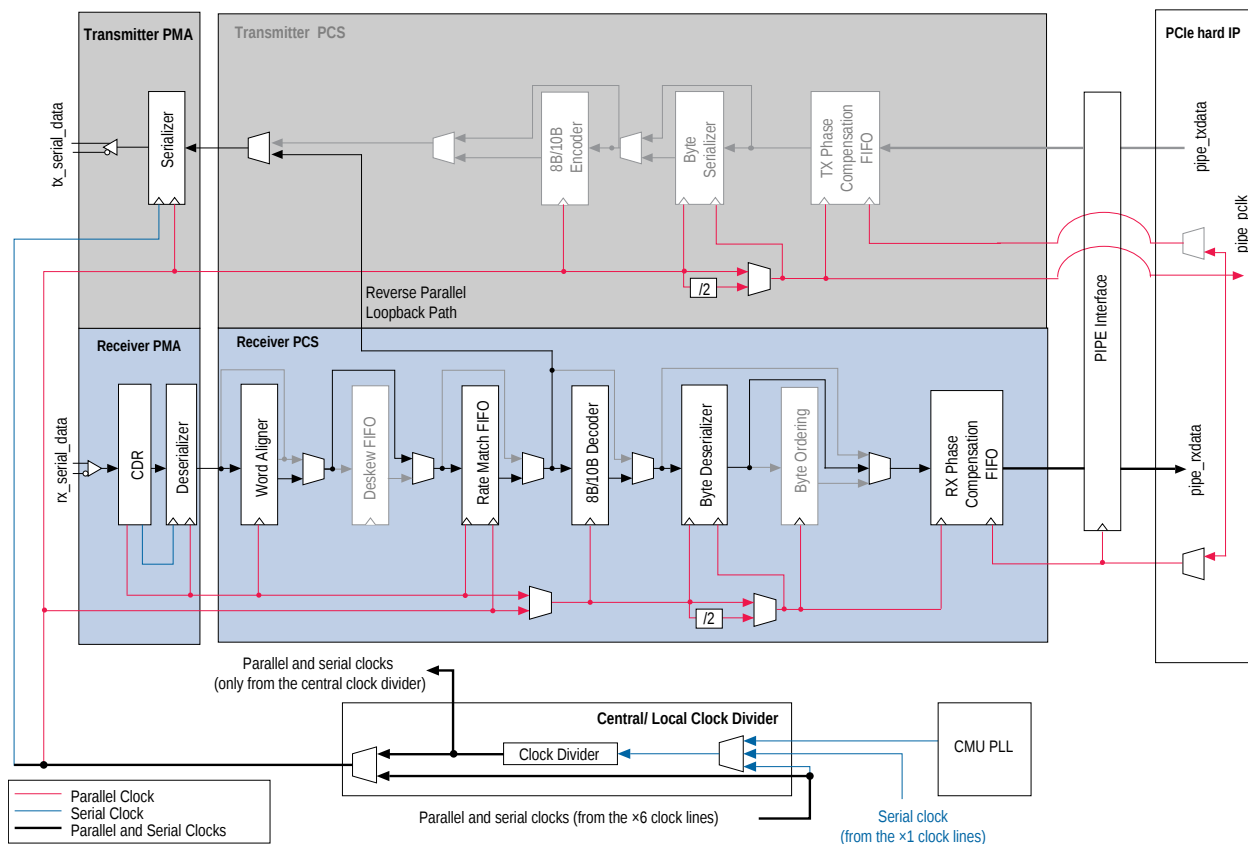
PCIe反向并行环回仅可用于Gen1数据速率的PCIe功能配置。接收到的串行数据将遍历接收器CDR、解串器、字对齐和速率匹配FIFO缓冲。然后被回送至发送串行器，并且通过发送缓冲器发送出去。接收到的数据通过端口也可用于FPGA架构。

PCIe反向并行环回模式符合PCIe specification 2.1。

Cyclone V器件提供pipe_txdetectrx_loopback输入信号来使能该回环模式。如果pipe_txdetectrx_loopback信号被置位在P1电源状态中，那么执行接收器检测。如果信号被置位在P0电源功耗中，那么执行反向并行环回。

注意：PCIe反向并行环回是PIPE配置支持的唯一一个环回选项。

图4-4: PIPE反向并行环回模式数据通路



PCIe支持的配置和布局指南

Quartus II软件的布局随着设计和器件的不同而不同。下表显示了收发器通道和PCIe Hard IP模块位置的实例，支持x1、x2和x4 bonding的配置，以及通道布局指南。Quartus II软件自动将CMU PLL放置在一个通道，其布局不同于数据通道。

注意：这一部分显示了在器件中单独地使用顶部和底部PCIe Hard IP模块时，所支持的PCIe通道的布局。

在下图中，蓝色阴影表示的通道提供了高速串行时钟。灰色阴影表示的通道是数据通道。

图4-5: 使用PCIe x2和x4通道布局的12个收发器通道和2个PCIe HIP模块

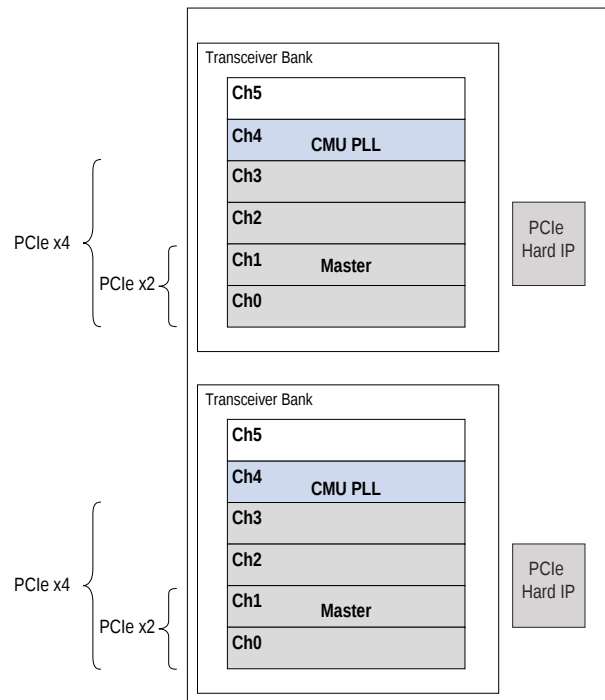


图4-6: 使用PCIe x1通道布局的12个收发器通道和2个PCIe HIP模块

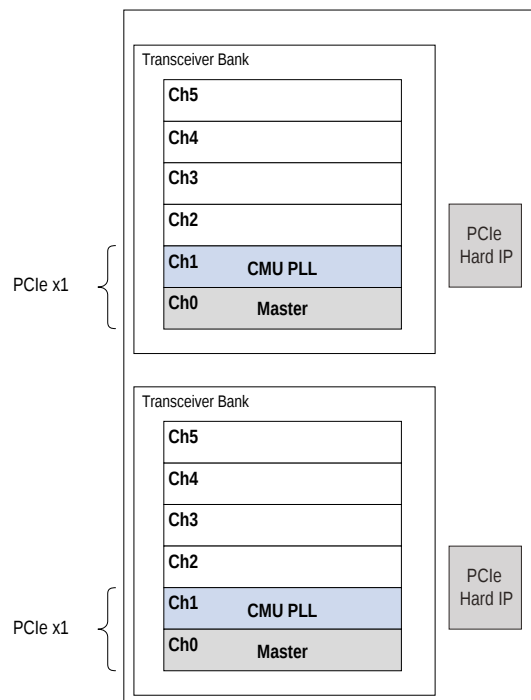


图4-7: 使用PCIe x2和x4通道布局的9个收发器通道和2个PCIe HIP模块

灰色表示的PCIe Hard IP模块不用于这个实例

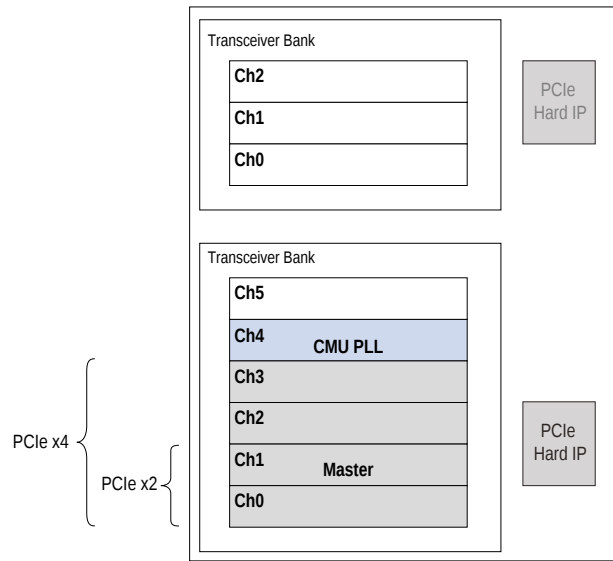


图4-8: 使用PCIe x1通道布局的9个收发器通道和2个PCIe HIP模块

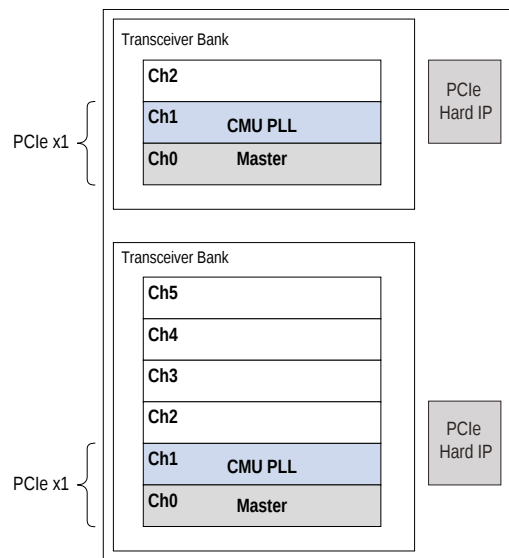


图4-9: 使用PCIe x2和x4通道布局的6个收发器通道和1个PCIe HIP模块

灰色表示的PCIe Hard IP模块不用于这个实例。

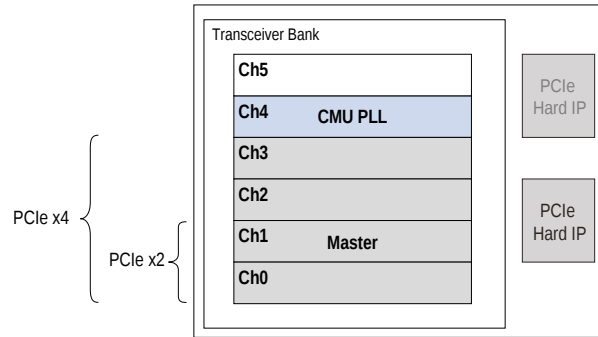


图4-10: 使用PCIe x1通道布局的6个收发器通道和2个PCIe HIP

灰色表示的PCIe Hard IP模块不用于这个实例。

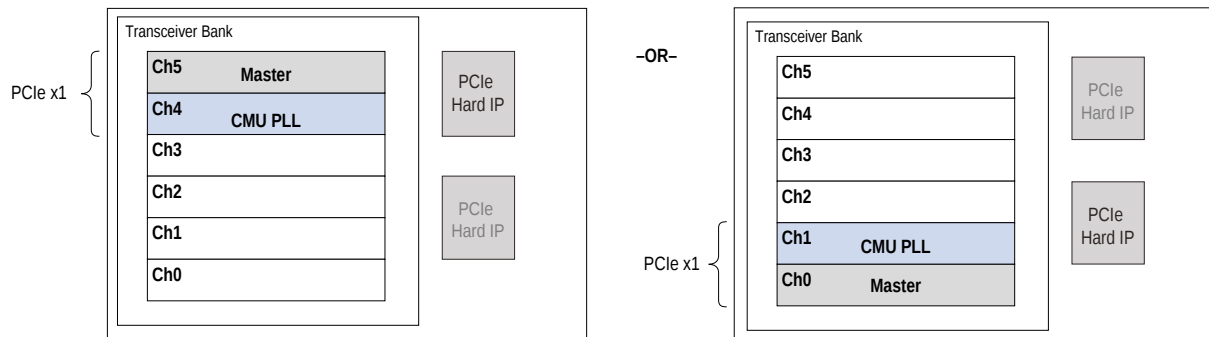
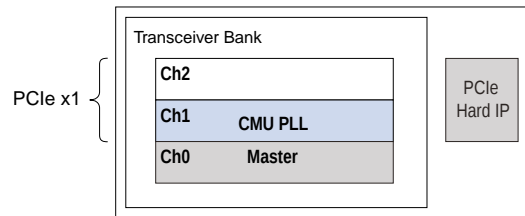


图4-11: 使用PCIe x1通道布局的3个收发器通道和1个PCIe HIP模块



对于PCIe Gen1和Gen2，如果想要使用器件中顶部和底部的Hard IP模块，那么在可实现的x1和x4 bonding配置上有限制。

表4-2: PCIe Hard IP配置

下表列出了在顶部和底部收发器bank上同时使用PCIe Hard IP模块时，每个Cyclone V器件中支持的配置。

顶部PCIe Hard IP	底部PCIe Hard IP	5CGXC4, 5CGXC5, 5CGTD5, 5CSXC5, 5CSTD5	5CGXC7, 5CGTD7, 5CSXC6, 5CSTD6	5CGXC9, 5CGTD9
Gen1 x1	Gen1 x1	Yes	Yes	Yes
	Gen1 x4	No	Yes	Yes
Gen1 x4	Gen1 x1	No	No	Yes
	Gen1 x4	No	No	Yes

下表列出了可被使能用于确保通道满足PCIe Gen2发送抖动规范的数据通道的最大数量。通过Cyclone V GT或者Cyclone V ST器件系列来规划PCIe Gen2的通道布局时，可按照这些建议。

表4-3: PCIe Gen2所建议的通道布局

CMU通道不计为数据通道。

器件	最大化通道利用率
5CGTD7F672, 5CGTD7F896, 5CGTD9F672, 5CSTD5F896, 5CSTD6F896	6
5CGTD9F896, 5CGTD9F1152	8

相关链接

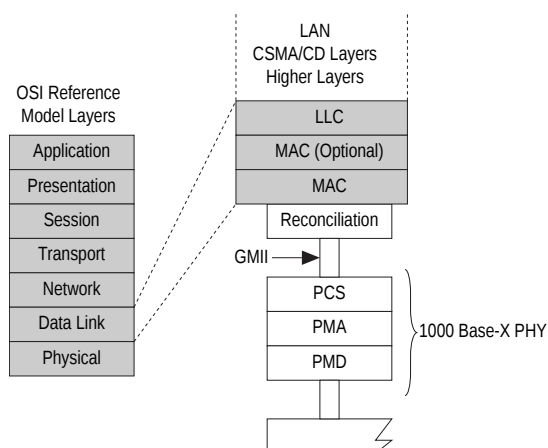
[Cyclone V器件中的收发器体系结构](#)

千兆以太网

IEEE 802.3规格定义1000BASE-X PHY为千兆以太网(GbE)系统中连接各种物理介质和MAC的一个中间或过渡子层，从特定的底层介质的性质中屏蔽MAC层。1000BASE-X PHY被分成PCS、PMA和PMD三个子层。

PCS子层通过千兆位介质独立接口(GMII)连接MAC。1000BASE-X PHY定义了1 Gbps和2.5 Gbps的物理接口数据速率。

图4-12: GbE OSI参考模型中的1000 Base-X PHY

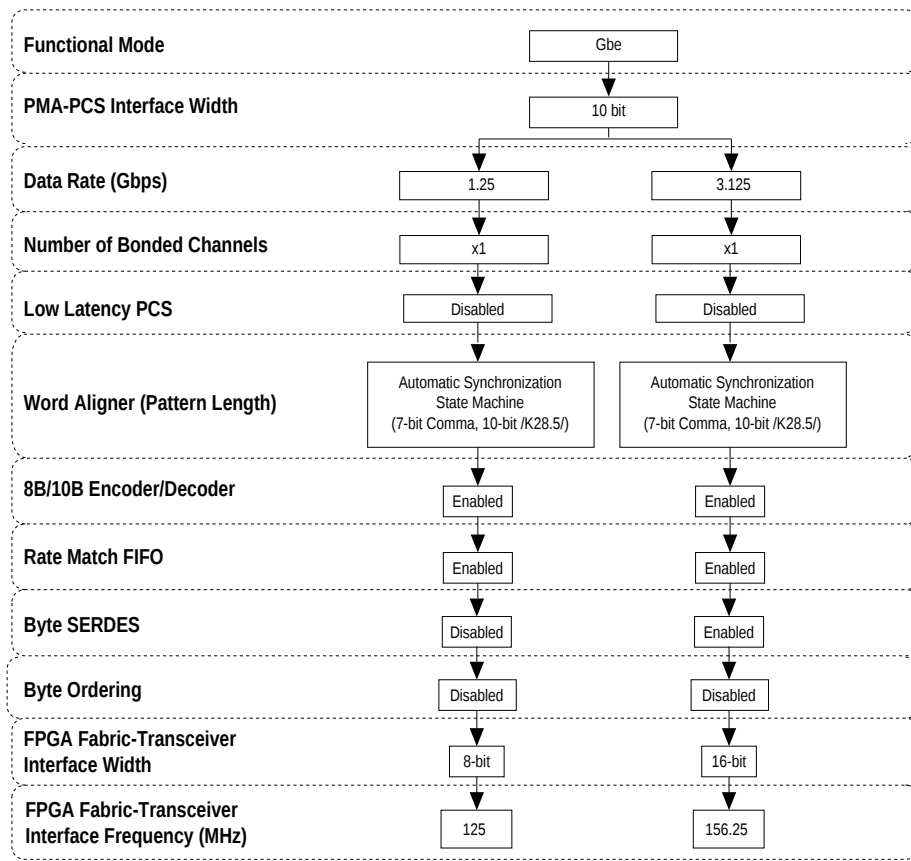


该收发器在GbE功能模式中配置时，具有内置电路来支持以下PCS和PMA功能，如IEEE 802.3规范中所定义的：

- 8B/10B编码与解码
- 同步
- 上游发送器与本地接收器时钟频率补偿(速率匹配)
- 从接收器PMD转发的编码数据进行时钟的恢复
- 串化和解串

注意：对于其它的PCS功能，收发器没有提供内置的支持，例如：自动协商状态机、碰撞检测以及载波检测等。如果需要这些功能，在FPGA架构或外部电路中可以实现它们。

图4-13: GbE配置中的收发器模块



千兆以太网收发器数据通路

图4-14: GbE-1.25 Gbps配置中收发器数据通路

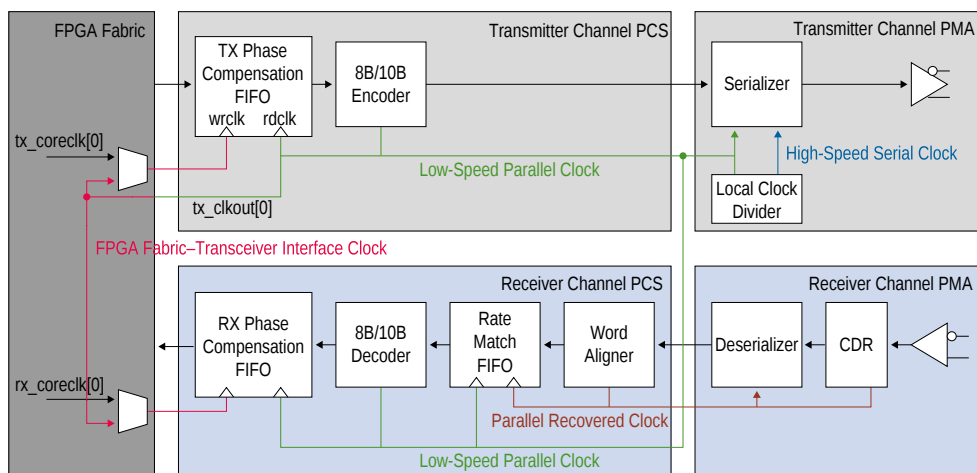


图4-15: GbE-3.125 Gbps配置中收发器数据通路

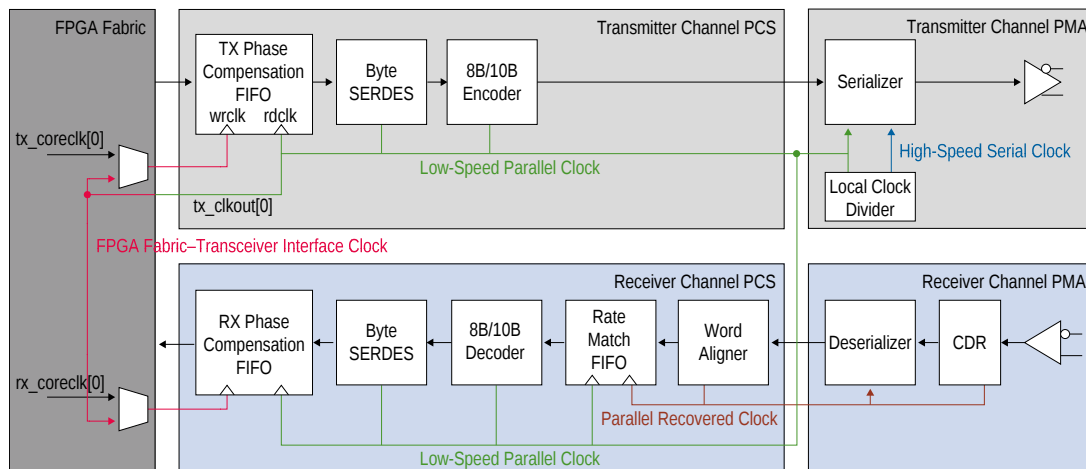


表4-4: GbE配置中收发器数据通路时钟频率

功能模式	数据速率	高速串行时钟频率	并行恢复时钟和低速并行时钟频率	FPGA内核-逻辑收发器接口时钟频率
GbE-1.25 Gbps	1.25 Gbps	625 MHz	125 MHz	125 MHz
GbE-3.125 Gbps	3.125 Gbps	1562.5 MHz	312.5 MHz	156.25 MHz

8B/10B编码器

在GbE配置中8B/10B编码器每个时钟输入一个8-bit的数据和1-bit的来自发送器相位补偿FIFO的数据，产生一个10-bit的编码数据。10-bit 编码的数据供给串行器。

要了解关于8B/10B编码器功能性的详细信息，请参考[Cyclone V器件的收发器体系结构](#) 章节。

速率匹配FIFO

在GbE配置中，速率匹配FIFO能够对上游发送器与本地接收器参考时钟之间高达 ± 100 ppm (总共 200 ppm) 的差异进行补偿。GbE协议要求发送器在数据包间隔期间发送空闲有序集(/I1/(/K28.5/D5.6/) 和 /I2/(/K28.5/D16.2/))，并符合IEEE P802.3规范中列出的各项准则。

字对齐器中的同步状态机驱动 `rx_syncstatus` 信号为高电平指示已获得同步之后，开始速率匹配操作。速率匹配器总是删除或插入 /I2/ 有序集的两个符号 (/K28.5/ 和 /D16.2/)，即使仅需要删除一个符号来防止速率匹配FIFO上溢或下溢。速率匹配器能够插入或删除必要数量的 /I2/ 有序集，以执行速率匹配操作。

两个标志被转送至FPGA架构：

- `rx_rmifodatadeleted` - 对于每个删除的 /I2/ 有序集置位两个时钟周期来表明速率匹配FIFO的删除事件
- `rx_rmifodatainserted` - 对于每个插入的 /I2/ 有序集置位两个时钟周期来表明速率匹配FIFO的插入事件

要了解关于速率匹配FIFO的详细信息，请参考Cyclone V器件的收发器体系结构 章节。

GbE协议-有序集和特殊代码组

表4-5: GIGE有序集

下面的有序集和特殊代码组在IEEE 802.3-2008规范中指定。

代码	有序集	代码组的数量	编码
/C/	配置(Configuration)	—	交互/C1/和/C2/
/C1/	配置1	4	/K28.5/D21.5/ Config_Reg ⁽³⁾
/C2/	配置2	4	/K28.5/D2.2/ Config_Reg
/I/	IDLE	—	连接 /I1/, 保持 /I2/
/I1/	IDLE 1	2	/K28.5/D5.6/
/I2/	IDLE 2	2	/K28.5/D16.2/
-	封料	—	—
/R/	Carrier_Extend	1	/K23.7/
/S/	Start_of_Packet	1	/K27.7/
/T/	End_of_Packet	1	/K29.7/
/V/	Error_Propagation	1	/K30.7/

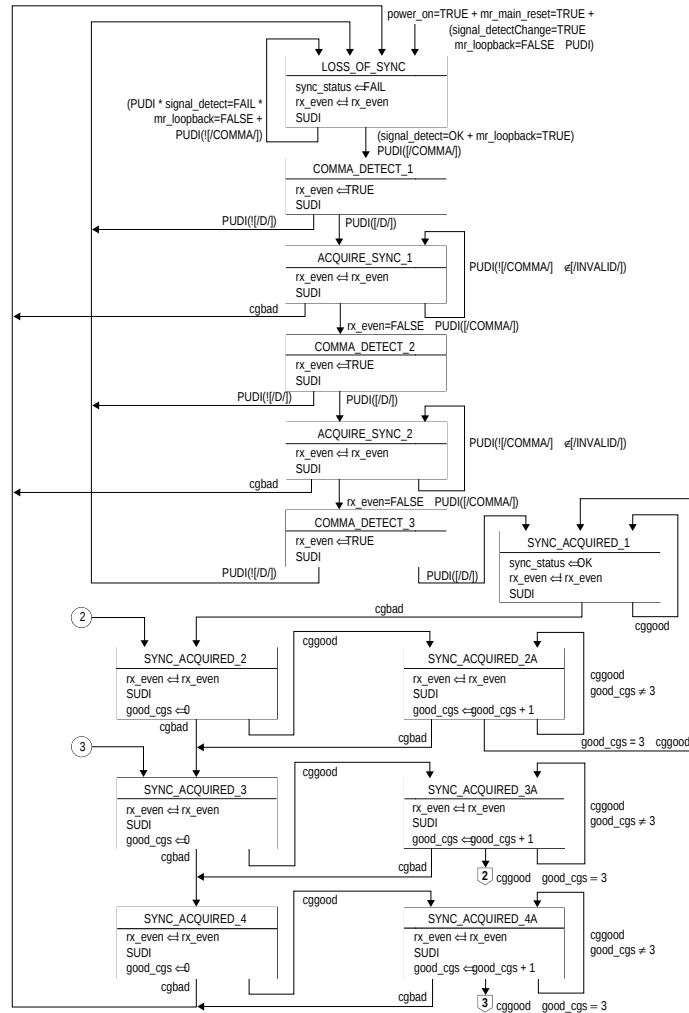
表4-6: GbE模式中的同步状态机参数

同步状态机参数	设置
所接收到的用于实现同步的有效{/K28.5/, /Dx,y/}有序集的数量	3
判断丢失同步的接收的错误数量	4
用于减少接收一次错误计数的连续接收良好代码组的数量	4

⁽³⁾ 两个数据代码组表示Config_Reg值。

图4-16: GbE模式中的同步状态机

该图是IEEE 802.3-2008规范中的“图36 - 9”。要了解关于1000BASE-X实现的详细信息，请参考IEEE 802.3-2008规范的36条。



相关链接

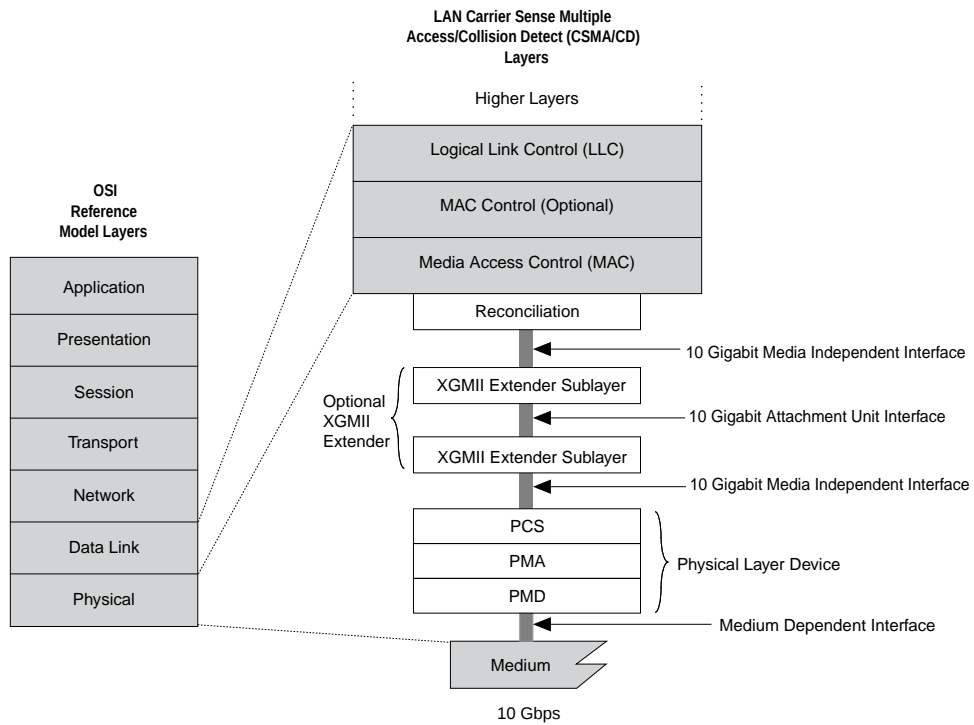
请参考 [Altera Transceiver PHY IP Core User Guide](#) 中的 "Custom PHY IP Core" 和 "Native PHY IP Core" 章节

XAUI

在XAUI配置中，收发器通道数据路径使用soft PCS进行配置。它提供收发器通道数据通路的描述、时钟和通道布局指南。通过MegaWizard Plug-In Manager，可以实现一个XAUI链路。在Interfaces菜单的Ethernet下，选择XAUI PHY IP core。XAUI PHY IP core在软核逻辑中实现XAUI PCS。

XAUI是IEEE 802.3ae-2002规范中一个特定的10 Gigabit Ethernet链路的物理层实现。XAUI PHY使用XGMII接口来连接IEEE802.3 MAC和Reconciliation Sublayer (RS)。IEEE 802.3ae-2002规范要求XAUI PHY链路来支持XGMII接口上的10 Gbps数据速率和PMD接口上每个3.125 Gbps的4个通道。

图4-17: XAUI和XGMII层



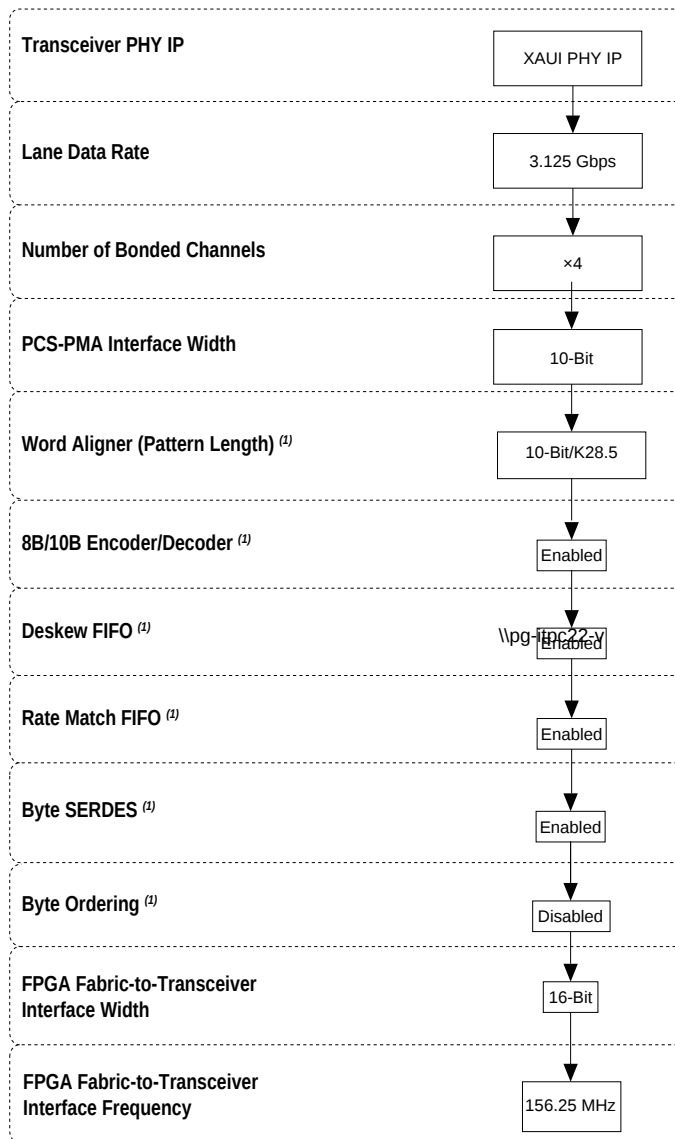
相关链接

请参考[Altera Transceiver PHY IP Core User Guide](#)中的"XAUI PHY IP Core"章节。

XAUI配置中的收发器数据通路

使用XAUI PHY IP core时，XAUI PCS在FPGA核内部的软核逻辑中实现。必须确保通道布局与soft PCS实现相兼容。

图4-18: XAUI配置数据通道

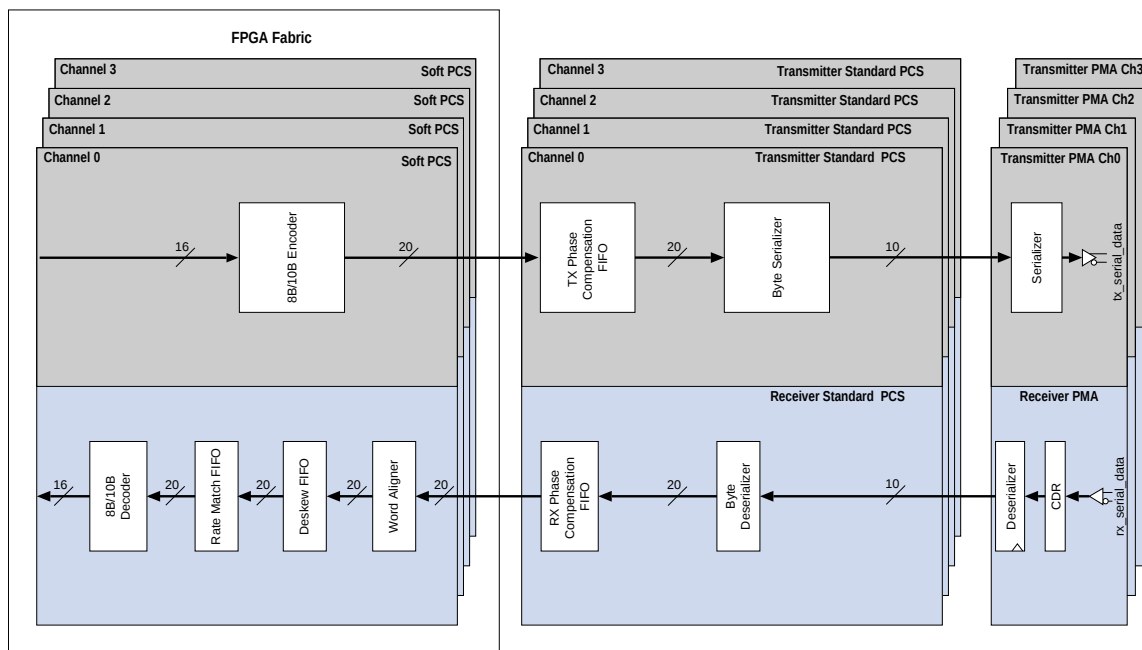


注意:

1. 在软核逻辑中实现。

图4-19: XAUI配置的收发器数据通路

采用低延时配置的标准PCS用于这个配置中。除此之外，PCS的一部分在软核逻辑中实现。



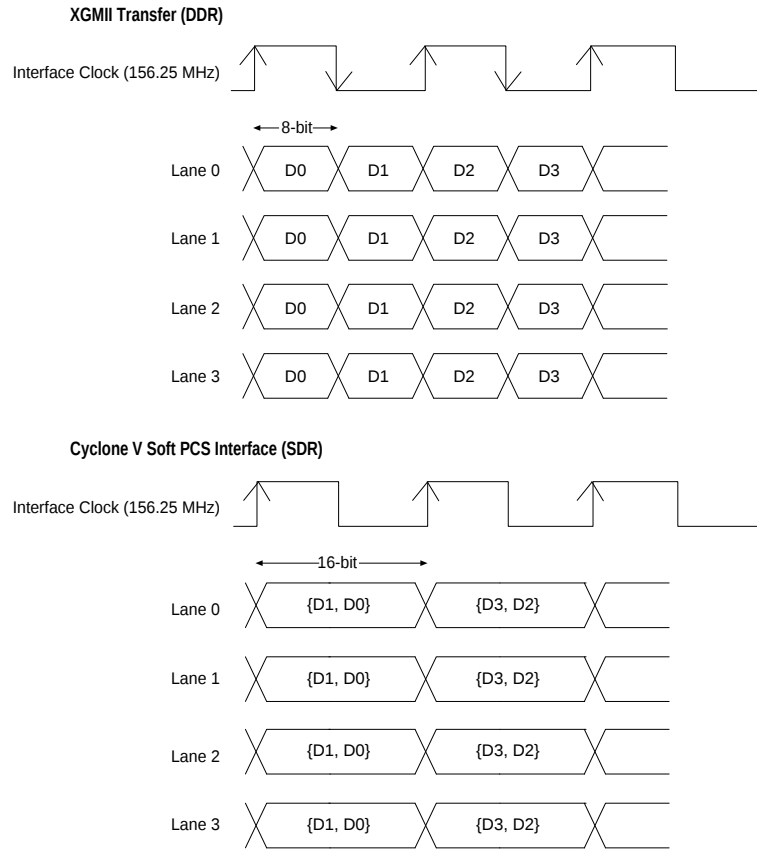
XAUI支持的功能

64-Bit SDR连接MAC/RS

IEEE 802.3-2008规范的第46条定义了XAUI PCS和Ethernet MAC/RS之间的XGMII接口。这个规范要求每四个XAUI通道在156.25 MHz接口时钟的上升沿和下降沿(DDR)上传输8-bit数据和1-bit宽度控制代码。

Cyclone V收发器和XAUI配置中的soft PCS解决方案不支持XGMII连接到如IEEE 802.3-2008规范所定义的MAC/RS。反之，它们支持在每四个XAUI通道上传输16-bit数据和2-bit控制代码，只有156.25 MHz的上升沿(SDR)连接时钟。

图4-20: 在Cyclone V器件配置中实现XGMII规范



8B/10B编码/解码

如IEEE802.3-2008的第48条所指定，XAUI配置中的每四个通道支持一个独立的8B/10B编码器/解码器。8B/10B编码限制了串行数据流中连续1或者0的最大数量为5，从而确保了DC平衡以及对接收器CDR足够的跳变，最终保持对输入数据的锁定。

XAUI PHY IP内核提供状态信号来表明运行不均等性以及8B/10B代码组错误。

发送器与接收器状态机

在XAUI配置中，Cyclone V soft PCS实现了IEEE802.3-2008规范的图48-6和图48-9所显示的发送器和接收器状态图。

除了编码XGMII数据到PCS代码组以外，按照10GBASE-X PCS，发送器状态图执行功能，例如，将空闲||I||有序集转换成Sync ||K||、Align ||A||和Skip ||R||有序集。

除了解码PCS代码组到XGMII数据以外，按照10GBASE-X PCS，接收器状态图执行功能，例如，将Sync ||K||、Align ||A||和||R||有序集转换成空闲||I||有序集。

同步

每四个XAUI通道的接收器PCS中的字对齐模块实现接收器同步状态图，如IEEE802.3-2008规范的图48-7所显示的。

XAUI PHY IP内核每个通道提供一个状态信号来表明字对齐器是否被同步到一个有效的字边界。

偏移校正

接收器PCS中的通道对齐器模块实现接收器偏移校正状态图，如IEEE 802.3-2008规范的图48-8所显示的。

只有在每四个XAUI通道中的字对齐器模块表明对一个有效的字边界成功的同步后，通道对齐器才能开始偏移校正过程。

XAUI PHY IP内核提供一个状态信号以表明接在收器PCS中成功的通道偏移校正。

时钟速率补偿

接收器PCS数据通道中的时钟速率FIFO对远程发送器与本地接收器之间高达 ± 100 ppm的差异进行补偿。根据ppm的差异，通过插入或删除Skip ||R||列来完成它。

完成下面操作后，时钟补偿操作开始：

- 所有四个XAUI通道中的字对齐器表明成功地同步到一个有效的字边界。
- 通道对齐器表明通道偏移校准成功。

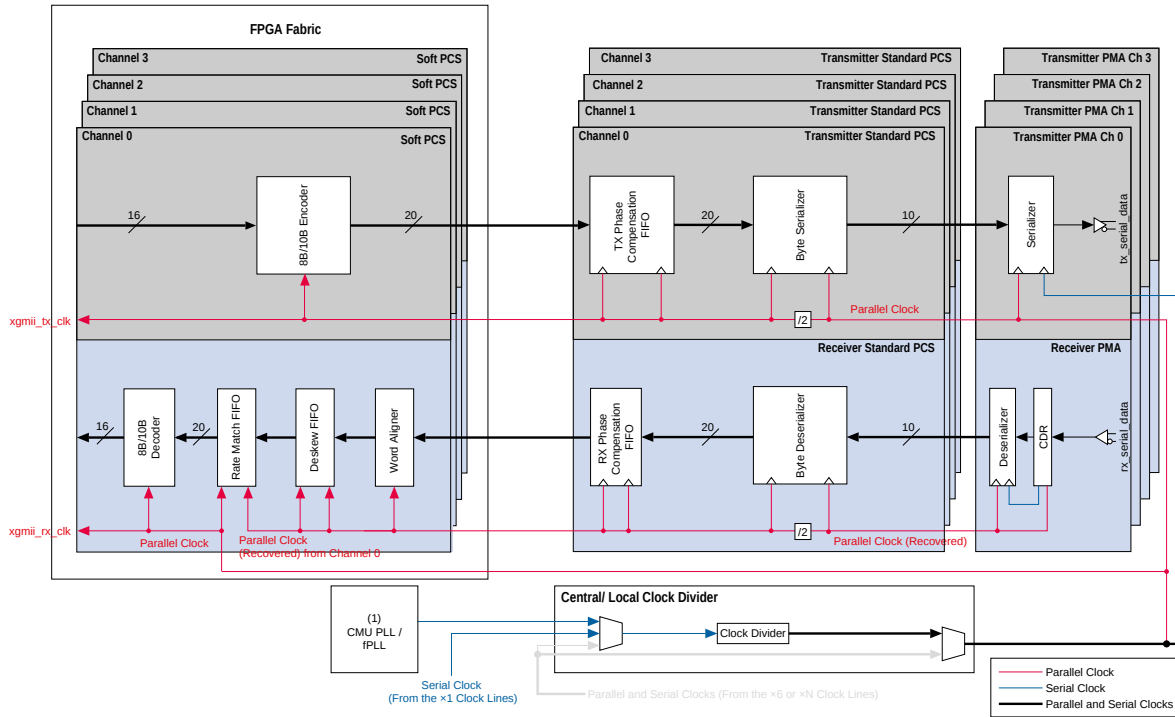
速率匹配FIFO提供状态信号来表明时钟速率补偿的Skip ||R||列的插入和删除。

XAUI配置中的收发器时钟和通道布局指南

收发器时钟

图4-21: XAUI配置的收发器时钟

两个通道PLL的其中一个在收发器bank中配置成一个CMU PLL，生成用于四个XAUI通道的发送器串行和并行时钟。x6时钟线将发送器时钟发送到四个通道的每个PMA和PCS上。



注意：
1. iPLL或者CMU PLL可被用作Cyclone V器件中XAUI支持的发送PLL。将iPLL用作TX PLL用于XAUI时，请注意通道布局指南。

表4-7: 输入参考时钟频率和XAUI配置的接口速率规范

输入参考时钟频率 (MHz)	FPGA架构收发器接口宽度	FPGA内核逻辑收发器接口频率(MHz)
156.25	16-bit数据, 2-bit控制	156.25

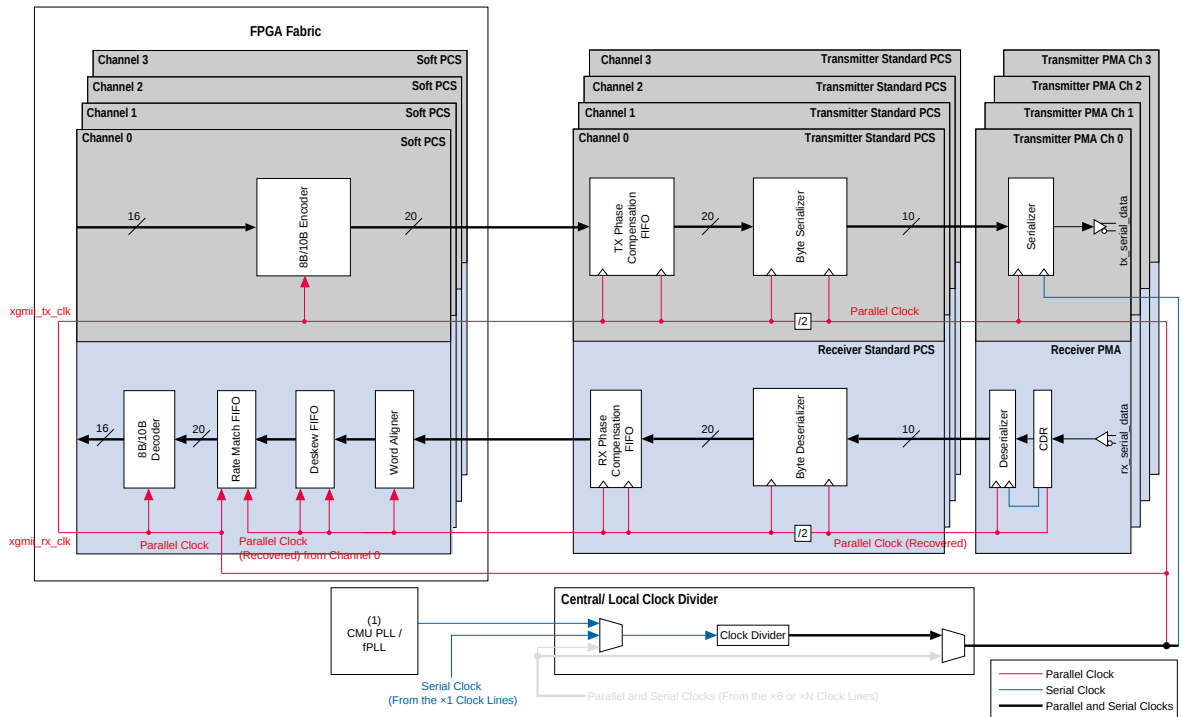
Soft PCS实现的收发器时钟指南

在XAUI配置的soft PCS实现中，必须将xgmii_rx_clk布线到xgmii_tx_clk，如下图所示。

这一方法使用xgmii_rx_clk对TX侧上的相位差异进行补偿。

如果不使用这一方法，tx_digitalreset信号可能遭遇间歇的失败。

图4-22: XAUI Soft PCS实现的收发器时钟



注意:
1. fPLL或者CMU PLL可被用作Cyclone V器件中XAUI支持的发送PLL。将fPLL用作TX PLL用于XAUI时, 请注意通道布局指南。

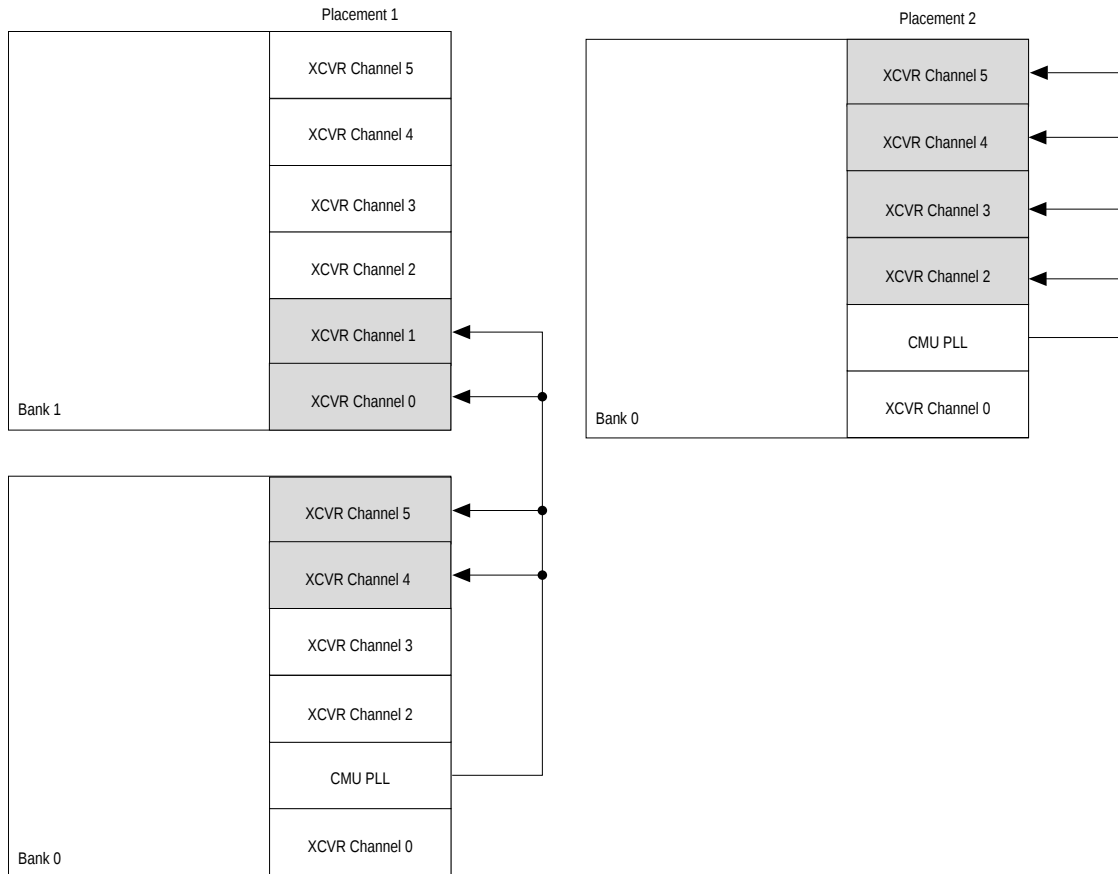
收发器通道布局指南

在XAUI配置的soft PCS实现中, 4个通道必须连续的进行布局。该通道可能被布局在一个bank或者可能跨越两个bank。仅允许下图中所显示的布局。

当fPLL用作TX PLL时, XAUI配置的soft PCS实现具有通道布局限制。对于bonded x4配置, 通道必须是连续的, 而Ch1或者Ch4必须被选择作为逻辑通道0, 如下图布局2所显示。

图4-23: XAUI配置中的收发器通道布局指南

当使用CMU PLL来驱动XAUI链接时，使用两个所允许的通道布局中的一个。Quartus II软件在软核逻辑中实现XAUI PCS。



相关链接

要使用 **Assignment Editor** 实现 QSF 分配解决方案，请参考 **Altera Transceiver PHY IP Core User Guide** 中的 "XAUI PHY IP Core" 章节。

串行数字接口

电影与电视工程师协会(SMPTE)为传输未压缩的视频定义了各种串行数字接口(SDI)标准。

以下的SMPTE标准广泛地应用在视频广播中：

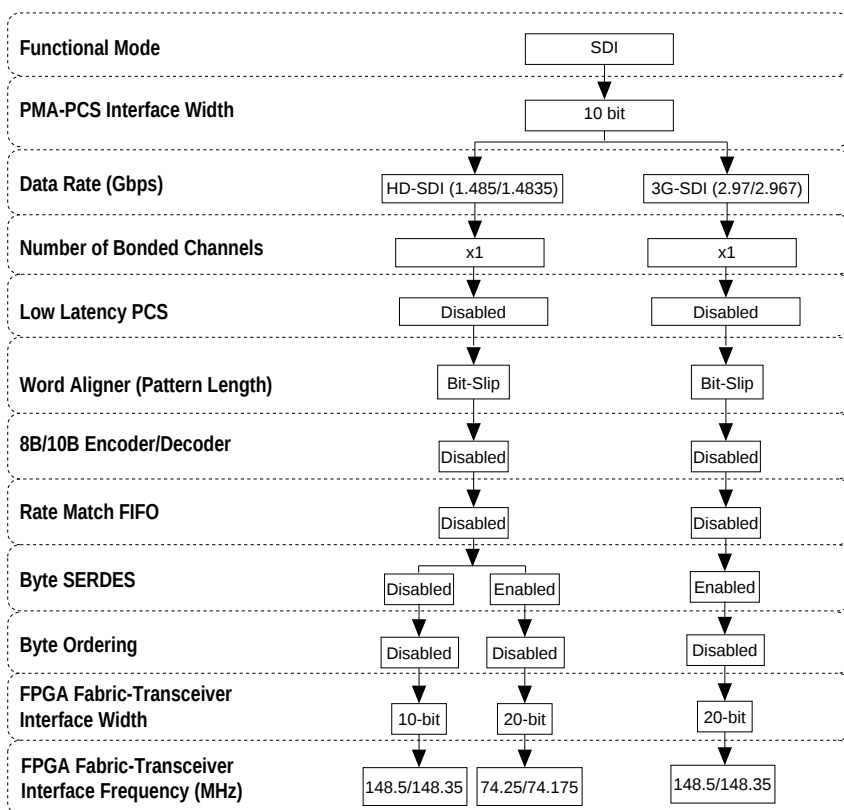
- SMPTE 259M标准 - 通常称为标准清晰度(SD) SDI; 定义以270 Mbps速率传输视频数据
- SMPTE 292M标准 - 通常称为高清晰(HD) SDI; 定义以1485 Mbps或1483.5 Mbps速率传输视频数据
- SMPTE 424M标准 - 通常称为第三代(3G) SDI; 定义以2970 Mbps或2967 Mbps速率传输视频数据

SDI模式下支持的配置

表4-8: SDI模式下支持的配置

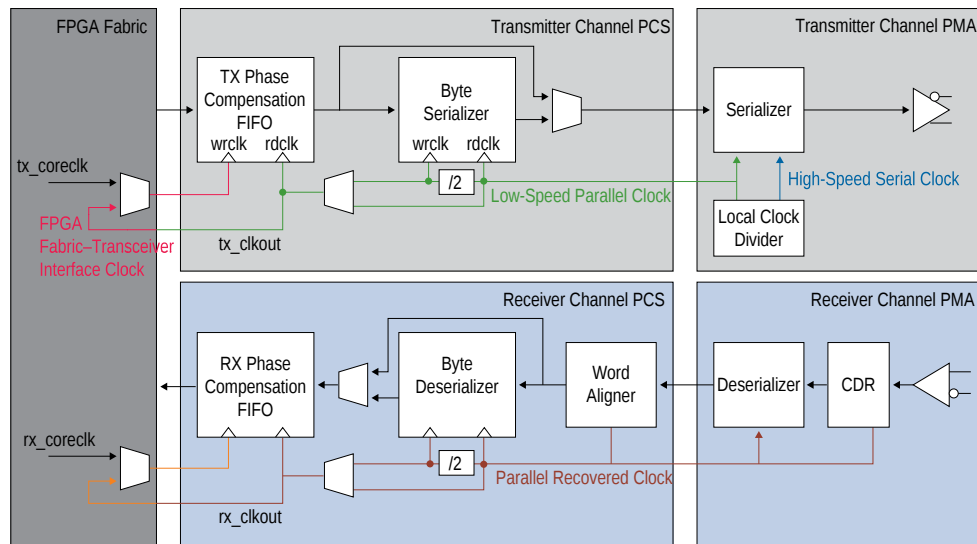
配置	数据速率 (Mbps)	REFCLK频率 (MHz)	FPGA架构收发器接口宽度
HD	1,485	74.25, 148.5	10 bit和20 bit
	1,483.5	74.175, 148.35	10 bit和20 bit
3G	2,970	148.5, 297	仅20-bit接口可以配置3G
	2,967	148.35, 296.7	仅20-bit接口可以配置3G

图4-24: SDI 模式



串行数字接口收发器数据通路

图4-25: SDI模式收发器数据通路



发送器数据通路

具有10-bit宽的FPGA架构收发器接口的HD-SDI配置中的发送器数据通路由发送器相位补偿FIFO和10:1串行器组成。在具有20-bit宽FPGA架构收发器接口的HD-SDI和3G-SDI配置中，发送器数据通路也包括字节串行器。

注意：在SDI模式下，发送器就是一个并行到串行的转换器。必须实现SDI发送器功能，例如：加扰和循环冗余校验(CRC)代码生成，都必须在FPGA逻辑阵列中实现。

接收器数据通路

在10-bit通道宽度SDI配置中，接收器数据通路由时钟恢复单元(CRU)、1:10解串器、bit-slip模式中的字对齐器以及接收器相位补偿FIFO组成。在20-bit通道宽度SDI配置中，接收器数据通路也包括字节解串器。

注意：必须实现SDI接收器功能，例如：解扰、图像定位以及CRC检查器，都必须在FPGA逻辑阵列中实现。

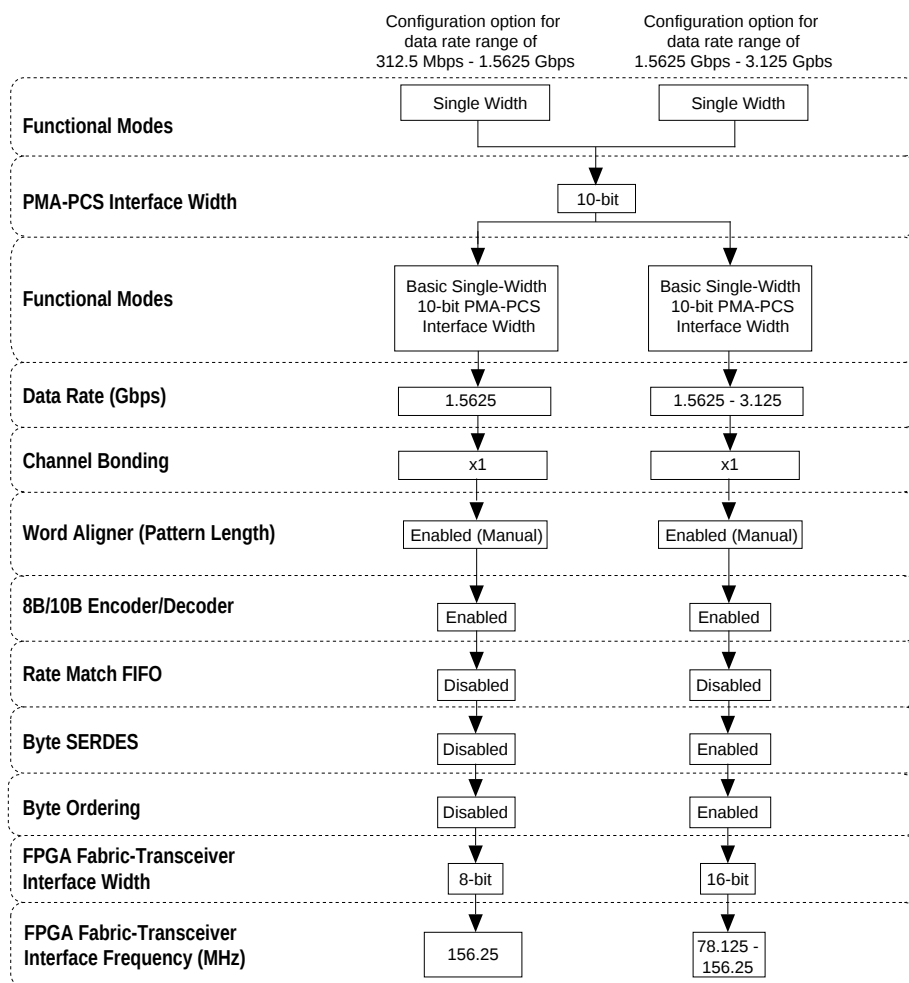
接收器字对齐和定帧

在SDI系统中，接收器数据通路中的字对齐器是没有用的，因为在解扰才发生字对齐和图像定位。Altera建议将PHY MegaWizard™的rx_bitslip信号驱动到低电平以避免字对齐器在已接收的数据流中插入bit。

串行数据转换器(SDC) JESD204

SDC (JESD204)协议符合JESD204，JEDEC标准只使用一个双线高速串行接口使能模拟到数字转换器 and 逻辑器件之间的一个高速串行连接。支持312.5 Mbps至3.125 Gbps的SDC (JESD204)数据速率范围。支持的最小数据范围是611 Mbps，因此，5x过采样因子用于312.5 Mbps的SDC (JESD204)数据速率，导致1.5625 Gbps的数据速率。

图4-26: SDC (JESD204)协议的配置



SATA和SAS协议

Serial ATA (SATA)和Serial Attached SCSI (SAS)是主系统和大容量器件之间具有主功能的发送数据(直接或间接)的数据存储协议标准，例如硬盘驱动器，光盘驱动器和固态硬盘。

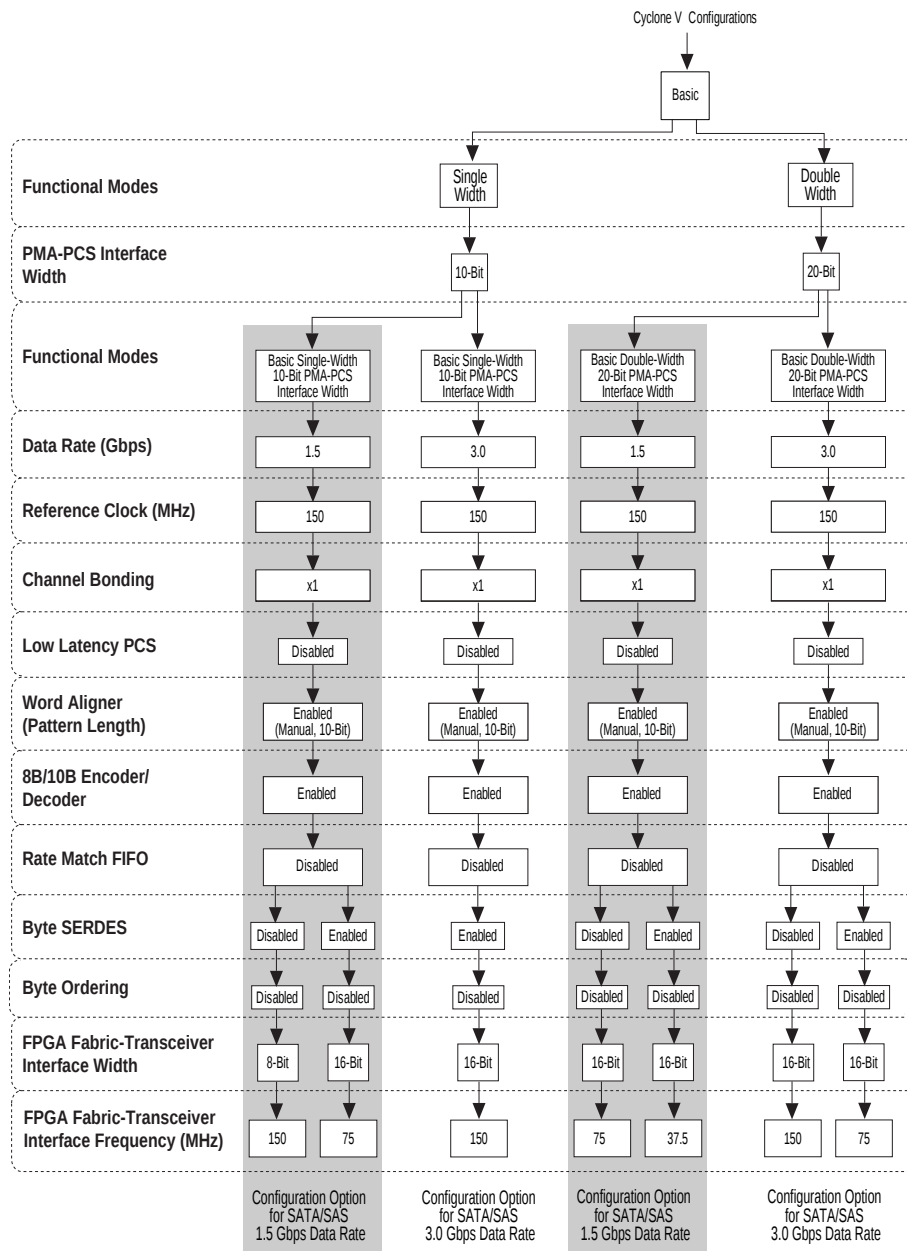
与早期的并行存储协议(ATA和SCSI)接口相比，这些串行存储协议具有以下优点：

- 更快的数据传输
- 热交换(操作系统支持时)
- 更细的电缆以提高冷却效果
- 提高了操作的可靠性

表4-9: SATA与SAS协议的串行数据速率

协议	SATA (Gbps)	SAS (Gbps)
Gen1	1.5	3.0
Gen2	3.0	—

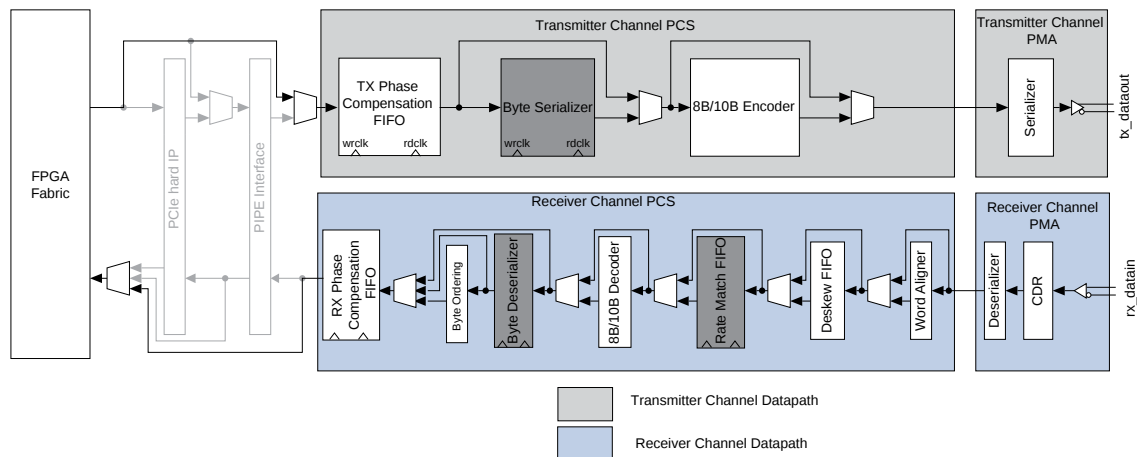
图4-27: SATA与SAS协议的配置



确定性延迟协议—CPRI和OBSAI

一个确定性延迟选项可在高速串行接口，例如通用公共无线接口 (CPRI)和OBSAI参考点 3 (OBSAI RP3)中使用。CPRI和OBSAI RP3协议布局在延迟变化的数量上严格要求，它允许通过一个链接来实现这些协议。

图4-28: 确定性延迟模式下的收发器数据通路



在寄存器模式下去除了相位补偿FIFO导致的延时不确定性

要删除通过接收器的相位补偿FIFO的延迟不确定性，接收器和发送器相位补偿FIFO始终设成寄存器模式。在寄存器模式下，相位补偿FIFO作为寄存器使用，从而移除了延迟中的不确定性。在寄存器模式下，通过发送器和接收器相位补偿FIFO的延迟是一个时钟周期。

可用以下选项：

- 使能8B/10B编码器的8-bit通道宽度的单宽度模式或者不使能8B/10B编码器的10-bit单宽度模式。
- 使能8B/10B编码器的16-bit通道宽度的双宽度模式或者不使能8B/10B编码器的20-bit双宽度模式。

确定性关系的通道PLL反馈

要实现确定性延迟功能模式，低速并行时钟和通道PLL输入参考时钟之间的相位关系必须是确定的。反馈路径能够确保低速并行时钟和通道PLL输入参考时钟之间的确定关系。

要通过收发器实现确定性延迟，通道PLL的参考时钟必须与低速并行时钟相同。例如，如果需要对CPRI协议实现1.2288 Gbps的数据速率，它在延迟变化的数量上的布局要求严格，必须选择参考时钟122.88 MHz，使得通道PLL中的反馈路径可以使用。该反馈路径减少了延迟的变化。

当使能反馈路径时，必须提供一个输入参考时钟到CMU PLL，这个CMU PLL与低速并行时钟具有相同的频率。

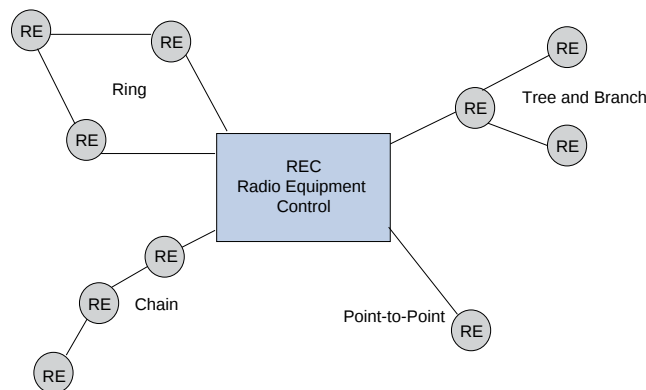
CPRI和OBSAI

使用确定性延迟功能模式来实现协议，例如，CPRI和OBSAI。

CPRI接口对无线设备控制中心(REC)和无线设备(RE)之间的一个数字的点到点接口进行了定义，支持位于同一地点的REC和RE，或者远程位置RE。

图4-29: CPRI拓扑

多数情况下，CPRI链路在链配置中处于REC和RE模块或者两个RE模块之间。



如果离开REC的高速串行数据的目的地是第一个RE，那么它是一个单跳连接。如果REC的串行数据在到达目的地RE之前必须游历多个RE，那么它是一个多跳连接。

远程地定位主基站中的RF收发器引入了整体的系统延时的复杂性。CPRI规范要求单跳和多跳连接上双向延迟的测量的准确性在 ± 16.276 ns之内，以正确地估计电缆延迟。

对于单跳(single-hop)系统，在双向延迟中允许高达 ± 16.276 ns的变化。不过，对于多跳(multi-hop)系统，所允许的延迟变化除以连接中的跳数—通常情况下，等于 ± 16.276 ns/(跳数)，但并不总是均分跳数。

CPRI链接上的确定性延迟还使能了调用程序位置的高度准确的三角测量。

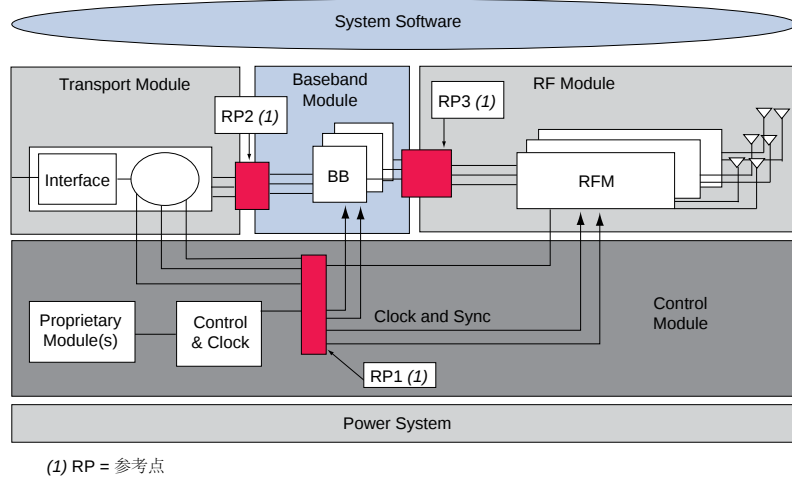
OBSAI由几个OEM建立以开发一套可用于配置和连接通用模块到基站收发器(BTS)的规范。

BTS有四种主要的模型：

- 射频(RF)
- 基带
- 控制
- 传送

在典型的BTS中，射频模块(RFM)使用便携式器件接收信号，并将信号转换成数字数据。基带模型处理所编码的信号，并且在使用传送模块发送到地面网络之前将其转换到基带。一个控制模型维持这三种功能之间的协调。

图4-30: OBSAI BTS体系结构的实例



使用确定性延迟选项，可以在以下模式中实现CPRI数据速率：

- 单宽模式—具有8/10-bit通道宽度
- 双宽模式—具有16/20-bit通道宽度

表4-10: 所支持的串行数据速率的通道宽度选项的实例

串行数据速率(Mbps)	通道宽度(FPGA-PCS架构)			
	单宽		双宽	
	8-Bit	16-Bit	16-Bit	32-Bit
614.4	Yes	Yes	No	No
1228.8	Yes	Yes	Yes	Yes
2457.6	No	Yes	Yes	Yes
3072	No	Yes	Yes	Yes
4915.2	No	No	No	Yes
6144 ⁽⁴⁾	No	No	No	Yes

Cyclone V GT器件中的6.144-Gbps支持功能

Cyclone V GT器件仅支持CPRI协议的6.144 Gbps数据速率。对于CPRI 6.144-Gbps发送抖动兼容，Altera建议对每两个收发器bank最多使用三个全双工通道。收发器以bank分组，每个bank三个通道。有关收发器bank的信息，请参考Cyclone V器件中的收发器体系结构章节。

9通道和12通道器件支持的CPRI通道的最大数量如下所示。这些限制对于具有更少收发器通道的器件同样适用。

⁽⁴⁾ 6144 Mbps仅支持C5和I5速率等级的CPRI协议。

- 对于9通道的器件，可以实现最多4个全双工6.144-Gbps CPRI-兼容通道。
- 对于12通道的器件，可以实现最多6个全双工6.144-Gbps CPRI-兼容通道。


在VCCE_GXB和VCCL_GXB上必须将电压增加到1.2 V以支持最大数量的通道。

基于以下条件可达到6.144-Gbps CPRI兼容性的Cyclone V GT器件中收发器通道的最大数量：

- 满足TX抖动规范6.144-Gbps CPRI的收发器性能。
- 具有自动速率协商的性能(1228.8 Mbps到6.144 Gbps)的CPRI通道。
- 基于下图的6.144-Gbps CPRI通道限制。

图4-31: 6.144-Gbps CPRI通道布局限制

Cyclone V GT Device						
6 Channels		9 Channels		12 Channels		
					Ch5	GXB_L3
					Ch4	
					Ch3	
		PCIe HIP	Ch2 Ch1	PCIe HIP	Ch2 Ch1	GXB_L2
			Ch0		Ch0	
PCIe HIP	Ch5 Ch4		Ch5 Ch4		Ch5 Ch4	GXB_L1
	Ch3		Ch3		Ch3	
PCIe HIP	Ch2 Ch1	PCIe HIP	Ch2 Ch1	PCIe HIP	Ch2 Ch1	GXB_L0
	Ch0		Ch0		Ch0	

 Channels that are not timing optimized for 6.144-Gbps CPRI data rate.

PCIe Hard IP模块旁边的通道对于6.144-Gbps CPRI数据速率没有时序优化。受影响的通道在上图中以阴影表示。在所受影响的通道中避免布局6.144-Gbps CPRI通道。受影响的通道仍然可以作为CMU用于CPRI通道。

相关链接

[Arria V器件中的收发器体系结构](#)

CPRI增强

字对齐器中的确定性延迟状态机减少了字对齐处理的延迟变化，并通过在解串器中滑过一个时钟周期自动同步和对齐字边界。输入数据到字对齐器被对齐到字对齐码型的边界(K28.5)。用户逻辑不需要操作TX位滑码器以实现恒定的双向总延迟。在手动模式中，TX位滑码器可以补偿一个单元间隔(UI)。

字对齐码型(K28.5)位置因不同的字节解串数据而有所不同。延迟变化高达 $\frac{1}{2}$ 个并行时钟周期。必须添加额外的用户逻辑以手动检查K28.5位置在字节解串的数据中的实际延迟。

图4-32: 字对齐器中的确定性延迟状态机

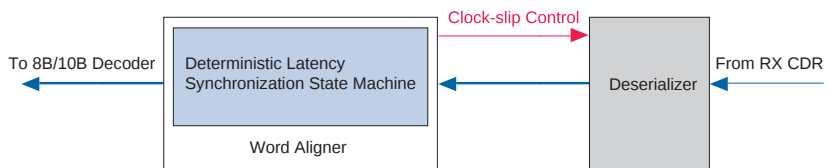


表4-11: 实现Cyclone V器件中的确定性延迟模式的方法

现有的功能		增强的功能 ⁽⁵⁾	
说明	要求	说明	要求
通过位位置指示器的手动对齐提供确定性延迟。延迟变化高达1个并行时钟周期	额外的用户逻辑通过字对齐器上的位位置指示器来操作TX位滑码器以实现恒定的双向总延迟	确定性延迟状态机对齐减少了字对齐操作中已知的延迟变化	无

相关链接

请参考[Altera Transceiver PHY IP Core User Guide](#)中的"确定性延迟PHY IP内核"章节

文档修订历史

表4-12: 文档修订历史

日期	版本	修订内容
2013年5月	2013.05.06	<ul style="list-style-type: none"> 在知识库中添加了已知文档问题的链接。 移除了"接收器电路空闲接口"部分。 添加了"PCIe Gen2所建议的通道布局"的表格。 对"PCIe支持的配置和布局指南"部分中的图进行了更新。 添加了"Soft PCS Implementation的收发器时钟指南"部分。 添加了"Cyclone V GT器件中6-Gbps支持的功能"部分。

⁽⁵⁾ Cyclone V器件中增强的确定性延迟功能

日期	版本	修订内容
2012年11月	2012.11.19	<ul style="list-style-type: none">• 重组内容并更新模板。• 添加了"XAUI"部分。• 添加了"PCI Express"部分。
2012年6月	1.1	<ul style="list-style-type: none">• 针对Quartus II 12.0的发布进行的更新。• 更新了表4 - 1。• 更新了图 4-2。• 更新了图 4-18。• 添加了“千兆以太网”部分。• 添加了“串行数字接口”部分。• 添加了“串行数据转换器(SDC) JESD204”部分。• 添加了“SATA和SAS协议”部分。
2011年10月	1.0	首次发布。