



请注意：本文档不再进行更新。本文档可能包含旧内容和过时的商标。

请参考英文版本以获取最新更新

<https://www.intel.com/content/www/us/en/programmable/documentation/lit-index.html>

Please take note that this document is no longer being maintained. It may contain legacy content and trademarks which may be outdated.

Please refer to English version for latest update at

<https://www.intel.com/content/www/us/en/programmable/documentation/lit-index.html>

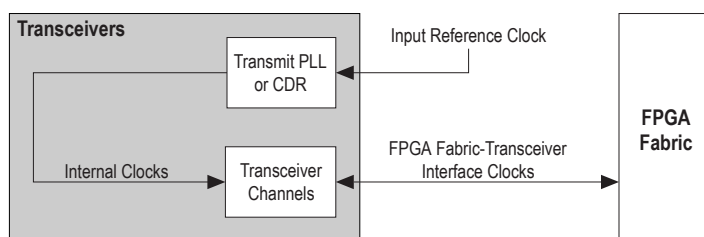
2013.05.06

CV-53002

 订阅
  反馈

本章节提供了有关Cyclone® V收发器时钟体系结构的信息，并介绍了收发器连接FPGA架构时，操作所需时钟、内部时钟体系结构以及时钟选项的详细信息。

图2-1: 收发器时钟体系结构概述



相关链接

[Cyclone V器件手册：已知问题](#)

列出了对Cyclone器件手册章节规划的更新。

## 输入参考时钟

这一部分介绍了如何提供发送器PLL和CDR的参考时钟来生成收发器操作所需的时钟。

表2-1: 输入参考时钟源

资源	发送器PLL	CDR	抖动性能 <sup>(1)</sup>
	CMU PLL		
专用refclk管脚	Yes	Yes	1
REFCLK网络	Yes	Yes	2
两用RX / refclk管脚	Yes	Yes	3
小数分频PLL	Yes	Yes	4

<sup>(1)</sup> 较低的数字表明更佳的抖动性能。

© 2014 Altera Corporation. All rights reserved. ALTERA, ARRIA, CYCLONE, ENPIRION, MAX, MEGACORE, NIOS, QUARTUS and STRATIX words and logos are trademarks of Altera Corporation and registered in the U.S. Patent and Trademark Office and in other countries. All other words and logos identified as trademarks or service marks are the property of their respective holders as described at [www.altera.com/common/legal.html](http://www.altera.com/common/legal.html). Altera warrants performance of its semiconductor products to current specifications in accordance with Altera's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Altera assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Altera. Altera customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.

ISO  
9001:2008  
Registered



资源	发送器PLL	CDR	抖动性能 <sup>(1)</sup>
	CMU PLL		
通用CLK管脚	No	No	5
核心时钟网络(GCLK, RCLK, PCLK)	No	No	6

## 专用参考时钟管脚

Cyclone V器件在三个收发器通道的每个bank上都含有一个专用的参考时钟(refclk)管脚。

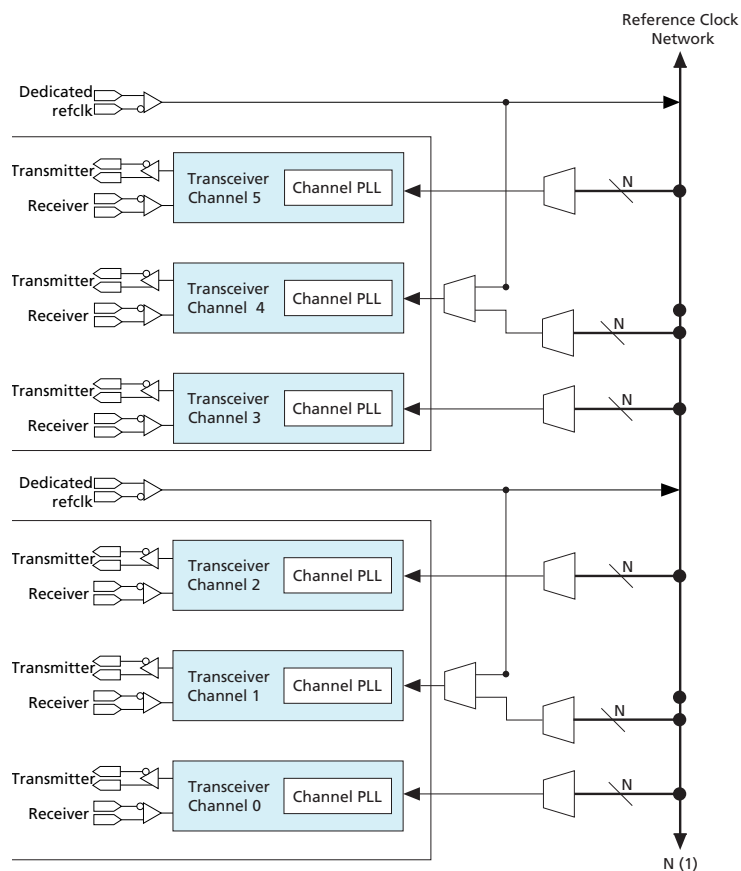
专用参考时钟管脚直接驱动通道1或4中的通道PLL。该选项为发送器PLL和CDR提供了最佳质量的输入参考时钟。

注意：有关refclk管脚所支持的输入频率的规范，请参考 *Cyclone V* 器件手册。

如下图所示，专用的refclk管脚直接连接到通道PLL(可配置成CMU PLL或者CDR)仅在收发器bank的通道1以及相邻的收发器bank的通道4上可用。

<sup>(1)</sup> 较低的数字表明更佳的抖动性能。

图2-2: 收发器通道的输入参考时钟源



注意 (1):  
N是专用refclk管脚, 等于其中一侧的收发器通道的数量除以3。

相关链接

[Cyclone V 器件手册](#)

### 使用参考时钟网络的专用的refclk

使用相同时钟频率的多通道PLL的设计可使用相同的专用refclk管脚。每个专用的refclk管脚可以通过参考时钟网络驱动任何通道PLL (CMU PLL/CDR)以及小数分频PLL。

图2-2显示了两个收发器bank中6个通道PLL的输入参考时钟源。在6个收发器通道中, 参考时钟网络中总的时钟线的数量是2 ( $N = 6/3$ )。

### 两用RX/refclk管脚

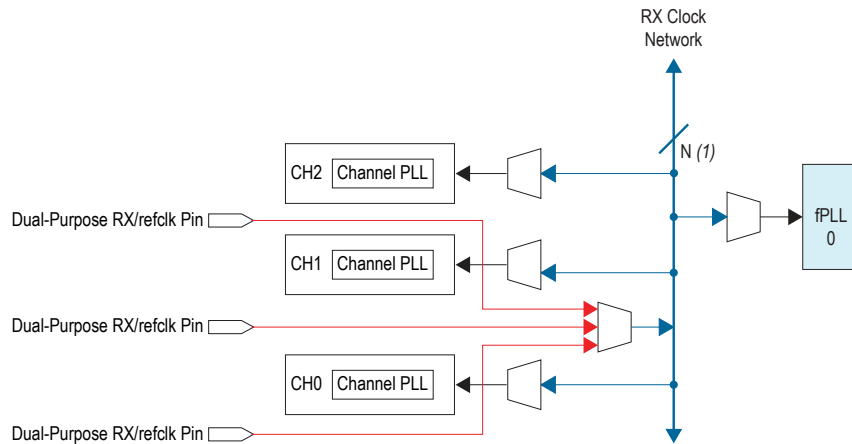
不作为接收器使用时, RX差分对可用作一个额外的输入参考时钟源。

RX管脚中的时钟驱动器件一侧上跨越所有通道的RX时钟网络。每3个通道中一次仅有一对RX差分对可用作输入参考时钟。下图显示了两用RX/refclk差分管脚用作输入参考时钟源和RX时钟网络。

注意:

- 另一个bank中的一对RX差分对可用作一个输入参考时钟管脚。
- 当两用RX差分管脚使用refclk管脚时, 不能执行refclk切换。

图2-3: 两用RX/refclk管脚作为输入参考时钟



N注释 (1): N是其中一侧上收发器通道的数量除以3。

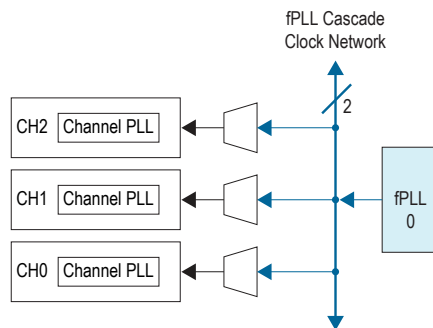
## 小数分频PLL (fPLL)

fPLL时钟输出可用作输入参考时钟源发送PLL或CDR。

级联fPLL驱动发送PLL或CDR使您能够使用发送PLL或CDR不支持的输入参考时钟。fPLL综合出一个发送PLL或CDR支持的输入参考时钟。

fPLL可用于3个收发器通道的每个bank中。每个fPLL驱动两个fPLL级联时钟网络线中的其中一个，这可以对器件同一侧上的任何发送器PLL或者CDR提供输入参考时钟。fPLL支持小数分频模式和整数模式。小数分频模式可以综合任何所支持频率的时钟，而整数模式可以支持综合整数倍数或者输入时钟因子的输出时钟。例如，fPLL支持使用100 MHz时钟综合整数模式中的50或200 MHz的时钟，或者小数分频模式中的614.4 MHz。

图2-4: fPLL时钟输出作为输入参考时钟



## 内部时钟

这一部分对Cyclone V收发器内部的时钟体系结构作了介绍。

不同的物理编码子层(PCS)配置和通道绑定选项导致各种收发器时钟路径。

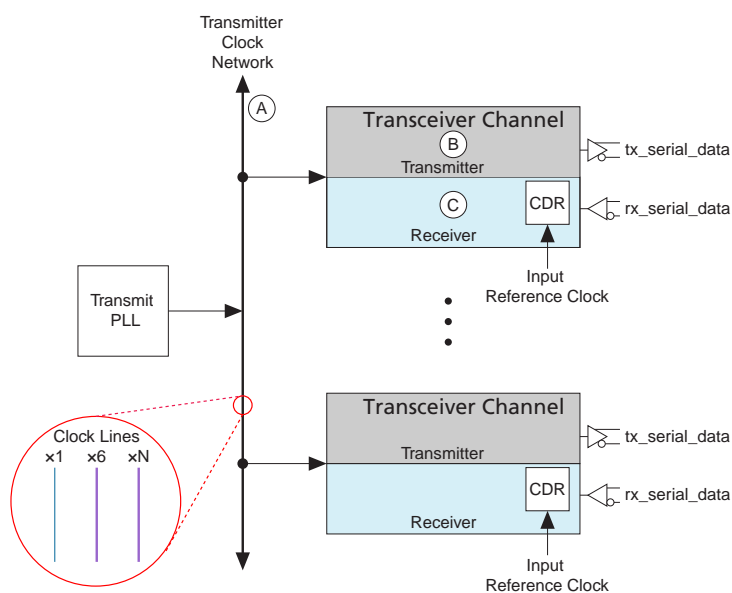
注意：Quartus II软件基于所选的收发器配置自动执行内部时钟布线。

下面所列图表中的标签标记了收发器内部时钟的3个部分。

表2-2: 内部时钟分节

标签	范围	说明
A	发送器时钟网络	从发送器PLL到通道的时钟分布
B	发送器时钟	发送器通道数据通路中的时钟体系结构
C	接收器时钟	接收器通道数据通路中的时钟体系结构

图2-5: 内部时钟



## 发送器时钟网络

发送器PLL由CMU PLL组成。所有CMU PLL是完全相同的，但是由于可访问的时钟分配网络不同，用法会根据通道位置的不同而不同。

表2-3: 在两个收发器Bank中每个CMU PLL的用法能力

两个收发器Bank中的CMU PLL位置	时钟网络访问	用法能力
CH 0	No	只为相同通道中的发送器提供时钟
CH 1	Yes	为相同通道中的发送器提供时钟和通过时钟网络为其他通道提供时钟
CH 2	No	只为相同通道中的发送器提供时钟
CH 3	No	只为相同通道中的发送器提供时钟

两个收发器Bank中的CMU PLL位置	时钟网络访问	用法能力
CH 4	Yes	为相同通道中的发送器提供时钟和通过时钟网络为其他通道提供时钟
CH 5	No	只为相同通道中的发送器提供时钟

发送器时钟网络将发送器PLL的时钟布线到发送器通道。如前面的图所示，发送器时钟网络将发送PLL的时钟布线到发送器通道。一个时钟分频器对发送器通道提供两个时钟：

- 串行时钟—串化器的高速时钟
- 并行时钟—解串器和PCS的低速时钟

Cyclone V收发器支持non-bonded和bonded收发器时钟配置：

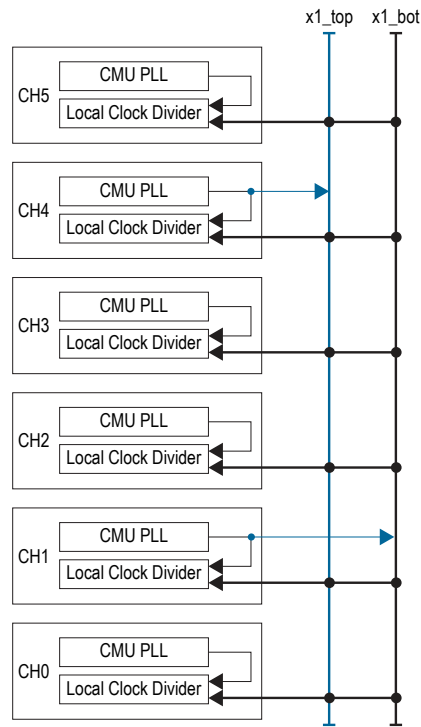
- Non-bonded配置—只有发送PLL的串行时钟布线到发送器通道。每个通道的时钟分频器生成本地并行时钟。
- Bonded配置—串行时钟和并行时钟从通道1或4的中央时钟分频器中布线到bonded发送器通道。

发送器时钟网络由x1 (x1和x1\_fPLL)、x6和xN的时钟线组成。

表2-4: x1、x6和xN时钟线的特性

特性	x1	x6	xN
时钟源	两个bank中CH 1或CH 4的CMU PLL (仅串行时钟)	两个bank中CH 1或Ch 4的中央时钟分频器(串行和并行时钟)	x6时钟线(串行和并行时钟)
最大数据速率 (Gbps)	5.0 (GT和ST), 3.125 (GX和SX)	5.0 (GT和ST), 3.125 (GX和SX)	3.125
时钟线跨度	两个收发器bank中	两个收发器bank中	在器件同一侧的所有通道中
Non-bonded配置	Yes	Yes	Yes
Bonded配置	No	Yes	Yes

图2-6: x1时钟线体系结构



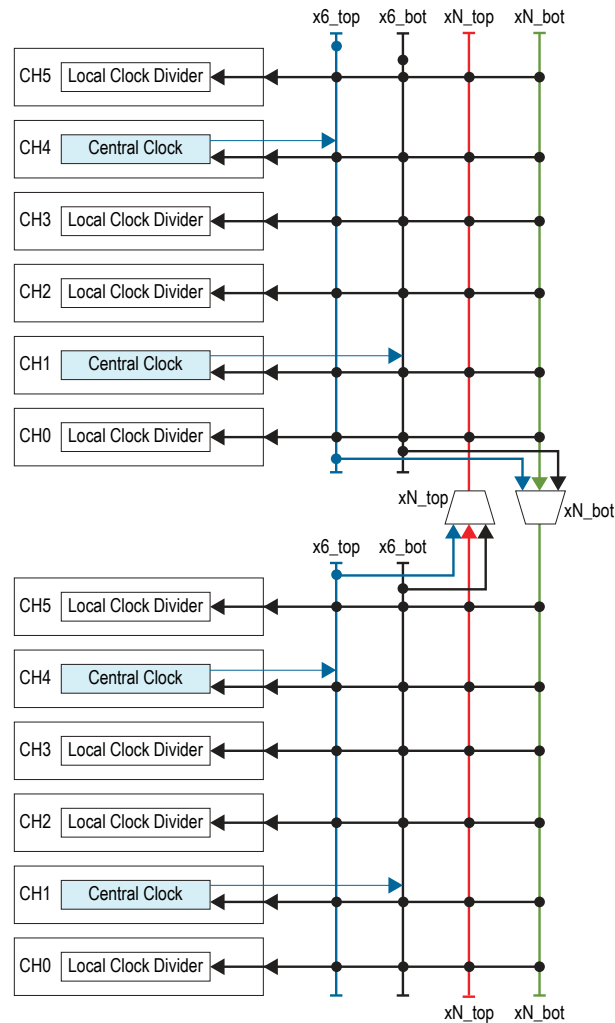
注释: 该图中显示的所有时钟线仅支持串行时钟。

x1时钟线由通道1和4中的CMU PLL的串行时钟驱动。x1时钟线中的串行时钟随后分布到两个相邻收发器bank中每个通道的本地和中央时钟分频器中。

注意: 将通道PLL配置成CMU PLL来驱动本地时钟分频器, 或者其自身通道的中央时钟分频器时, 无法将通道PLL用作CDR。没有CDR, 您仅可以将通道用作发送器通道。



图2-7: x6和xN时钟线体系结构



注释: 该图中显示的所有的时钟线支持串行和并行时钟。

x6时钟线由中央时钟分频器通道1和4的串行和并行时钟来驱动。对于两个收发器bank中的通道0到5, x6时钟线中的串行到和并行时钟随后分布到两个收发器bank中的每个通道上。

xN时钟线扩展x6时钟线能够到达器件同一侧上所有通道。要到达xN时钟线, 该时钟必须驱动x6时钟线。x6时钟线中的串行和并行时钟被分布到两个收发器bank中的每个通道上。串行和并行时钟使用xN时钟线分配到超出两个bank或6个通道的其他通道上。

在bonded配置中, x6或xN时钟线中的串行和并行时钟由每个绑定通道的时钟分频器所接收, 并且直接供给串化器。在non-bonded配置中, 每个non-bonded通道的时钟分频器从x6或xN时钟线中接收串行时钟, 并且生成单独的并行时钟用于串化器。

注意: 在bonded配置中, 绑定通道必须连续地进行布局, 不能在通道之间留下间隙, 除非该间隙通道用于绑定通道的CMU PLL。连续的通道可能跨越绑定模式的许多bank。例如, 在x8绑定中, 绑定的通道可能跨越3到4个bank, 条件是在通道之间必须没有间隔, 除非是由于该通道用于CMU PLL而导致的间隔。

## 发送器时钟

发送器(TX)时钟指的是收发器的TX通道内部的时钟体系结构。

如下图所示，时钟分频器对串化器提供串行时钟，对串化器和TX PCS提供并行时钟。没有使用字节串化器时，并行时钟对TX相位补偿FIFO读取侧的所有模块提供时钟。在字节串化器的配置中，并行时钟被2分频然后驱动字节串化器以及TX相位补偿FIFO的读取侧。TX相位补偿FIFO读取侧时钟也被转送至FPGA架构，来连接收发器。

图2-8: 发送器PCS和PMA配置的时钟体系结构

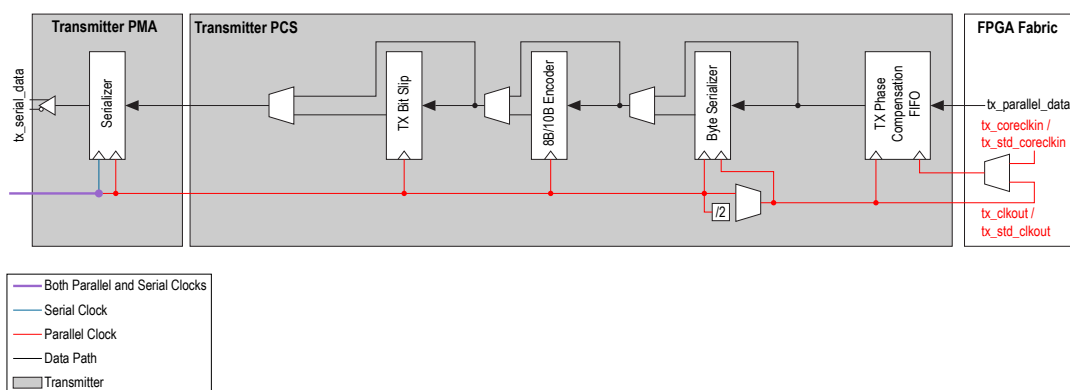


表2-5: 所有TX PCS模块的时钟源

PCS模块	在器件中的位置	时钟源
TX相位补偿FIFO	写入侧	FPGA架构写时钟，由tx_clkout或者tx_coreclk来驱动
	读取侧	并行时钟(分频)。时钟转送到FPGA架构作为tx_clkout
字节串化器	写入侧	并行时钟(分频)因子1(禁用)，或者因子2(使能)
	读取侧	并行时钟
8B/10B编码器	—	并行时钟
TX Bit Slip	—	并行时钟

### Non-Bonded通道配置

这一部分对non-bonded配置的时钟路径作了介绍。

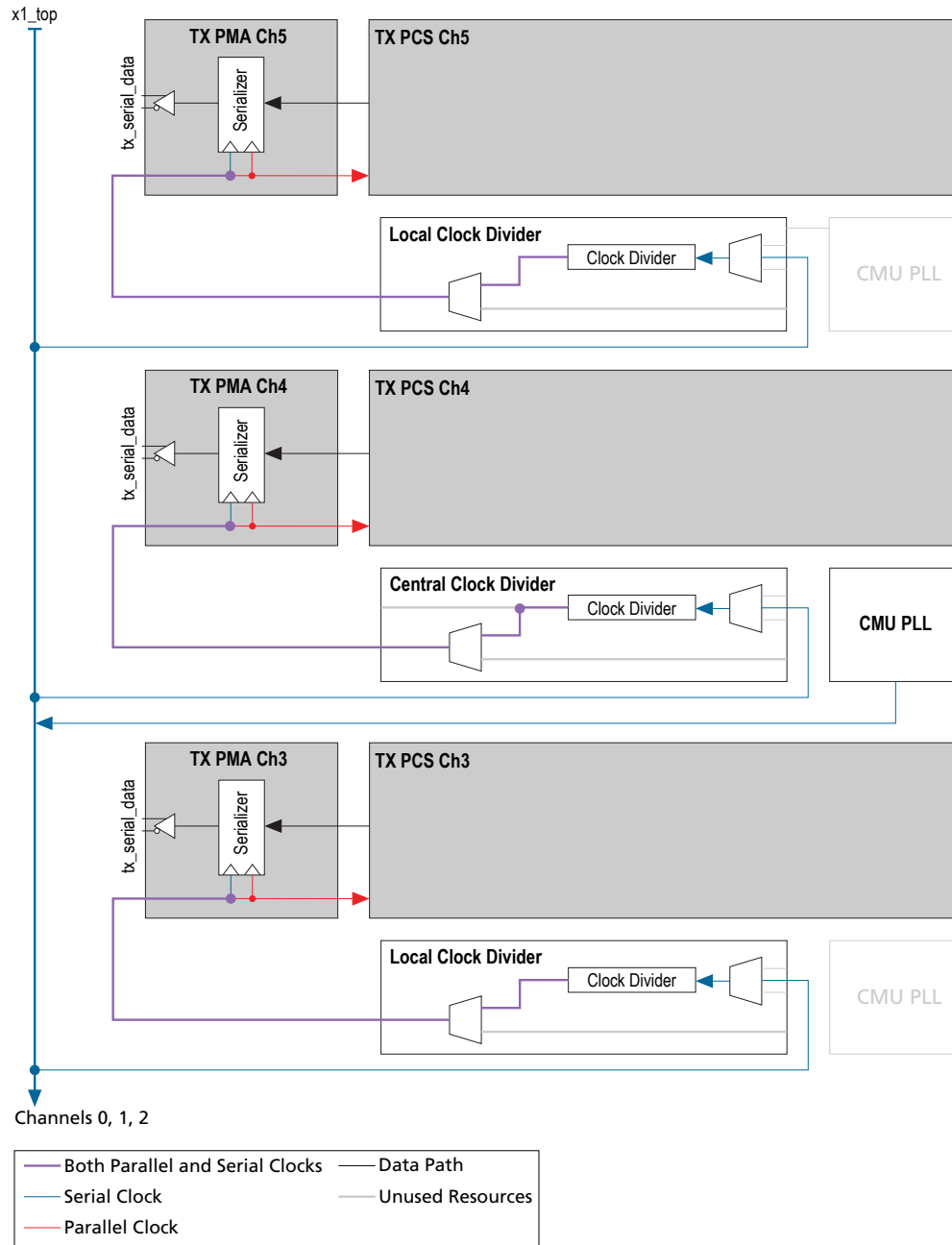
下表描述了使用各种时钟线的时钟路径，用于从CMU PLL和fPLL到TX PLL的非绑定配置。

表2-6: Non-Bonded配置的时钟路径

时钟线	发送器PLL	时钟路径
x1	CMU	CMU PLL » x1 » 单独的时钟分频器 » 串化器

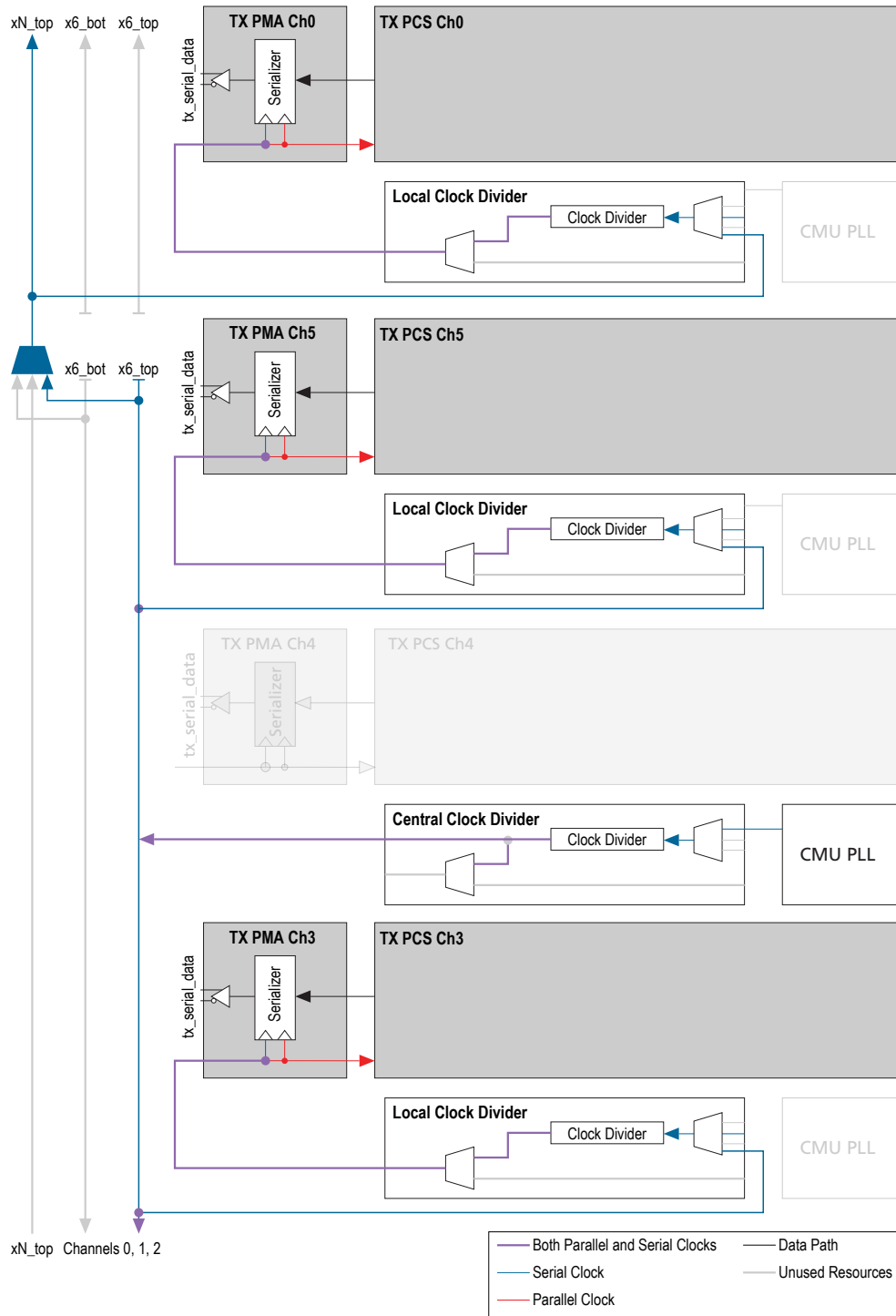
时钟线	发送器PLL	时钟路径
x6, xN	CMU	CMU PLL » 中央时钟分频器 » x6 » xN » 单独的时钟分频器 » 串化器 <sup>(2)</sup>

图2-9: 3个Non-Bonded发送器通道由CMU PLL驱动, 使用收发器Bank中的x1时钟线



<sup>(2)</sup> 相邻两个bank或者TX PLL的6个通道中的Non-bonded通道由x6时钟线的时钟驱动。6个通道以外的其它bank中的通道由xN时钟线驱动。

图2-10: 3个Non-Bonded发送器通道由CMU PLL驱动，使用多个收发器Bank中的x6和xN时钟线



### Bonded通道配置

这一部分对bonded配置的时钟路径作了介绍。

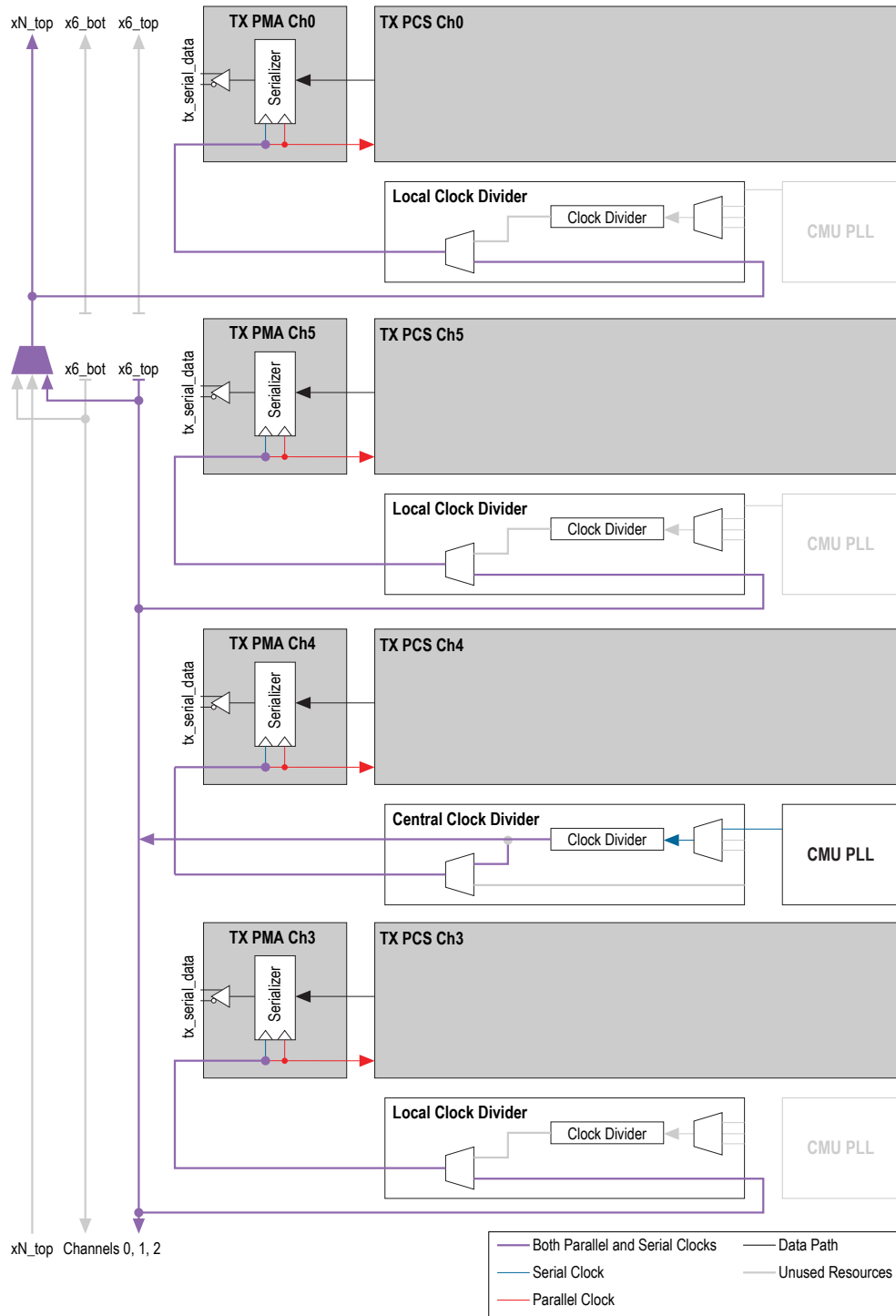
下表对CMU PLL作为TX PLL使用各种时钟线的bonded配置的时钟路径作了介绍。

表2-7: Bonded配置的时钟路径

时钟线	发送器PLL	时钟路径
x6, xN	CMU	CMU PLL » 中央时钟分频器 » x6 » xN » 串化器 <sup>(3)</sup>

<sup>(3)</sup> 相邻两个bank或者TX PLL的6个通道中的Bonded通道由x6时钟线的时钟驱动。6个通道以外的其它bank中的通道由xN时钟线驱动。

图2-11: 4个Bonded发送器通道由CMU PLL使用多个收发器Bank中的x6和xN的时钟线来驱动

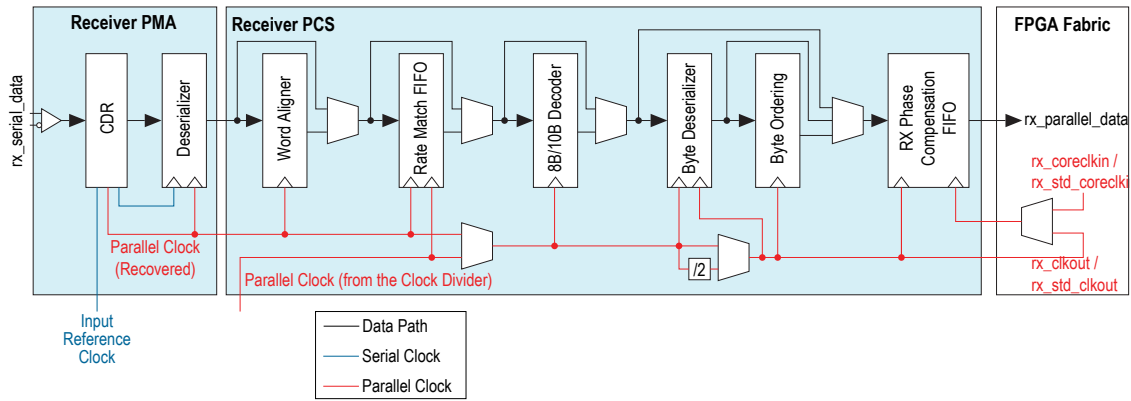


注意：将通道PLL配置成CMU PLL来驱动本地时钟分频器，或者其自身通道的中央时钟分频器时，通道PLL无法用作CDR。没有CDR，通道仅能用作发送器。

## 接收器时钟

这一部分对接收器时钟作了介绍，它是收发器的接收器通道内部的时钟体系结构。

图2-12: 接收器PCS和PMA配置的时钟体系结构



每个通道的PMA中的CDR从输入数据中恢复串行时钟，并且通过分频串行时钟(恢复)生成并行时钟(恢复)。解串器使用两个时钟。根据接收器通道的配置，接收器PCS可以使用下面的时钟：

- PMA中来自CDR的并行时钟(恢复)
- 来自时钟分频器的并行时钟，该时钟分频器由通道的发送器PCS所使用

表2-8: 所有收发器PCS模块的时钟源

模块	在器件中的位置	时钟源
字对齐模块	-	并行时钟(恢复)
速率匹配FIFO	写入侧	并行时钟(恢复)
	读取侧	时钟分频器中的并行时钟
8B/10B解码器	-	<ul style="list-style-type: none"> <li>• 速率匹配FIFO没有使用-Parallel时钟(恢复)</li> <li>• 速率匹配FIFO被使用来自时钟分频器的-Parallel时钟</li> </ul>
字节解串器	写入侧	<ul style="list-style-type: none"> <li>• 速率匹配FIFO没有使用-Parallel时钟(恢复)</li> <li>• 速率匹配FIFO被使用来自时钟分频器的-Parallel时钟</li> </ul>
	读取侧	写入侧时钟的分频时钟，频率取决于解串器因子为1或2，也称为并行时钟(分频)
字节排序	-	并行时钟(分频)
接收器(RX)相位补偿FIFO	写入侧	并行时钟(分频)。该时钟也被转送到FPGA架构
	读取侧	来自FPGA架构的时钟源

### 接收器Non-Bonded通道配置

这一部分对接收器non-bonded通道配置作了介绍。

non-bonded模式中的接收器时钟取决于是否使能速率匹配FIFO的不同而不同。禁用速率匹配FIFO时，每个通道中的接收器PCS使用并行恢复时钟。使能速率匹配FIFO时，每个通道中的接收器PCS使用并行恢复时钟以及时钟分频器中的并行时钟。

图2-13: 不使能速率匹配FIFO的3个Non-Bonded接收器通道

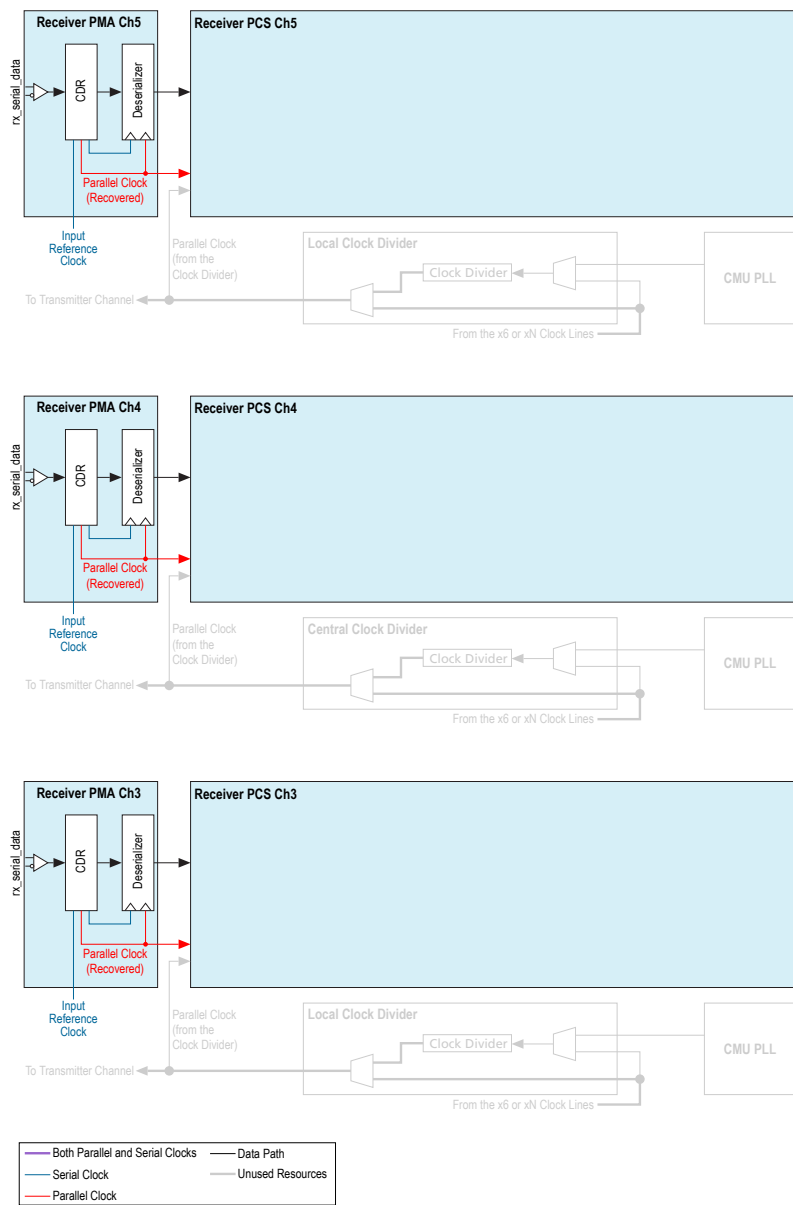
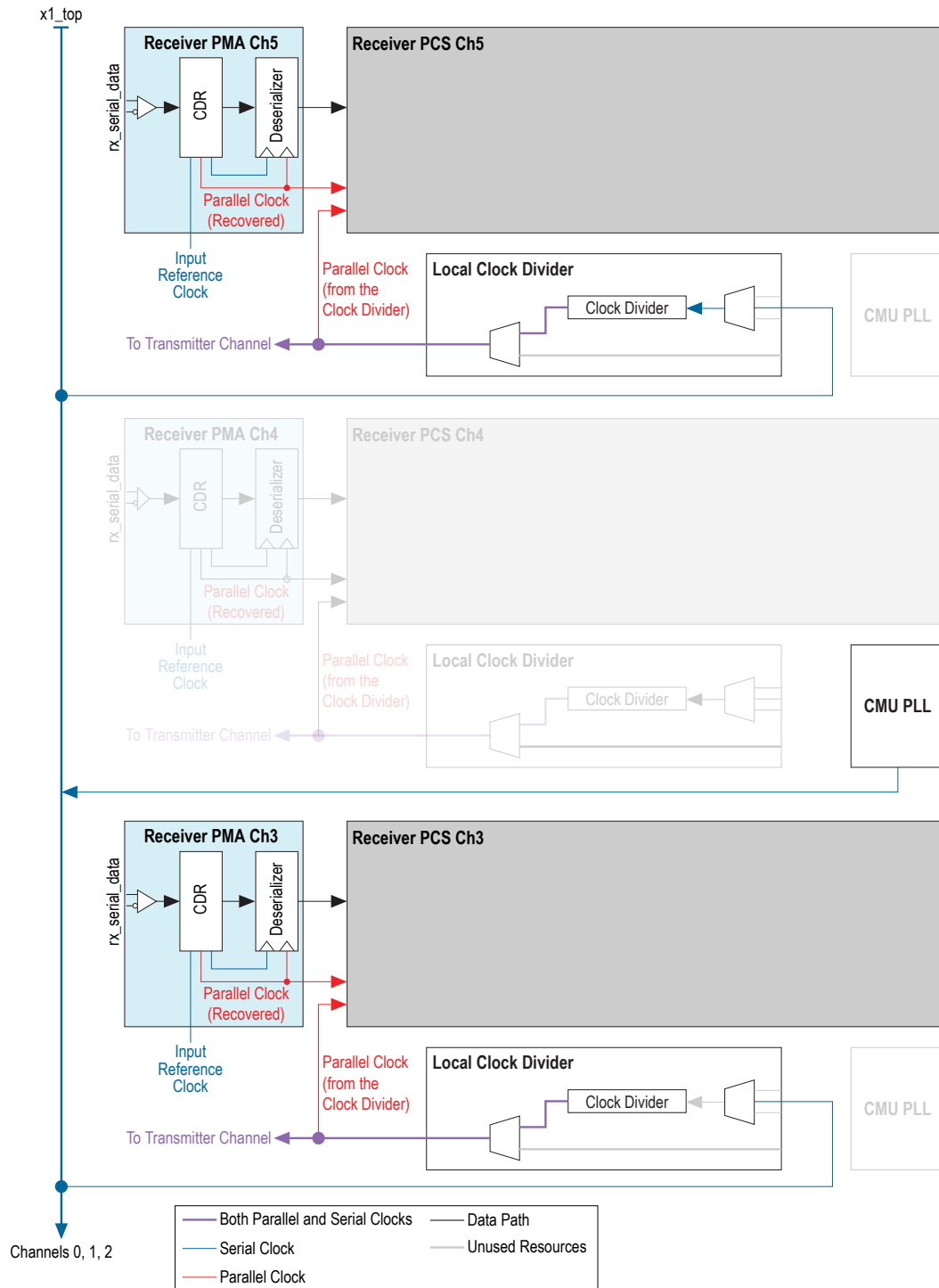




图2-14: 使能速率匹配FIFO的2个Non-Bonded接收器通道

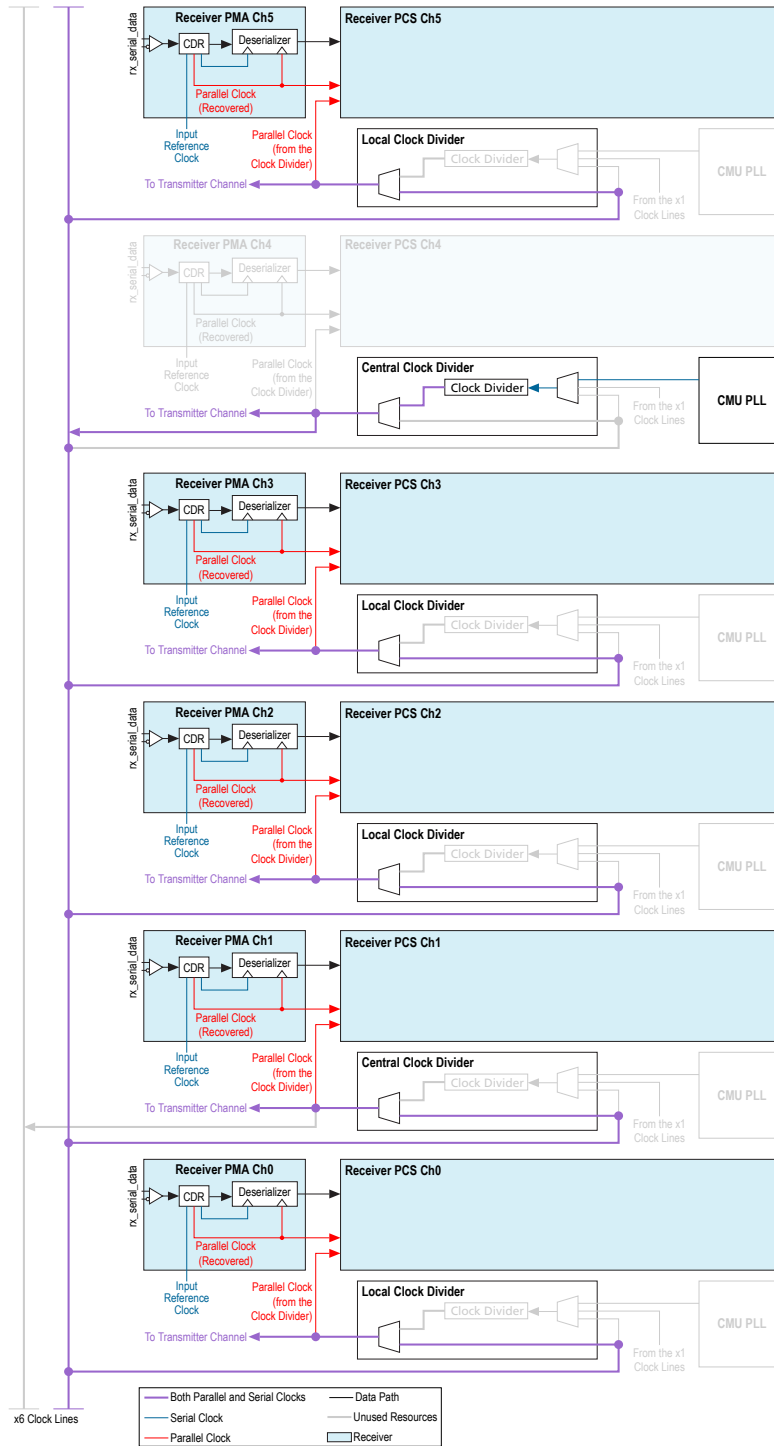


## 接收器Bonded通道配置

接收器通道仅能在使能速率匹配FIFO的配置中被绑定。绑定时，接收器PCS需要并行时钟(恢复)和通道1或4中的中央时钟分频器的并行时钟。

注意：要了解关于不同配置使用的时钟方案的详细信息，请参考Cyclone V器件中收发器协议配置和Cyclone V器件中的收发器定制配置章节。

图2-15: 使能速率匹配FIFO的5个Bonded接收器通道



相关链接

[Cyclone V器件中的收发器协议配置](#)

[Cyclone V器件中的收发器定制配置](#)

## FPGA架构 - 收发器接口时钟

这一部分介绍了当收发器与FPGA架构连接时可用的时钟选项。

FPGA架构收发器接口时钟包含从FPGA架构到收发器模块的时钟信号，以及从收发器模块到FPGA架构的时钟信号。这些时钟资源使用FPGA内核中的时钟网络，包括全局(GCLK)、区域(RCLK)和外围(PCLK)时钟网络。

FPGA架构 - 收发器接口时钟可以被细分为以下三类：

- 输入参考时钟—可以是一个FPGA架构收发器接口时钟。当FPGA架构收发器接口时钟被转送到FPGA架构，在那里，它会为逻辑提供时钟。
- 收发器数据通路接口时钟—用于FPGA架构和收发器通道之间的数据、控制和状态信号的传输。收发器通道将tx\_clkout信号转送到FPGA架构，以便对发送器内的数据和控制信号提供时钟。收发器也将恢复的rx\_clkout时钟(在不使用速率匹配器的配置中)或tx\_clkout时钟(在使用速率匹配器的配置中)转送到FPGA架构，以便对接收器中的数据和状态信号提供到FPGA架构的时钟。
- 其它收发器时钟—下列收发器时钟形成FPGA架构收发器接口时钟的一部分：
  - mgmt\_clk—Avalon<sup>®</sup>-MM接口时钟用于收发器、动态重配置和校准的控制
  - fixed\_clk—125 MHz固定速率时钟用于PCIe (PIPE)接收器检测电路

表2-9: FPGA架构 - 收发器接口时钟

时钟名称	时钟说明	接口方向	采用的FPGA架构时钟源
tx_pll_refclk, rx_cdr_refclk	输入参考时钟为FPGA架构中的逻辑提供时钟	收发器到FPGA架构	GCLK, RCLK, PCLK
tx_clkout, tx_pma_clkout	由收发器转送的时钟对收发器数据通路接口提供时钟		
rx_clkout, rx_pma_clkout	由接收器转送的时钟对接收器数据通路接口提供时钟		
tx_coreclkkin	用户选定的(User-selected)时钟对发送器数据通路接口提供时钟	FPGA架构到收发器	
rx_coreclkkin	用户选定的时钟对接收器数据通路接口提供时钟		
fixed_clk	PCIe接收器检测时钟		
mgmt_clk <sup>(4)</sup>	Avalon-MM接口管理时钟		

注意: 要了解关于每个器件中可用的GCLK、RCLK和PCLK资源的更多信息, 请参考Cyclone V器件中的时钟网络与PLL章节。

相关链接

[Cyclone IV器件中的时钟网络与PLL](#)

## 收发器数据通路接口时钟

当连接收发器数据通路到FPGA架构时, 有两种类型的设计考量用于时钟优化:

- 含有相位补偿模式的FIFO的PCS - 相同的通道共享时钟网络
- 含有寄存模式的FIFO的PCS或PMA direct模式 - 有关收发器和FPGA架构之间额外的时序收敛技术的信息, 请参考AN 580: *Achieving Timing Closure in Basic (PMA Direct) Functional Mode*。

<sup>(4)</sup> reconfig\_clk不是从收发器模块产生的自上电起保持稳定的时钟。

以下部分介绍了连接含有相位补偿模式的FIFO的发送器PCS和接收器PCS到FPGA架构的数据通路的设计考虑。

相关链接

[AN 580: Achieving Timing Closure in Basic \(PMA Direct\) Functional Mode](#)

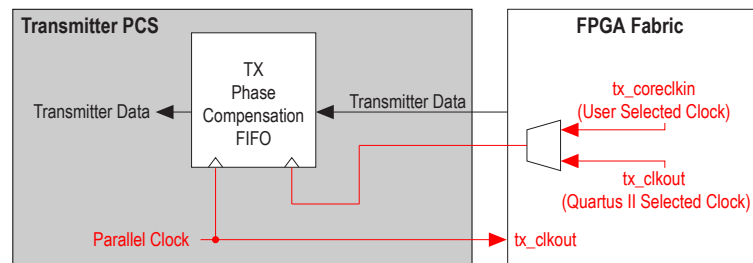
## 发送器数据通路接口时钟

TX相位补偿FIFO的写入侧构成发送器数据通路接口。发送器数据通路接口时钟对该接口提供时钟。

下图显示了发送器数据通路接口时钟。发送器PCS将下面的时钟转送到FPGA架构：

- `tx_clkout`—用于non-bonded配置中的每个发送器通道
- `tx_clkout[0]`—用于bonded配置中的所有发送器通道

图2-16: 用于收发器的发送器数据通路接口时钟



使用PCS通道的所有配置要求发送器相位补偿FIFO时钟的读写侧之间必须具有0百万分率(ppm)差异。

注意：要了解关于每种配置的接口时钟的详细信息，请参考Cyclone V器件的收发器定制配置和Cyclone V器件的收发器协议配置章节。

通过下列其中一个选项，可以对发送器数据通路接口提供时钟：

- Quartus II选定的发送器数据通路接口时钟
- 用户选定的发送器数据通路接口时钟

注意：要减少设计中GCLK、RCLK和PCLK资源的利用率，可以选择用户选定的选项来共享收发器数据通路接口时钟。

相关链接

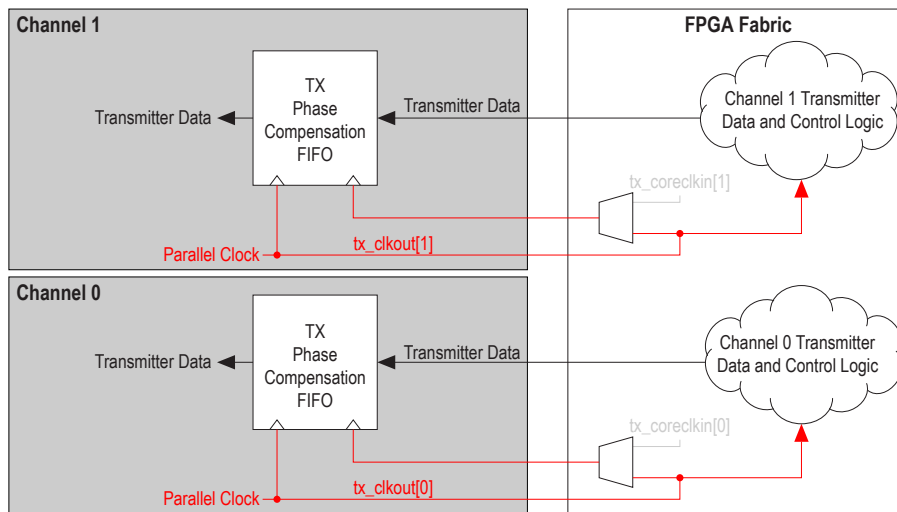
- [Cyclone V器件中的收发器定制配置](#)
- [Cyclone V器件中的收发器协议配置](#)

## Quartus II软件选定的发送器数据通路接口时钟

Quartus II软件自动从FPGA架构中选择相应的时钟，以便对发送器数据通路接口提供时钟。

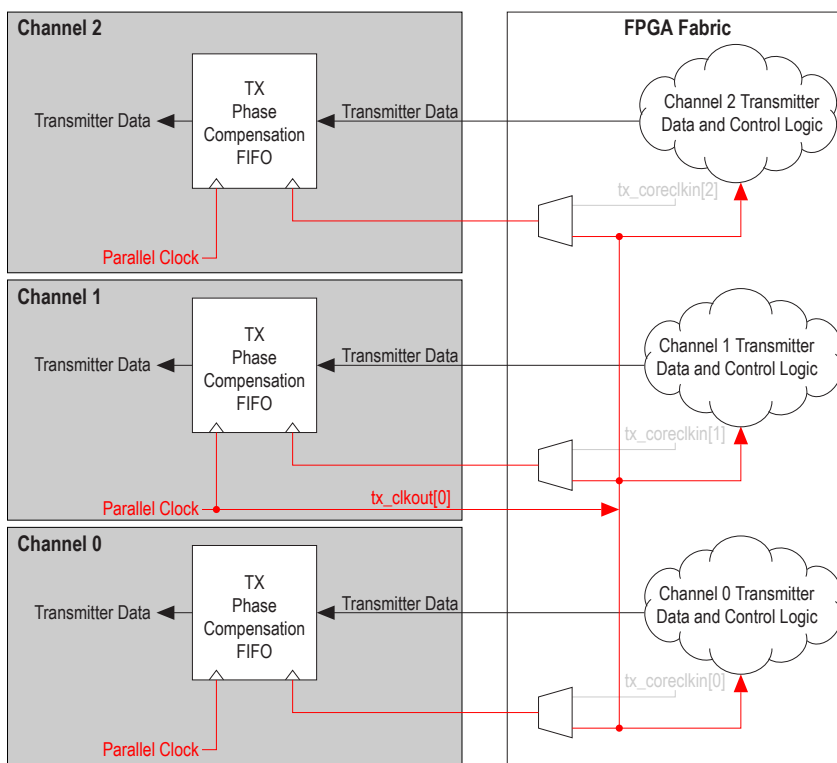
下图显示了在两个non-bonded通道的收发器中，由各自的发送器PCS时钟为发送器数据通路接口提供时钟，时钟也被转送到FPGA架构。

图2-17: Non-Bonded通道的发送器数据通路接口时钟



下图显示了由tx\_clkout[0]时钟提供时钟的3个bonded通道的发送器数据通路接口。该tx\_clkout[0]时钟产生自两个收发器bank上通道1或4的中央时钟分频器。

图2-18: 3个Bonded通道的发送器数据通路接口时钟



## 选择一个发送器数据通路接口时钟

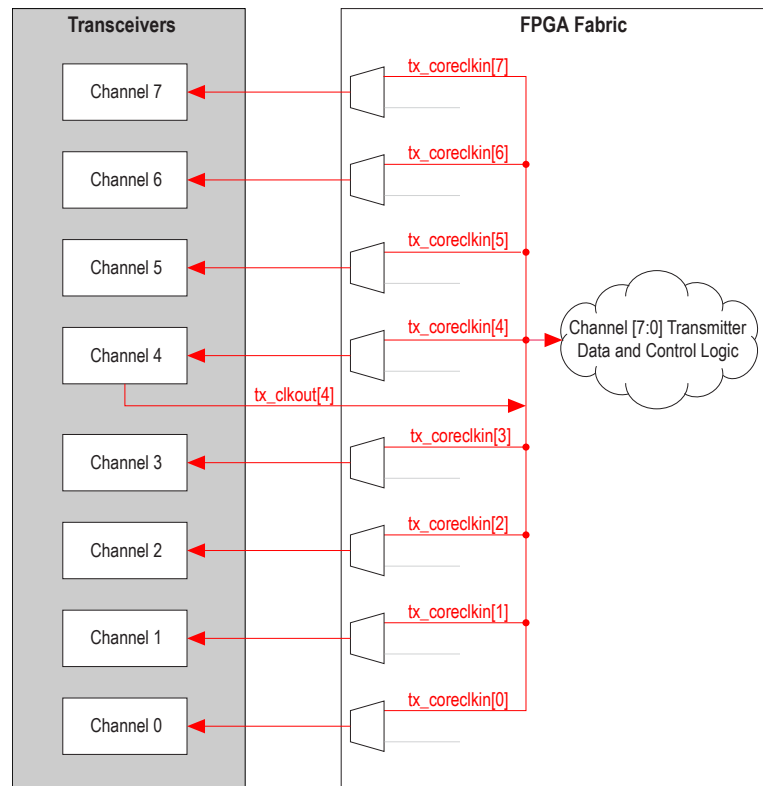
多个non-bonded发送器通道使用大部分的GCLK、RCLK和PCLK资源。选择一个公共时钟驱动器用于所有相同发送器通道的发送器数据通路接口，节省了时钟资源。

non-bonded的多个发送器通道将导致GCLK、RCLK和PCLK资源较高的利用率(每个通道一个时钟源)。如果发送器通道是相同的，那么可以显著地减少发送器数据通路时钟所使用的GCLK、RCLK和PCLK资源。

注意：相同的发送器通道具有相同的输入参考时钟源、发送器PLL配置、发送器PMA以及PCS配置，但是这些通道可能具有不同的模拟设置，例如，发送器电压输出差异( $V_{OD}$ )、发送器共模电压( $V_{CM}$ )或者预加重设置。

要节省时钟资源，请选择公共时钟驱动器用于所有相同发送器通道的发送器数据通路接口。下图显示了由单一时钟(通道4的tx\_clkout)为6个相同的通道提供时钟。

图2-19: 单一用户选定的发送器接口时钟的6个相同的通道



要对6个相同的通道提供单一的时钟，请执行以下步骤：

1. 例化所有相同发送器通道(tx\_coreclkkin[5:0])的tx\_coreclkkin端口。
2. 将tx\_clkout[4]连接到tx\_coreclkkin[5:0]端口。
3. 将tx\_clkout[4]连接到6个通道的发送器数据和控制逻辑。

注意：重置或关断通道4将会导致6个通道的时钟丢失。

公共时钟与所有相同通道的发送器相位补偿FIFO的读取侧时钟必须是0 ppm差异。频率差造成FIFO异常运行或上溢，这分别取决于公共时钟是较快或较慢地运行。

您可以从下列其中一个时钟源中驱动0 ppm公共时钟：

- non-bonded通道配置中的任何通道的tx\_clkout
- bonded通道配置中的tx\_clkout[0]
- 专用的refclk管脚

注意：Quartus II软件不支持门控时钟或在FPGA逻辑中生成的时钟来驱动tx\_coreclkin端口。

您必须确保0 ppm差异。Quartus II软件无法确保0 ppm差异，因为它支持您使用外部管脚，例如，专用的refclk管脚。

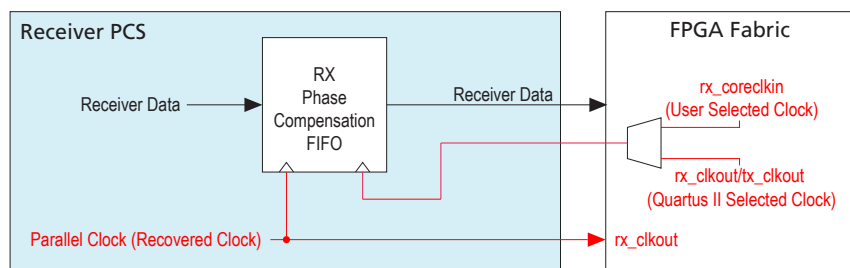
## 接收器数据通路接口时钟

RX相位补偿FIFO的读取侧构成6-Gbps接收器数据通路接口。接收器数据通路接口时钟对该接口提供时钟。

接收器PCS将下面的时钟转送到FPGA架构：

- rx\_clkout--不使用速率匹配器时，用于non-bonded配置中的每个接收器通道
- tx\_clkout--使用速率匹配器时，用于non-bonded配置中的每个接收器通道
- 单一rx\_clkout[0]—用于bonded配置中的中的所有接收器通道

图2-20: 接收器数据通路接口时钟



使用PCS通道的所有配置要求接收器数据通路接口时钟和RX相位补偿FIFO时钟的读取侧必须具有0 ppm差异。

注意：要了解关于每种配置的接口时钟的详细信息，请参考Cyclone V器件中的收发器定制配置和Cyclone V器件中的收发器协议配置章节。

通过下列其中一个选项，可以对接收器数据通路接口提供时钟：

- Quartus II选定的接收器数据通路接口时钟
- 用户选定的接收器数据通路接口时钟

注意：要减少设计中GCLK、RCLK和PCLK资源的利用率，可以选择用户选定的选项来共享收发器数据通路接口时钟。

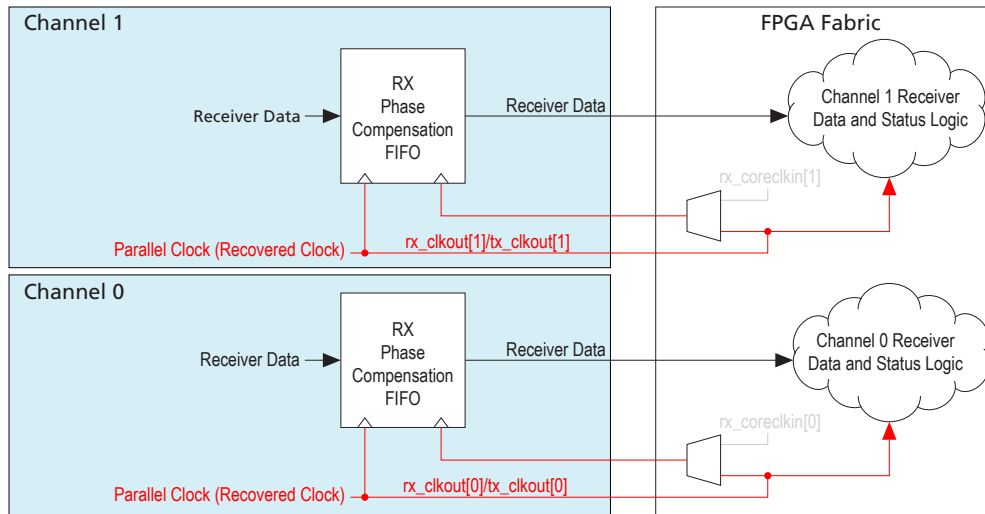


## Quartus II软件选定的接收器数据通路接口时钟

Quartus II软件自动从FPGA架构中选择相应的时钟，以便对接收器数据通路接口提供时钟。

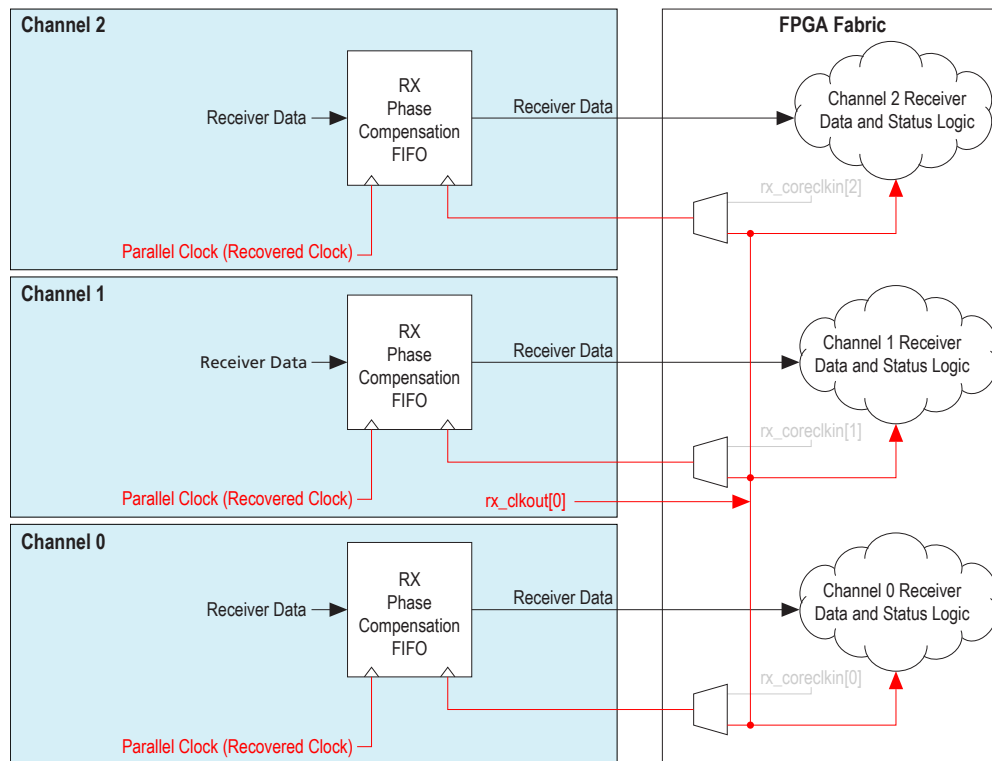
下图显示了bonded通道的收发器中，由各自的接收器PCS时钟为接收器数据通路接口提供时钟，时钟也被转送到FPGA架构。

图2-21: Non-Bonded通道的接收器数据通路接口时钟



下图显示了由tx\_clkout[0]时钟提供时钟的3个bonded通道的接收器数据通路接口。该tx\_clkout[0]时钟产生自两个收发器bank上通道1或4的中央时钟分频器。

图2-22: 3个Bonded通道的接收器数据通路接口时钟



### 选择一个接收器数据通路接口时钟

多个non-bonded接收器通道使用大部分的GCLK、RCLK和PCLK资源。选择一个公共时钟驱动器用于所有相同接收器通道的接收器数据通路接口，节省了时钟资源。

Non-bonded多个接收器通道将导致GCLK、RCLK和PCLK资源较高的利用率(每个通道一个时钟源)。如果接收器通道是相同的，那么可以显著地减少接收器数据通路时钟所使用的GCLK、RCLK和PCLK资源。

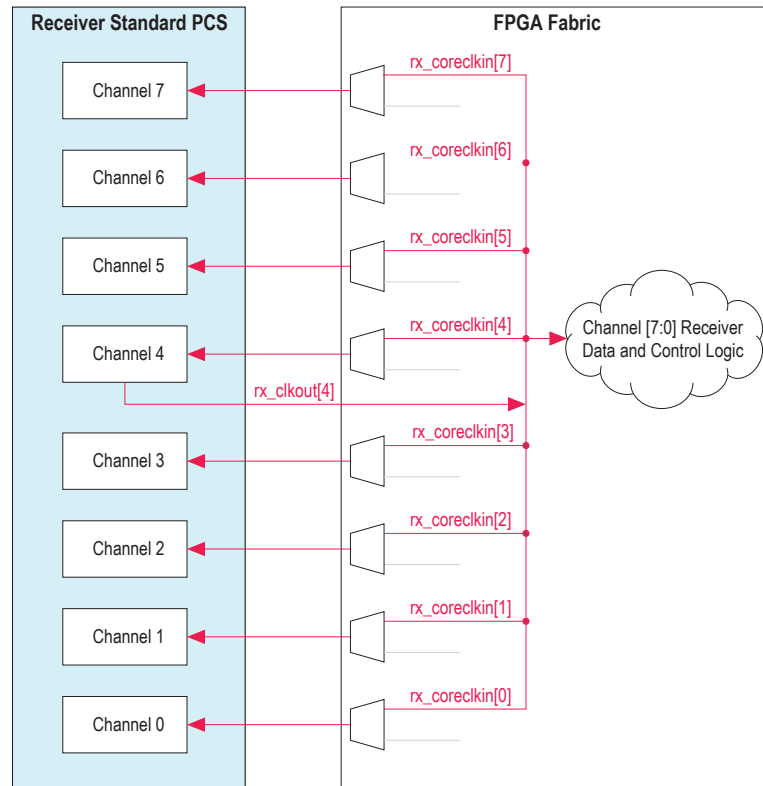
注意：相同的接收器通道被定义为具有相同的CDR输入参考时钟源和相同的接收器PMA以及PCS配置的通道。这些通道可能具有不同的模拟设置，例如，接收器共模电压( $V_{ICM}$ )、均衡或者DC增益设置。

要节省时钟资源，请选择公共时钟驱动器用于所有相同接收器通道的接收器数据通路接口。要选择公共时钟驱动器，请执行以下步骤：

1. 对所有相同的接收器通道的rx\_coreclkin端口进行例化
2. 将公共时钟驱动器连接到它们的接收器数据通路接口、接收器数据和控制逻辑中。

下图显示了由单一时钟(rx\_clkout[0])为6个相同的通道提供时钟。

图2-23: 单一用户选定的接收器接口时钟的6个相同的通道



要对使用单一时钟的6个相同的通道提供时钟，请执行以下步骤：

- 例化所有相同接收器通道(rx\_coreclk[5:0])的rx\_coreclkkin端口。
- 将 rx\_clkout[4]连接到 rx\_coreclkkin[5:0]端口。
- 将 rx\_clkout[4]连接到6个通道的接收器数据和控制逻辑。

注意：重置或关断通道4将会导致6个通道的时钟丢失。

公共时钟与所有相同通道的接收器相位补偿FIFO的写入侧时钟必须是0 ppm差异。频率差造成FIFO异常运行或上溢，这分别取决于公共时钟是较快或较慢地运行。

您可以从下列其中一个时钟源中驱动0 ppm公共时钟：

- non-bonded接收器通道配置中使用速率匹配器的任何通道的tx\_clkout
- non-bonded接收器通道配置中不使用速率匹配器的任何通道的rx\_clkout
- bonded接收器通道配置中的tx\_clkout[0]
- 专用的 refclk管脚

注意：Quartus II软件不支持门控时钟或在FPGA逻辑中生成的时钟来驱动rx\_coreclkkin端口。

注意：您必须确保0 ppm差异。Quartus II软件无法确保0 ppm差异，因为它支持您使用外部管脚，例如，专用的refclk管脚。

## 文档修订历史

下表列出了本章节的修订历史。

表2-10: 文档修订历史

日期	版本	修订内容
2013年5月	2013.05.06	<ul style="list-style-type: none"><li>更新了Quartus II 13.0的内容。</li><li>更新了图"收发器通道的输入参考时钟源"。</li><li>在"两用RX/refclk管脚"添加了一个部分。</li><li>在知识库中添加了已知文档问题的链接。</li></ul>
2012年11月	2012.11.19	<ul style="list-style-type: none"><li>重组内容并更新模板。</li><li>针对Quartus II 12.1进行更新。</li></ul>
2012年6月	1.1	少量的编辑修改。
2011年10月	1.0	首次发布。