

2013.05.06

CV-52009



订阅



反馈

本章节介绍了Cyclone® V器件中的边界扫描测试(BST)功能。

相关链接

[Cyclone V器件手册: 已知问题](#)

列出了Cyclone V器件手册章节的所计划的更新。

BST操作控制

Cyclone V器件支持IEEE Std. 1149.1 BST。可以在配置之前、之后和期间执行Cyclone V器件的BST。

IDCODE

IDCODE对于每个Cyclone V器件是唯一的。使用这一代码来识别JTAG链中的器件。

表9-1: Cyclone V器件的IDCODE信息

器件类型	成员代码	IDCODE (32位)			
		版本(4位)	部件编号(16位)	制造商识别编号 (11位)	LSB (1 Bit)
Cyclone V E	A2	0000	0010 1011 0001 0101	000 0110 1110	1
	A4	0000	0010 1011 0000 0101	000 0110 1110	1
	A5	0000	0010 1011 0010 0010	000 0110 1110	1
	A7	0000	0010 1011 0001 0011	000 0110 1110	1
	A9	0000	0010 1011 0001 0100	000 0110 1110	1

© 2014 Altera Corporation. All rights reserved. ALTERA, ARRIA, CYCLONE, ENPIRION, MAX, MEGACORE, NIOS, QUARTUS and STRATIX words and logos are trademarks of Altera Corporation and registered in the U.S. Patent and Trademark Office and in other countries. All other words and logos identified as trademarks or service marks are the property of their respective holders as described at www.altera.com/common/legal.html. Altera warrants performance of its semiconductor products to current specifications in accordance with Altera's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Altera assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Altera. Altera customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.

ISO
9001:2008
Registered



器件类型	成员代码	IDCODE (32位)			
		版本(4位)	部件编号(16位)	制造商识别编号 (11位)	LSB (1 Bit)
Cyclone V GX	C3	0000	0010 1011 0000 0001	000 0110 1110	1
	C4	0000	0010 1011 0001 0010	000 0110 1110	1
	C5	0000	0010 1011 0000 0010	000 0110 1110	1
	C7	0000	0010 1011 0000 0011	000 0110 1110	1
	C9	0000	0010 1011 0000 0100	000 0110 1110	1
Cyclone V GT	D5	0000	0010 1011 0000 0010	000 0110 1110	1
	D7	0000	0010 1011 0000 0011	000 0110 1110	1
	D9	0000	0010 1011 0000 0100	000 0110 1110	1
Cyclone V SE	A2	0000	0010 1101 0001 0001	000 0110 1110	1
	A4	0000	0010 1101 0000 0001	000 0110 1110	1
	A5	0000	0010 1101 0001 0010	000 0110 1110	1
	A6	0000	0010 1101 0000 0010	000 0110 1110	1
Cyclone V SX	C2	0000	0010 1101 0001 0001	000 0110 1110	1
	C4	0000	0010 1101 0000 0001	000 0110 1110	1
	C5	0000	0010 1101 0001 0010	000 0110 1110	1
	C6	0000	0010 1101 0000 0010	000 0110 1110	1
Cyclone V ST	D5	0000	0010 1101 0001 0010	000 0110 1110	1
	D6	0000	0010 1101 0000 0010	000 0110 1110	1

所支持的JTAG指令

表9-2: Cyclone V器件支持的JTAG指令

JTAG指令	指令编码	说明
SAMPLE / PRELOAD	00 0000 0101	<ul style="list-style-type: none"> 器件正常运行期间，使您能够在器件管脚采集和检查信号的快照并且允许器件管脚上输出初始数据码型。 加载EXTTEST指令之前，使用该指令将测试数据预加载到更新寄存器。 使用SignalTap™ II嵌入式Logic Analyzer。
EXTTEST	00 0000 1111	<ul style="list-style-type: none"> 通过强制输出管脚的测试码型使您能够测试外部电路和板级互联，并且采集输入管脚的测试结果。在输出管脚上强制已知逻辑高电平或低电平使您能够检测到扫描链中所有器件的管脚的开路 and 短路。 EXTTEST的高阻抗状态被总线保持和弱上拉电阻功能覆盖。
BYPASS	11 1111 1111	在TDI和TDO管脚之间放置1-bit旁路寄存器。在器件正常操作期间，1-bit旁路寄存器使得BST数据从所选器件同步地传递到相邻器件。
USERCODE	00 0000 0111	<ul style="list-style-type: none"> 检查JTAG链的器件中的用户电子签名 (UES)。 选择32-bit USERCODE寄存器并且将其放置在TDI和TDO管脚之间以便支持USERCODE从TDO的串行移位。 UES值在配置前被设置为默认值并且在器件配置后只是用户定义。
IDCODE	00 0000 0110	<ul style="list-style-type: none"> 识别JTAG链中的器件。如果您选择IDCODE，那么器件识别寄存器会被加载32-bit供应商定义的识别代码。 选择IDCODE寄存器并且将其放置在TDI和TDO管脚之间以便支持IDCODE从TDO的串行移位。 IDCODE是上电时的默认指令并且处于TAP RESET状态。没有加载任何指令的情况下，可以进入SHIFT_DR状态并且移出JTAG器件ID。

JTAG指令	指令编码	说明
HIGHZ	00 0000 1011	<ul style="list-style-type: none"> 将所有的用户I/O管脚设置为无效驱动状态。 将1-bit旁路寄存器放置在TDI和TDO管脚之间。正常操作期间, 1-bit旁路寄存器支持BST数据从所选的器件同步地传递到相邻的器件, 同时三态所有的I/O管脚直到新的JTAG指令被执行。 如果测试配置后的器件, 那么可编程的弱上拉电阻或总线保持功能会覆盖管脚的HIGHZ值。
CLAMP	00 0000 1010	<ul style="list-style-type: none"> 将1-bit旁路寄存器放置在TDI和TDO管脚之间。正常操作期间, 1-bit旁路寄存器支持BST数据从所选的器件同步地传递到相邻的器件, 同时保持I/O管脚为边界扫描寄存器中数据定义的状态。 如果测试配置后的器件, 那么可编程的弱上拉电阻或总线保持功能会覆盖管脚的CLAMP值。CLAMP值存储在边界扫描单元(BSC)的更新寄存器中。
PULSE_NCONFIG	00 0000 0001	仿真脉冲nCONFIG管脚为低电平以触发重配置(即使物理管脚没有受到影响)。
CONFIG_IO	00 0000 1101	允许使用I/O配置移位寄存器(IOCSR)通过JTAG端口进行I/O重配置(重配置之后或重配置期间)以便实现JTAG测试。只有在nSTATUS管脚变高后, 才可以发出CONFIG_IO指令。
LOCK	01 1111 0000	使器件处于JTAG安全模式。在该模式仅支持BYPASS、SAMPLE/PRELOAD、EXTEST、IDCODE、SHIFT_EDERROR_REG和UNLOCK指令。该指令仅可以在用户模式中通过JTAG内核访问而被访问。它不能在测试或用户模式中通过外部JTAG管脚而被访问。
UNLOCK	11 0011 0001	从JTAG安全模式释放器件以便使能对所有其它JTAG指令的访问。该指令在用户模式中仅可以通过JTAG内核访问而被访问。它不能在测试或用户模式中通过外部JTAG管脚而被访问。
KEY_CLR_VREG	00 0010 1001	清除非易失性密钥。
KEY_VERIFY	00 0001 0011	验证非易失性密钥已经被清除。

注意：如果器件处于复位状态并且nCONFIG或nSTATUS信号为低电平，那么器件IDCODE可能不会被正确地读取。为了正确地读取器件IDCODE，必须只有在nCONFIG和nSTATUS信号处于高电平时，发出IDCODEJTAG指令。

相关链接

[Cyclone V器件中的配置、设计安全和远程系统更新](#)

提供了关于PULSE_NCONFIG、CONFIG_IO、LOCK和UNLOCK JTAG指令的更多信息。

JTAG安全模式

如果使能篡改保护位，那么Cyclone V器件在上电后处于JTAG安全模式。在JTAG安全模式中，JTAG管脚仅支持BYPASS、SAMPLE/PRELOAD、EXTEST、IDCODE、SHIFT_EDERROR_REG和UNLOCK指令。发出UNLOCKJTAG指令，以使能对其它JTAG指令的支持。

JTAG专用指令

警告：禁止调用以下指令代码。这些指令会毁坏并且导致器件不可用：

- 1100010000
- 0011001001
- 1100010011
- 1100010111
- 0111100000
- 1110110011
- 0011100101
- 0011100110
- 0000101010
- 0000101011

JTAG操作的I/O电压

在IEEE Std. 1149.1 BST模式中操作的Cyclone V器件使用4个专用JTAG管脚—TDI、TDO、TMS和TCK。Cyclone V器件不支持可选的TRST管脚。

TCK管脚具有一个内部弱下拉电阻，而TDI和TMS管脚具有内部弱上拉电阻。I/Obank 3A的3.3-、3.0-、或2.5-VV_{CCPD}电源对TDO、TDI、TMS和TCK管脚供电。所有的用户I/O管脚在JTAG配置期间处于三态。

JTAG链支持几种不同的器件。如果JTAG链包含不同的V_{CCIO}电平的器件，那么请使用下表列出的支持的TDO和TDI电压组合。TDO管脚的输出电压电平必须满足它驱动的TDI管脚的规范。

表9-3: 支持的TDO和TDI电压组合

3.3 V或3.0 V的 V_{CCPD} 的TDO输出缓冲器满足2.4 V的 V_{OH} (MIN)，并且2.5 V的 V_{CCPD} 的TDO输出缓冲器满足2.0 V的 V_{OH} (MIN)。

器件	TDI输入缓冲器电源	Cyclone V TDO V_{CCPD}		
		$V_{CCPD} = 3.3\text{ V}$	$V_{CCPD} = 3.0\text{ V}$	$V_{CCPD} = 2.5\text{ V}$
Cyclone V	$V_{CCPD} = 3.3$	Yes	Yes	Yes
	$V_{CCPD} = 3.0$	Yes	Yes	Yes
	$V_{CCPD} = 2.5$	Yes	Yes	Yes
非Cyclone V ⁽¹⁾	$V_{CC} = 3.3$	Yes	Yes	Yes
	$V_{CC} = 2.5$	Yes	Yes	Yes
	$V_{CC} = 1.8$	Yes	Yes	Yes
	$V_{CC} = 1.5$	Yes	Yes	Yes

执行BST

您可以在配置前，配置后或配置期间发出 `BYPASS`、`IDCODE`和`SAMPLEJTAG`指令，而无需中断配置。

要发出其它的JTAG指令，请遵循以下这些指南：

- 要在配置之前执行测试，请保持 `nCONFIG`管脚低电平。
- 要在配置期间执行BST，请发出 `CONFIG_IO` JTAG指令来中断配置。当中断配置时，您可以发出其它的JTAG指令来执行BST。BST完成后，发出 `PULSE_CONFIG` JTAG 指令或`nCONFIG`低电平脉冲以重配置器件。

Cyclone V器件上的芯片全复位 (`DEV_CLRn`) 和芯片全输出使能 (`DEV_OE`) 管脚不影响JTAG边界扫描或配置操作。翻转这些管脚不会扰乱BST操作(除了所预期的BST行为以外)。

如果对Cyclone V器件的JTAG配置设计一个电路板，那么请考虑专用配置管脚的连接。

相关链接

- [Cyclone V器件系列管脚连接指南](#)
提供了关于管脚连接的更多信息。
- [Cyclone V器件中的配置、设计安全和远程系统更新](#)
提供了关于JTAG配置的更多信息。
- [Cyclone V器件数据手册](#)
提供了关于JTAG配置时序的更多信息。

⁽¹⁾ 输入缓冲器必须承受 $TDOV_{CCPD}$ 电压。

使能和禁用IEEE Std. 1149.1 BST电路

IEEE Std. 1149.1 BST电路在Cyclone V器件上电后被使能。然而对于Cyclone V SoC FPGA，必须上电HPS和FPGA以执行BST。

为了确保在不需要IEEE Std. 1149.1电路时，您不会无意中启用它，那么可以通过下表列出的管脚连接永久性地禁用电路。

表9-4: Cyclone V器件的永久禁用IEEE Std. 1149.1电路的管脚连接

JTAG管脚 ⁽²⁾	禁用连接
TMS	Bank 3A的V _{CCPD} 电源
TCK	GND
TDI	Bank 3A的V _{CCPD} 电源
TDO	不连接

IEEE Std. 1149.1边界扫描测试指南

当使用IEEE Std. 1149.1器件执行BST时，请考虑以下指南：

- 如果在SHIFT_IR状态的第一个时钟周期期间，“10...”码型没有通过TDO管脚移出指令寄存器，那么TAP控制器没有达到合适状态。要解决这个问题，那么请尝试以下其中一个过程：
 - 验证TAP控制器已经正确地达到SHIFT_IR状态。要促使TAP控制器达到SHIFT_IR状态，需要返回到RESET状态并且发送01100代码到TMS管脚。
 - 检查VCC、GND和JTAG的连接，并且检查器件上的专用配置管脚。
- 在第一个EXTEST测试周期之前，执行一个SAMPLE/PRELOAD测试周期，以确保进入EXTEST模式时，已知数据出现在器件管脚。如果OEJ更新寄存器包含0，那么OUTJ更新寄存器中的数据被发出。状态必须是已知和正确的以便避免在系统中与其它器件的冲突。
- 不要在电路中的重配置期间执行EXTEST测试，因为在电路中的重配置期间不支持EXTEST。要执行测试，就要等待配置完成或发出CONFIG_IO指令来中断配置。
- 配置完成后，不可以测试差分管脚对中的任何管脚。要在配置后执行BST，那么就要编辑和重新定义与这些差分管脚对相一致的BSC组为一个内部单元。

相关链接

[IEEE 1149.1 BSDL文件](#)

提供了关于BSC组定义的更多信息。

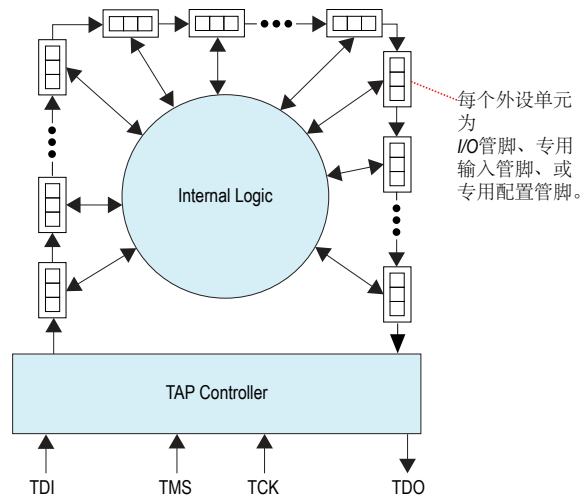
⁽²⁾ JTAG管脚是专用的。在Cyclone V器件中，软件选项不可用于禁用JTAG。

IEEE Std. 1149.1边界扫描寄存器

边界扫描寄存器是一个大型串行移位寄存器，它使用T_{DI}管脚为输入以及T_{DO}管脚为输出。边界扫描寄存器包含与Cyclone VI/O管脚相关的3-bit外围单元。可以使用边界扫描寄存器测试外部管脚连接或采集内部数据。

图9-1: 边界扫描寄存器

该图显示了测试数据如何在IEEE Std. 1149.1器件的外围串行地移位。



Cyclone V器件I/O管脚的边界扫描单元

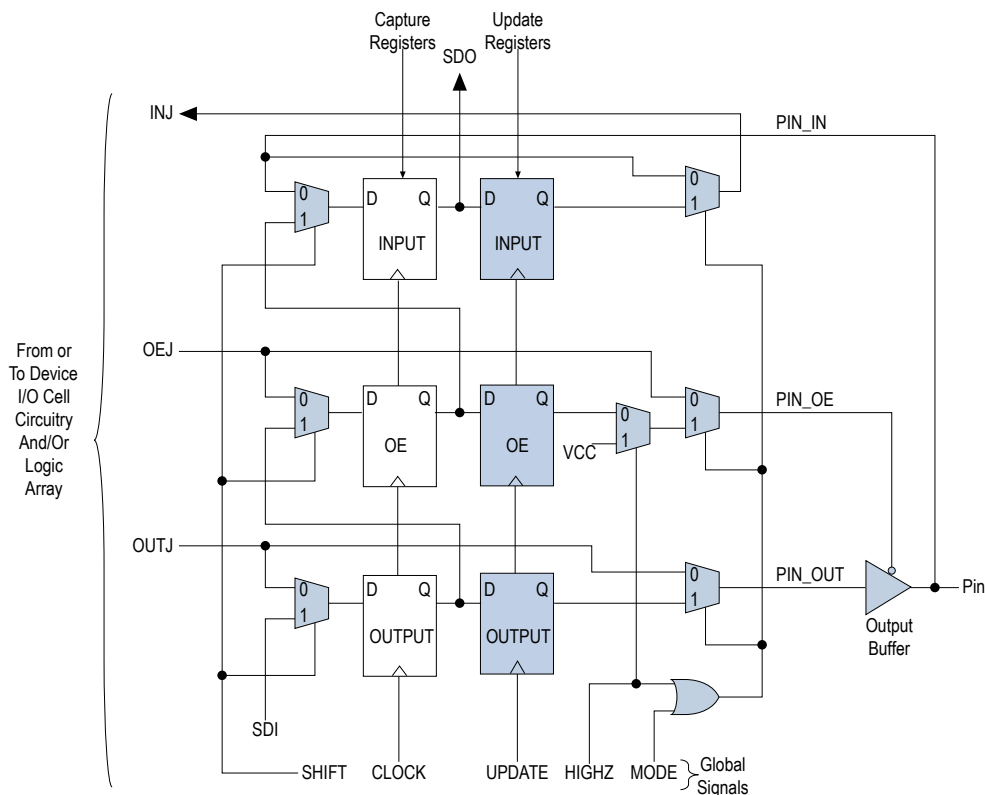
Cyclone V器件3-bitBSC包含下列寄存器:

- 采集寄存器—通过OUT_J、OE_J和PIN_{IN}信号连接到内部器件数据。
- 更新寄存器—通过PIN_{OUT}和PIN_{OE}信号连接到外部数据。

TAP控制器从内部对IEEE Std. 1149.1BST寄存器(移位、时钟、更新)生成全局控制信号。指令寄存器的解码生成MODE信号。

边界扫描寄存器的数据信号路径从serial data in (SDI)信号到serial data out (SDO)信号运行。扫描寄存器开始于器件的T_{DI}管脚并且结束于器件的T_{DO}管脚。

图9-2: Cyclone V器件中IEEE Std. 1149.1BST电路的用户I/O BSC



注意: TDI、TDO、TMS和TCK管脚, 所有VCC和GND管脚类型以及VREF管脚没有BSC。

表9-5: Cyclone V器件的边界扫描单元说明

该表列出了Cyclone V器件中所有BSC的采集和更新寄存器性能。

管脚类型	采集			驱动			注释
	输出采集寄存器	OE 采集寄存器	输入采集寄存器	输出更新寄存器	OE 更新寄存器	输入更新寄存器	
用户 I/O管脚	OUTJ	OEJ	PIN_IN	PIN_OUT	PIN_OE	INJ	—
专用时钟输入	0	1	PIN_IN	无连接 (N.C.)	N.C.	N.C.	PIN_IN驱动到时钟网络或逻辑阵列
专用输入 ⁽³⁾	0	1	PIN_IN	N.C.	N.C.	N.C.	PIN_IN驱动到控制逻辑

⁽³⁾ 这包括 PLL_ENA、VCCSEL、PORSEL、nIO_PULLUP、nCONFIG、MSEL0、MSEL1、MSEL2、MSEL3、MSEL4 和 nCE管脚。

管脚类型	采集			驱动			注释
	输出采集寄存器	OE 采集寄存器	输入采集寄存器	输出更新寄存器	OE 更新寄存器	输入更新寄存器	
专用双向(开漏) ⁽⁴⁾	0	OEJ	PIN_IN	N.C.	N.C.	N.C.	PIN_IN驱动到配置控制
专用双向 ⁽⁵⁾	OUTJ	OEJ	PIN_IN	N.C.	N.C.	N.C.	PIN_IN驱动到配置控制以及OUTJ驱动到输出缓冲器
专用输出 ⁽⁶⁾	OUTJ	0	0	N.C.	N.C.	N.C.	OUTJ驱动到输出缓冲器

文档修订历史

日期	版本	修订内容
2013年5月	2013.05.06	<ul style="list-style-type: none"> 将链接添加到Knowledge Base中的已知文档问题中。 将所有的链接移到各自内容的相关信息部分，以便易于参考。
2012年12月	2012.12.28	重组内容并更新模板。
2012年6月	2.0	<ul style="list-style-type: none"> 重新组织了章节结构。 更新了表9-1和表9-2。
2011年10月	1.0	首次发布。

⁽⁴⁾ 这包括 CONF_DONE和 nSTATUS管脚。

⁽⁵⁾ 这包括 DCLK管脚。

⁽⁶⁾ 这包括 nCEO管脚。