

Cyclone V器件中的配置、设计安全和远程系统更新

7

2013.05.10

CV-52007

 订阅  反馈

本章介绍Cyclone® V器件所支持的配置方案、设计安全和远程系统更新。

相关链接

- **Cyclone V器件手册：已知问题**
列出了Cyclone V器件手册章节的所计划的更新。
- **Cyclone V器件概述**
提供了每个配置方案所支持的配置功能的更多信息。
- **Cyclone V器件数据手册**
提供了关于所估计的.rbf文件大小、FPP DCLK-to-DATA[] 比率和时序参数的更多信息。
- **Altera FPGA用户指南中的Configuration via Protocol (CvP)实现**
提供了关于CvP配置方案的更多信息。
- **硬核处理器系统技术参考手册**
提供了关于通过HPS配置方案进行配置的更多信息。
- **部分重配置的设计规划**
提供了关于部分重配置的更多信息。

通过协议增强的配置和配置

Cyclone V 器件支持 1.8 V、2.5 V、3.0 V 和 3.3 V 编程电压和几个配置模式。

© 2014 Altera Corporation. All rights reserved. ALTERA, ARRIA, CYCLONE, ENPIRION, MAX, MEGACORE, NIOS, QUARTUS and STRATIX words and logos are trademarks of Altera Corporation and registered in the U.S. Patent and Trademark Office and in other countries. All other words and logos identified as trademarks or service marks are the property of their respective holders as described at www.altera.com/common/legal.html. Altera warrants performance of its semiconductor products to current specifications in accordance with Altera's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Altera assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Altera. Altera customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.

ISO
9001:2008
Registered

ALTERA®

表7-1: Cyclone V 器件所支持的配置模式和功能

模式	数据宽度	Max时钟速率 (MHz)	Max数据速率 (Mbps)	解压缩	设计安全	部分重配置 ⁽¹⁾	远程系统更新
EPC和EPCQ串行配置器件中的AS	1位、4位	100	—	Yes	Yes	—	Yes
CPLD或外部微处理器中的PS	1位	125	125	Yes	Yes	—	—
FPP	8位	125	—	Yes	Yes	—	并行闪存加载器
	16位	125	—	Yes	Yes	Yes	
CvP (PCIe)	x1、x2和x4通道	—	—	—	Yes	Yes	—
JTAG	1位	33	33	—	—	—	—

取代使用一个外部闪存或ROM，您可以使用CvP通过PCIe配置Cyclone V 器件。CvP模式通过简单易用的PCIe硬核IP模块接口提供最快的配置速率和灵活性。Cyclone V CvP 实现符合PCIe 100 ms power-up-to-active时间要求。

相关链接

[Altera FPGA用户指南中的Configuration via Protocol \(CvP\)实现](#)提供了关于CvP配置方案的更多信息。

MSEL管脚设置

将MSEL管脚直接连接到V_{CCPGM}或GND，不需使用任何的上拉或者下拉电阻，即可选择出所需的配置方案。

注意：请不要使用一个微处理器或者另一个器件来驱动MSEL管脚。

⁽¹⁾ 部分重配置是器件系列的高级功能。如果您想要使用部分重配置,请联系Altera 来获得支持。

表7-2: Cyclone V器件的每个配置方案的MSEL管脚设置

配置方案	压缩功能	设计 安全功能	V _{CCPGM} (V)	上电 复位 (POR) 延迟	有效 MSEL[4..0]
FPP x8	禁用	禁用	1.8/2.5/3.0/3.3	快速	10100
				标准	11000
	禁用	使能	1.8/2.5/3.0/3.3	快速	10101
				标准	11001
	使能	使能/禁用	1.8/2.5/3.0/3.3	快速	10110
				标准	11010
FPP x16	禁用	禁用	1.8/2.5/3.0/3.3	快速	00000
				标准	00100
	禁用	使能	1.8/2.5/3.0/3.3	快速	00001
				标准	00101
	使能	使能/禁用	1.8/2.5/3.0/3.3	快速	00010
				标准	00110
PS	使能/禁用	使能/禁用	1.8/2.5/3.0/3.3	快速	10000
				标准	10001
AS (x1和 x4)	使能/禁用	使能/禁用	3.0/3.3	快速	10010
				标准	10011
基于JTAG的配置	禁用	禁用	—	—	使用以上任何有效的MSEL管脚设置

注意：也必须选择 Quartus® II的**Device and Pin Options**对话框的配置页面中的配置方案。根据您的选择，编程文件中的选项位被相应地设置。

相关链接

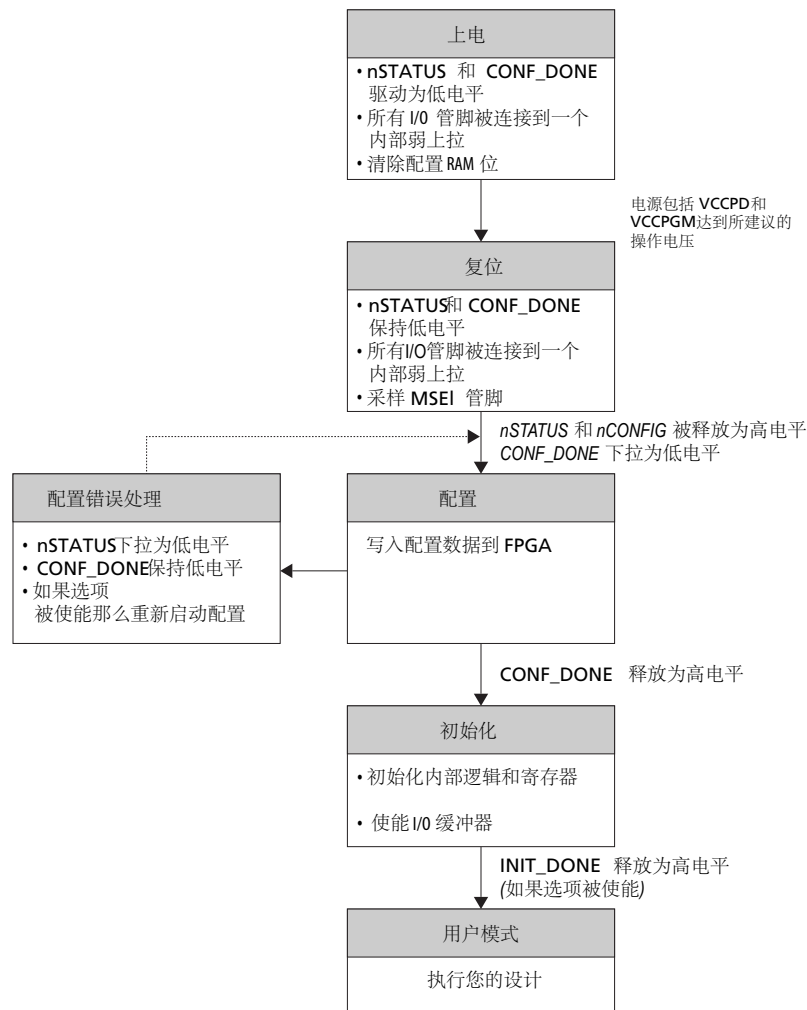
[Cyclone V器件系列管脚连接指南](#)

提供了关于JTAG管脚电平连接的更多信息。

配置序列

介绍配置序列和每个配置阶段。

图7-1: Cyclone V器件的配置序列



通过至少拉低 nCONFIG 管脚到最低 t_{CFG} 低脉冲宽度(除了使用部分重配置操作的配置), 您可以启动重配置。当该管脚拉低时, nSTATUS 和 CONF_DONE 管脚被拉低并且所有的 I/O 管脚被连接到一个内部弱上拉电阻。

上电

上电所有的由 POR 电路监控的电源。所有的电源, 包括 VCCPGM 和 VCCPD, 必须从 0 V 上电到上电时间规范中所建议的操作电压电平。否则, 保持 nCONFIG 管脚低电平直到所有的电源达到所建议的电压电平。

VCCPGM 管脚

在 Cyclone V 器件中, 配置输入缓冲器不必与普通 I/O 缓冲器共享电源线。

在配置期间, 配置输入管脚的操作电压与 I/O bank 电源, VCCIO 无关。因此, Cyclone V 器件不要求 VCCIO 上的配置电压约束。

V_{CCPD} 管脚

使用V_{CCPD} 管脚，一个专用的编程电源，为I/O 预驱动器和JTAG I/O管脚 (TCK、TMS、TDI、和TDO)供电。所支持的配置电压是2.5、3.0和3.3 V。

如果bank的V_{CCIO} 被设置为2.5 V或更低，那么V_{CCPD} 必须上电到2.5 V。如果V_{CCIO} 被设置为大于2.5 V，那么V_{CCPD} 必须大于V_{CCIO}。例如，当V_{CCIO} 设置为3.0 V时，那么V_{CCPD} 必须设置为3.0 V或以上。当V_{CCIO} 设置为3.3 V时，V_{CCPD} 必须设置为3.3 V。

相关链接

- [Cyclone V器件数据手册](#)
提供了关于斜升时间规范的更多信息。
- [Cyclone V器件系列管脚连接指南](#)
提供了关于配置管脚连接的更多信息。
- [器件配置管脚 \(第7-6页\)](#)
提供了关于配置管脚的更多信息。

复位

POR延迟是POR电路监控的所有电源达到所推荐的操作电压和nSTATUS释放为高电平以及Cyclone V器件开始配置之间的时间延迟。

使用MSEL管脚设置POR延迟。

用户I/O管脚被连接到一个内部弱上拉电阻直到器件被配置。

相关链接

- [MSEL管脚设置 \(第7-2页\)](#)
- [Cyclone V器件数据手册](#)
提供了关于POR延迟规范的更多信息。

配置

要了解关于每个配置方案的DATA[1] 管脚的更多信息，请参考相关配置方案。

配置错误处理

要自动重启配置，在Quartus II的Device and Pin Options对话框的General页面上打开 **Auto-restart configuration after error** 选项。

如果您不打开该选项，那么可以监控nSTATUS管脚检测错误。要重启配置，将nCONFIG管脚拉低至至少t_{CFG} 的持续时间。

相关链接

[Cyclone V器件数据手册](#)
提供了关于t_{STATUS} 和t_{CFG} 时序参数的更多信息。

初始化

初始化时钟源来自内部振荡器，CLKUSR管脚或DCLK管脚。默认情况下，内部振荡器为初始化时钟源。如果使用内部振荡器，那么Cyclone V器件将会被提供足够的时钟周期，以便进行正确初始化。

注意：如果在器件初始化期间使用可选的CLKUSR管脚作为初始化时钟源并且拉低nCONFIG管脚来重启配置，那么确保CLKUSR或DCLK管脚继续翻转直到nSTATUS管脚变低然后再变高。

CLKUSR管脚使您可以灵活地同步多个器件的初始化或延迟初始化。初始化期间，在CLKUSR管脚上提供一个时钟不影响配置。在CONF_DONE管脚变高后，CLKUSR或DCLK管脚在时间指定为 t_{CD2CU} 后被使能。经过这段时间后，Cyclone V器件需要 T_{init} 指定的最小时钟周期数来正确进行初始化以及进入 t_{CD2UMC} 参数中指定的用户模式。

相关链接

Cyclone V器件数据手册

提供了关于 t_{CD2CU} 、 t_{init} 、 t_{CD2UMC} 时序参数和初始化时钟源的更多信息。

用户模式

您可以使能可选的INIT_DONE管脚来监控初始化阶段。INIT_DONE管脚拉高后，初始化完成并且设计开始执行。用户I/O管脚将会和您设计的一样运行。

器件配置管脚

配置管脚总结

下表列出了Cyclone V配置管脚和它们的电源。

注意：TDI、TMS、TCK和TDO管脚由管脚所在的bank的 V_{CCPD} 供电。

注意：CLKUSR、DEV_OE、DEV_CLRn和DATA[15..5]管脚在配置期间由 V_{CCPGM} 供电并且由管脚所在的bank的 V_{CCIO} 供电(如果将其用作用户I/O管脚)。

表7-3: Cyclone V器件的配置管脚总结

配置管脚	配置方案	输入/输出	用户模式	供电支持
TDI	JTAG	输入	—	V_{CCPD}
TMS	JTAG	输入	—	V_{CCPD}
TCK	JTAG	输入	—	V_{CCPD}
TDO	JTAG	输出	—	V_{CCPD}
CLKUSR	所有方案	输入	I/O	$V_{CCPGM}/V_{CCIO}^{(2)}$
CRC_ERROR	可选的， 所有方案	输出	I/O	上拉

配置管脚	配置方案	输入/输出	用户模式	供电支持
CONF_DONE	所有方案	双向	—	V _{CCPGM} / 上拉
DCLK	FPP和PS	输入	—	V _{CCPGM}
	AS	输出	—	V _{CCPGM}
DEV_OE	可选的, 所有方案	输入	I/O	V _{CCPGM} / V _{CCIO} ⁽²⁾
DEV_CLRn	可选的, 所有方案	输入	I/O	V _{CCPGM} / V _{CCIO} ⁽²⁾
INIT_DONE	可选的, 所有方案	输出	I/O	上拉
MSEL[4..0]	所有方案	输入	—	V _{CCPGM}
nSTATUS	所有方案	双向	—	V _{CCPGM} / 上拉
nCE	所有方案	输入	—	V _{CCPGM}
nCEO	所有方案	输出	I/O	上拉
nCONFIG	所有方案	输入	—	V _{CCPGM}
DATA[15..5]	FPP x8和 x16	输入	I/O	V _{CCPGM} / V _{CCIO} ⁽²⁾
nCSO/DATA4	AS	输出	—	V _{CCPGM}
	FPP	输入	—	V _{CCPGM}
AS_DATA[3..1]/DATA[3..1]	AS	双向	—	V _{CCPGM}
	FPP	输入	—	V _{CCPGM}
AS_DATA0 / DATA0 / ASDO	AS	双向	—	V _{CCPGM}
	FPP和PS	输入	—	V _{CCPGM}
PR_REQUEST	FPP x16	输入	I/O	V _{CCPGM} / V _{CCIO} ⁽²⁾
PR_READY	FPP x16	输出	I/O	V _{CCPGM} / V _{CCIO} ⁽²⁾
PR_ERROR	FPP x16	输出	I/O	V _{CCPGM} / V _{CCIO} ⁽²⁾
PR_DONE	FPP x16	输出	I/O	V _{CCPGM} / V _{CCIO} ⁽²⁾

相关链接

[Cyclone V器件系列管脚连接指南](#)

提供了关于每个配置管脚的更多信息。

⁽²⁾ 用户模式之前，该管脚由 V_{CCPGM} 供电，用户模式期间由 V_{CCIO} 供电

Quartus II软件的配置管脚选项

下表列出了Quartus II的**Device and Pin Options**对话框中的双用配置管脚。

表7-4: 配置管脚选项

配置管脚	Category页面	选项
CLKUSR	General	Enable user-supplied start-up clock (CLKUSR)
DEV_CLRn	General	Enable device-wide reset (DEV_CLRn)
DEV_OE	General	Enable device-wide output enable (DEV_OE)
INIT_DONE	General	Enable INIT_DONE output
nCEO	General	Enable nCEO Pin
CRC_ERROR	Error Detection CRC	Enable Error Detection CRC_ERROR Pin
		Enable open drain on CRC_ERROR Pin
		Enable interbal scrubbing
PR_REQUEST	General	Enable PR Pin
PR_READY		
PR_ERROR		
PR_DONE		

相关链接

[通过Quartus II查看印刷电路板示意图](#)

提供了关于器件和管脚选项对话框设置的更多信息。

快速被动并行配置

FPP配置方案使用一个外部主机，例如微处理器、MAX[®] II器件或MAX V器件。该方案是配置Cyclone V器件的最快方法。FPP配置方案支持8和16位数据宽度。

可以使用外部主机来控制从外部存储(例如闪存存储器)到FPGA的配置数据的传输。控制配置过程的设计位于外部主机。您可以使用Raw Binary File (.rbf)、Hexadecimal (Intel-Format) File (.hex)或Tabular Text File (.ttf)格式存储配置数据。

可以使用PFL megafunction以及MAX II或MAX V器件来读取闪存存储器件的配置数据并且配置Cyclone V器件。

注意: 对于FPP配置中未压缩的和压缩的配置数据，CONF_DONE管脚变高后，需要两个DCLK下降沿来开始器件的初始化。

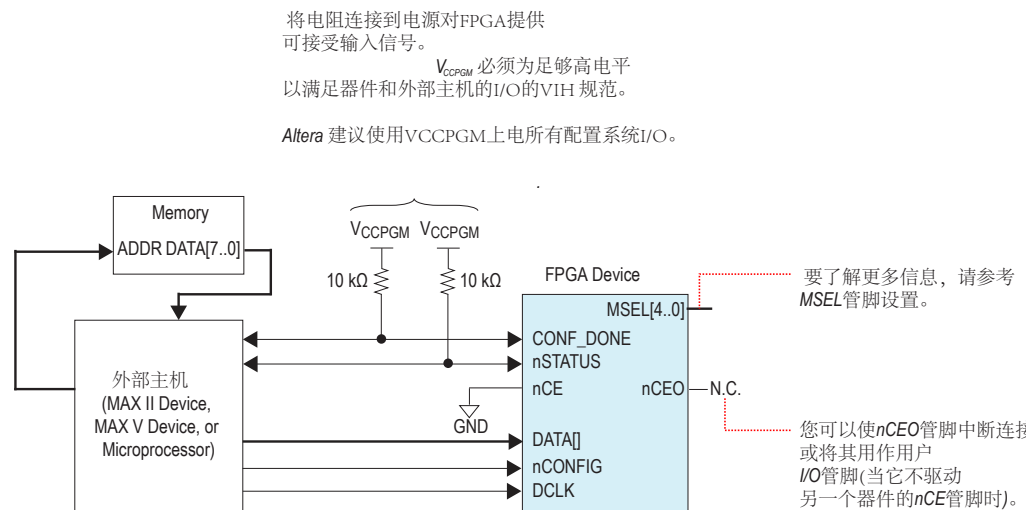
相关链接

- [并行闪存加载器宏功能用户指南](#)
- [Cyclone V器件数据手册](#)
提供了关于FPP配置时序的更多信息。

快速被动并行单器件配置

要配置Cyclone V器件，如下图所示将器件连接到外部主机

图7-2: 使用外部主机的单一器件FPP配置



快速被动并行多器件配置

可以配置链中连接的多个Cyclone V器件

管脚连接和指南

对于该配置设置，观测以下的管脚连接和指南：

- 将以下链中所有器件的管脚连接在一起：
 - nCONFIG
 - nSTATUS
 - DCLK
 - DATA[]
 - CONF_DONE

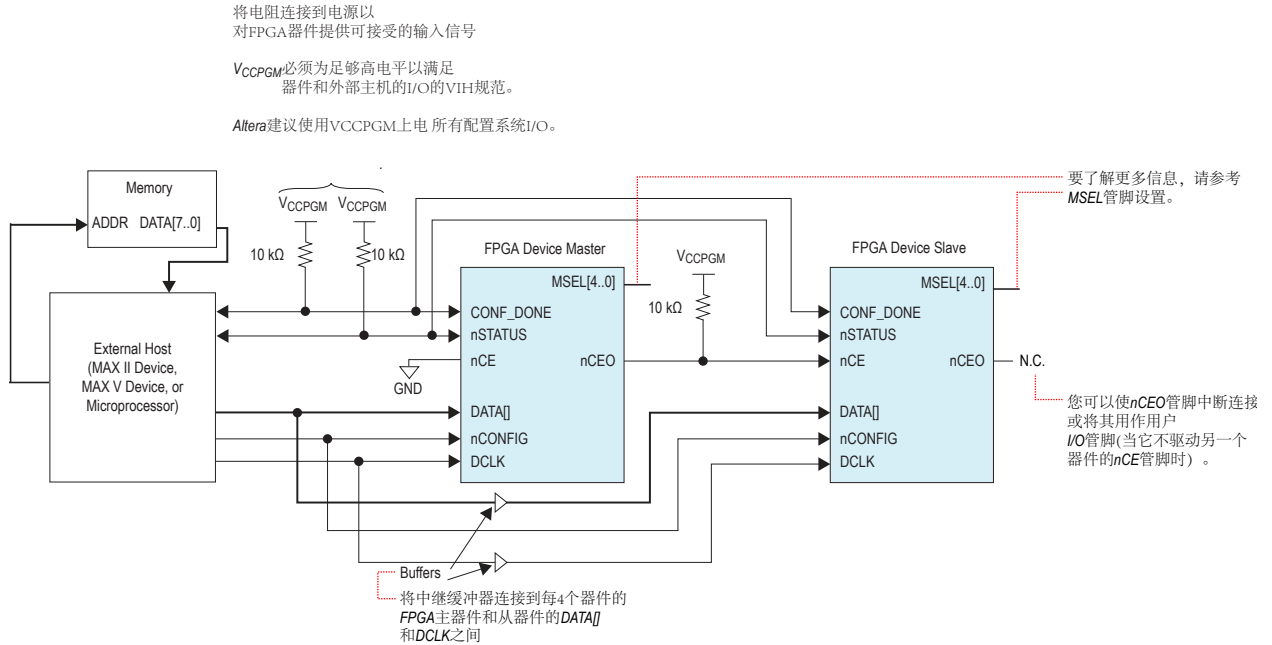
通过将 CONF_DONE 和 nSTATUS 管脚连接在一起，器件同时进行初始化和进入用户模式。如果链中的任意器件检测到一个错误，那么配置在整个链中停止并且您必须重配置所有器件。例如，如果链中的第一个器件在nSTATUS管脚上标记一个错误，那么它通过将其 nSTATUS管脚拉低而复位链。

- 在每4个器件的节点处，确保 DCLK 和 DATA[] 被缓冲以便防止信号完整性和时钟偏移问题。
- 链中所有器件必须使用相同数据宽度。
- 如果使用相同配置数据配置链中的器件，那么器件必须具有相同的封装和密度。

使用多个配置数据

要使用多个配置数据配置链中的多个 Cyclone V 器件，那么如下图所示将器件连接到外部主机。

图7-3: 当两个器件接收不同组的配置数据时，使用外部主机的多个器件FPP配置



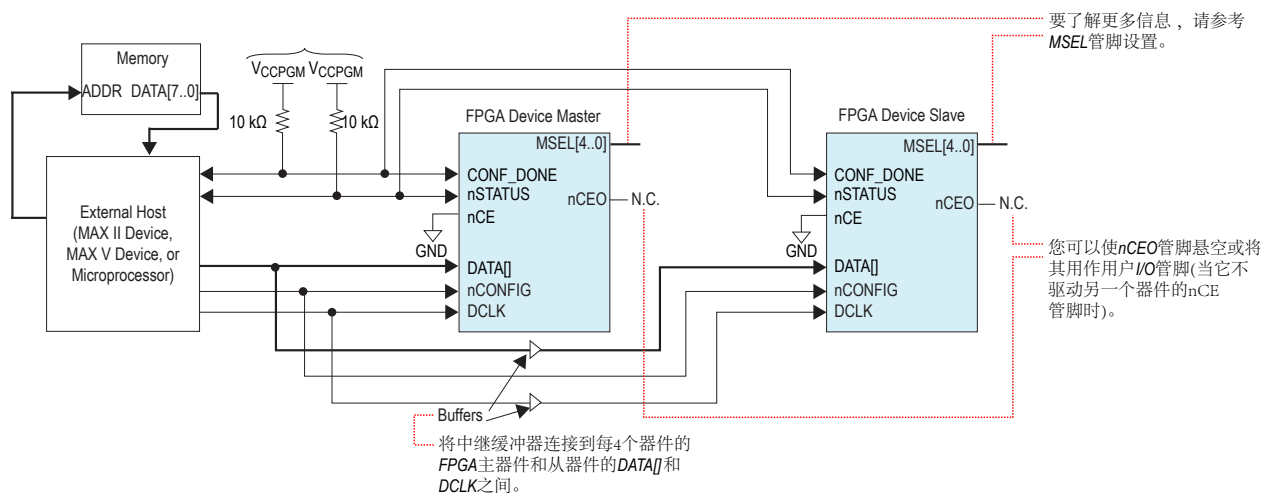
当一个器件完成配置时，它的nCEO管脚被释放为低电平来激活链中下一个器件的nCE管脚。一个时钟周期后，第二个器件的配置自动开始。

使用一个配置数据

要使用一个配置数据配置链中的多个Cyclone V器件，请如下图所示将器件连接到外部主机。

图7-4: 当两个器件接收相同数据时, 使用外部主机的多器件FPP配置

将电阻连接到电源, 以对FPGA器件提供可接受的输入信号。
VCCPGM必须为足够高电平以满足器件和外部主机的I/O的
VIH规范。Altera 建议使用VCCPGM上电所有配置系统 I/O。



链中器件的nCE管脚被连接到GND, 从而使得这些器件的配置在同时开始和结束。

主动串行配置

AS配置方案支持 AS x1 (1-bit数据宽度)和AS x4 (4-bit数据宽度)模式。AS x4模式比 AS x1模式提供4倍快的配置时间。在AS配置方案中, Cyclone V器件控制配置接口。

相关链接

[Cyclone V器件数据手册](#)

提供了关于AS配置时序的更多信息。

DATA时钟 (DCLK)

Cyclone V器件生成串行时钟, DCLK, 可以提供时序到串行接口。在AS配置方案中, Cyclone V器件在DCLK的下降沿驱动控制信号并且在时钟管脚接下来的下降沿锁存配置数据。

AS配置方案所支持的最高DCLK频率是100 MHz(除了AS多器件配置方案以外)。可以使用CLKUSR或内部振荡器生成DCLK。如果使用内部振荡器, 那么可以在Quartus II的**Configuration**页面中的**Device and Pin Options**对话框下选择12.5、25、50或100 MHz时钟。

上电后, 默认情况下, DCLK由一个12.5 MHz内部振荡器驱动。Cyclone V器件通过读取编程文件中的选项位, 决定要使用的时钟源和频率。

相关链接

[Cyclone V器件手册手册](#)

提供了关于AS配置方案中的DCLK频率规范的更多信息。

主动串行单器件配置

要配置Cyclone V器件，如下图所示，请将器件连接到串行配置(EPCS)器件或四路串行配置(EPCQ)器件。

图7-5: 单一器件 AS x1模式配置

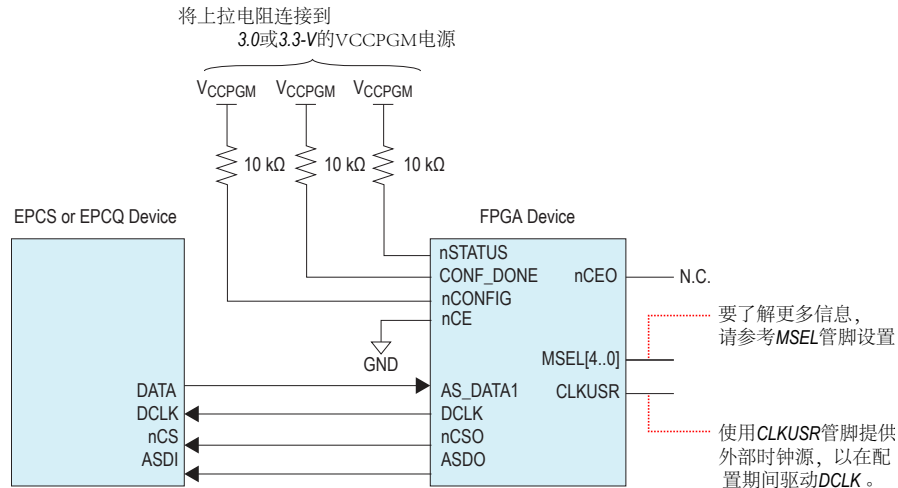
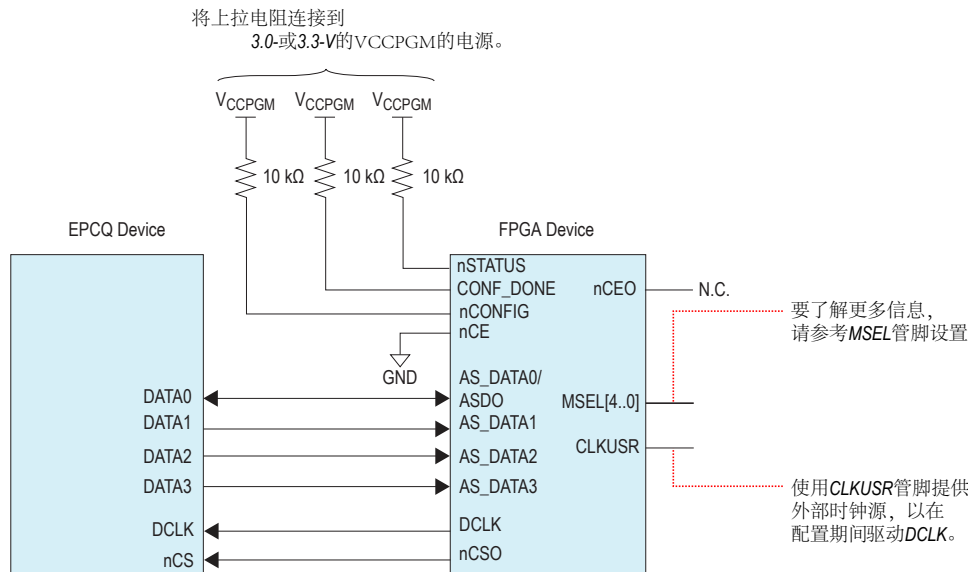


图7-6: 单一器件 AS x4模式配置



主动串行多器件配置

您可以配置连接到链上的多个Cyclone V器件。只有AS x1模式支持多器件配置。

链中的第一个器件是配置主器件。链中接下来的器件是配置从器件。

管脚连接和指南

对于该配置设置，请观测以下的管脚连接和指南：

- 硬线连接链中第一个器件的MSEL管脚来选择AS配置方案。对于链中接下来的器件，硬线连接它们的MSEL管脚来选择PS配置方案。支持PS配置的其它任何Altera®器件也可以作为器件链中的部分从配置。
- 将以下链中所有器件的管脚连接在一起：
 - nCONFIG
 - nSTATUS
 - DCLK
 - DATA[]
 - CONF_DONE

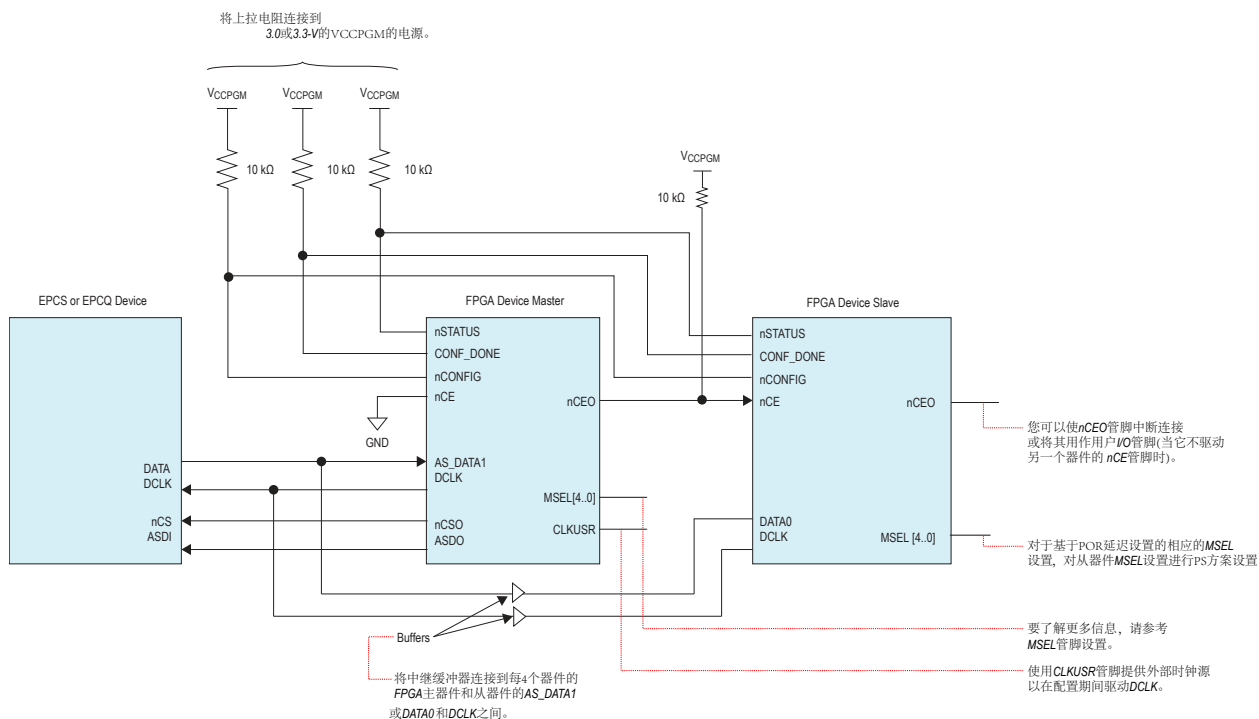
通过将 CONF_DONE、nSTATUS和 nCONFIG管脚连接在一起，器件在同时进行初始化和进入用户模式。如果链中的任何器件检测到一个错误，那么整个链中的配置停止，并且您必须重配置所有器件。例如，如果链中的第一个器件在 nSTATUS管脚标记一个错误，那么它通过将其 nSTATUS管脚拉低来复位链。

- 确保在每第4个器件缓冲DCLK和DATA[]以便防止信号完整性和时钟偏移问题。

使用多个配置数据

要使用多个配置数据配置链中的多个Cyclone V器件，请如下图所示将器件连接到EPCS或EPCQ器件。

图7-7: 当链中的两个器件接收不同组的配置数据时的多个器件AS配置



当器件完成配置时，它的nCE0管脚被释放为低电平以激活链中下一个器件的nCE管脚。一个时钟周期后，第二个器件的配置自动开始。

评估主动串行配置时间

AS配置时间是它从EPCS或EPCQ器件到 Cyclone V器件传输配置数据所用的时间。

请使用以下的公式来评估配置时间：

- AS x1模式

$$\text{.rbf大小} \times (\text{最小 DCLK周期} / \text{每DCLK周期1位}) = \text{所估计的最小配置时间。}$$
- AS x4模式

$$\text{.rbf大小} \times (\text{最小 DCLK周期} / \text{每DCLK周期4位}) = \text{所估计的最小配置时间。}$$

压缩配置数据会减少配置时间。减少的数量会根据设计的不同而不同。

使用EPCS和EPCQ器件

EPCS器件支持 AS x1模式，EPCQ器件支持 AS x1和 AS x4模式。

相关链接

- [串行配置\(EPCS\)器件数据手册](#)
- [Quad-Serial配置\(EPCQ\)器件数据手册](#)

控制EPCS和EPCQ器件

配置期间，Cyclone V器件通过驱动它的nCS0输出管脚为低电平来使能EPCS或EPCQ器件，该输出管脚与EPCS或EPCQ器件的片选(nCS)管脚相连接。Cyclone V器件使用 DCLK和 ASDO管脚来发送操作命令和读地址信号到EPCS或EPCQ器件。EPCS或EPCQ器件对其串行数据输出 (DATA[1]) 管脚提供数据，该管脚 Cyclone V器件的 AS_DATA[1] 输入相连接。

注意：如果想要控制EPCS管脚，那么保持 nCONFIG管脚低电平并且将nCE管脚拉高。这样会导致器件复位并三态AS配置管脚。

走线长度和负载

最大走线长度和负载应用于下表所列出的单个和多个器件AS配置设置。走线长度是从Cyclone V器件到EPCS或EPCQ器件的长度。

表7-5: Cyclone V器件的AS x1和 x4配置的最高走线长度和负载

Cyclone V器件AS管脚	最大电路板走线长度 英寸		最大电路板加载(pF)
	12.5/ 25/ 50 MHz	100 MHz	
DCLK	10	6	5

Cyclone V器件AS管脚	最大电路板走线长度 英寸		最大电路板加载(pF)
	12.5/ 25/ 50 MHz	100 MHz	
DATA[3..0]	10	6	10
nCS0	10	6	10

编程EPCS和EPCQ器件

可以使用一个 USB-Blaster™、EthernetBlaster、EthernetBlaster II或 ByteBlaster™ II 下载电缆在系统编程EPCS和EPCQ器件。或者，可以使用微处理器以及SRRunner软件驱动器编程EPCS或EPCQ。

在系统编程(ISP)提供选项，使您可以选择使用AS编程接口或JTAG接口编程EPCS或EPCQ。通过使用AS编程接口，配置数据由Quartus II或任何所支持的第三方软件编程到EPCS。通过使用JTAG接口，称为串行闪存加载器(SFL)的Altera IP必须被下载到Cyclone V器件以便形成JTAG接口和EPCS或EPCQ之间的桥接。这样使能够直接使用JTAG接口编程EPCS或EPCQ。

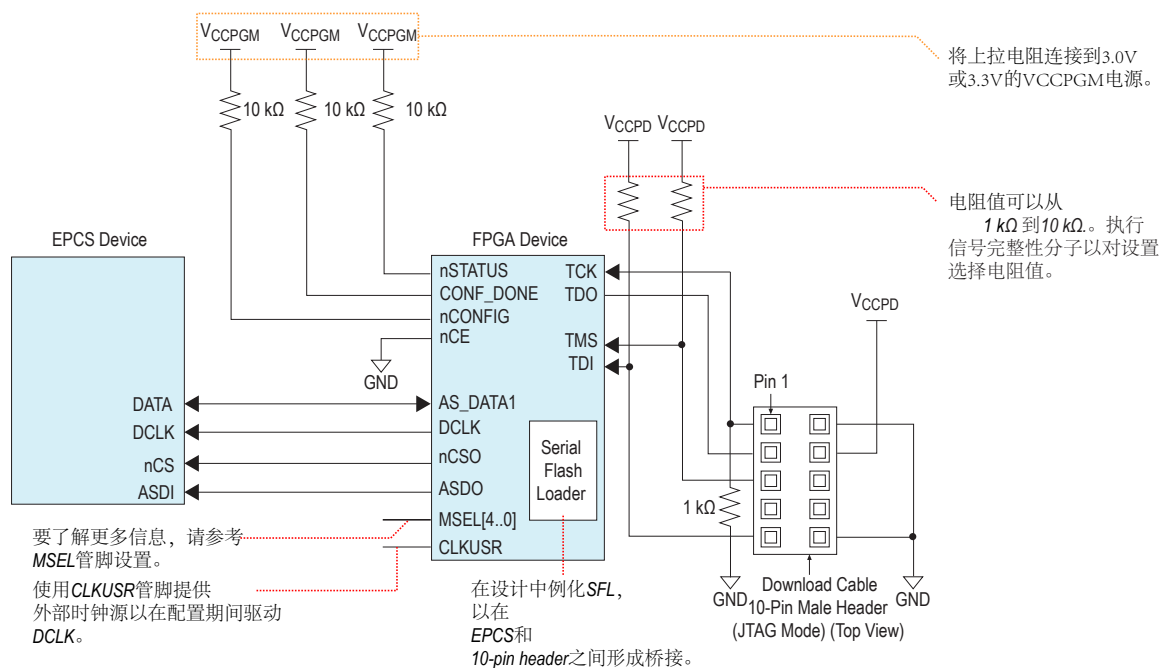
相关链接

- [通过Quartus II使用串行闪存加载器](#)
- [AN 418: SRRunner: 串行配置器件编程的嵌入式解决方案](#)

使用JTAG接口编程EPCS

要使用JTAG接口编程EPCS器件，那么如下图所示连接器件。

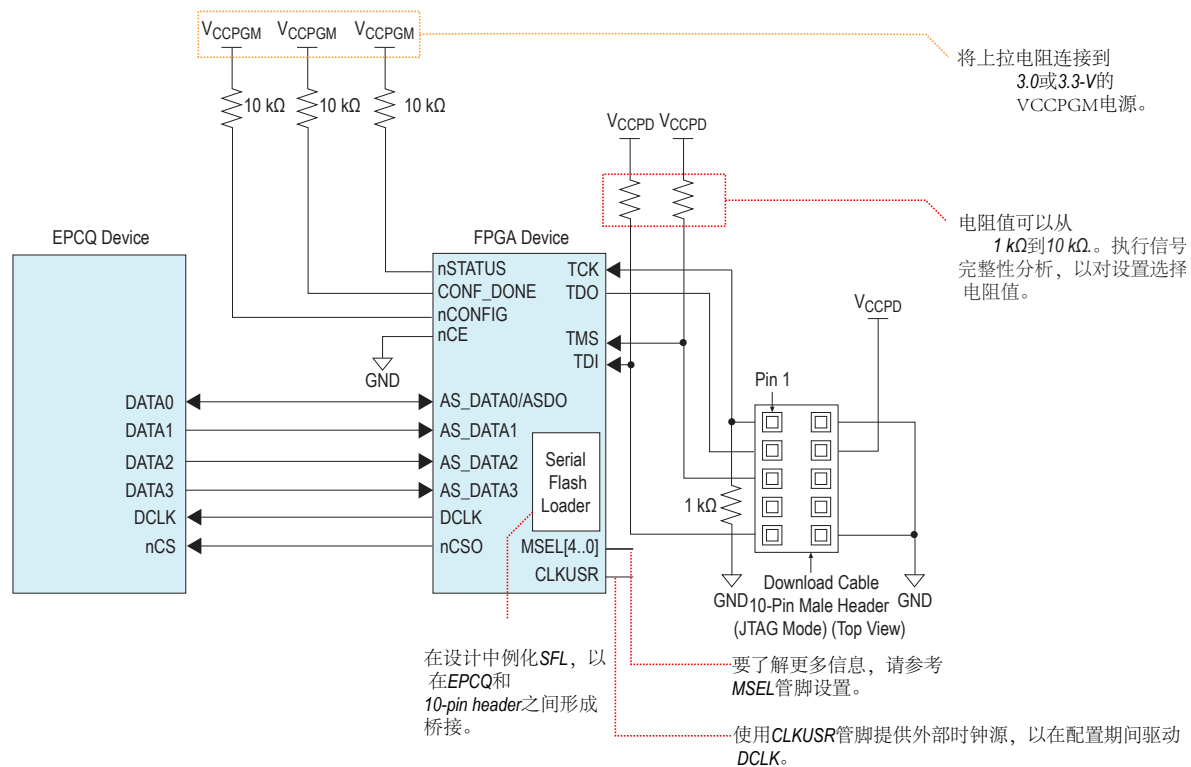
图7-8: 使用JTAG接口编程EPCS的连接设置



使用JTAG接口编程EPCQ

要使用JTAG接口编程EPCQ器件，那么如下图所示连接器件。

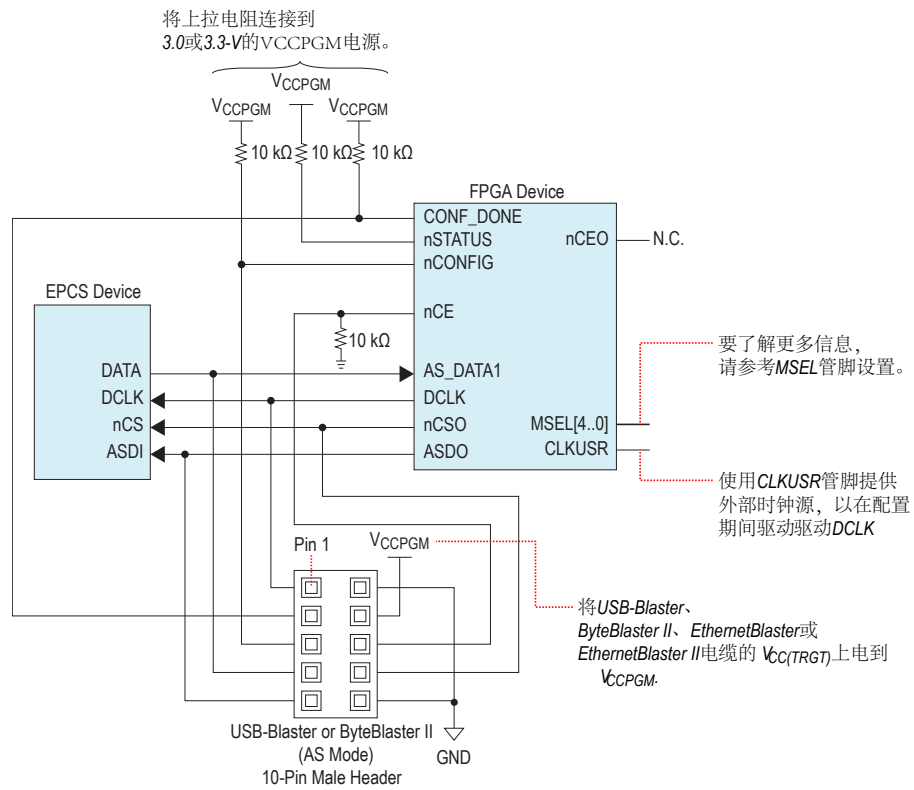
图7-9: 使用JTAG接口编程EPCQ的连接设置



使用有效串行接口编程EPCS

要使用AS接口编程EPCS器件，那么如下图所示连接器件。

图7-10: 使用AS接口编程EPCS的连接设置

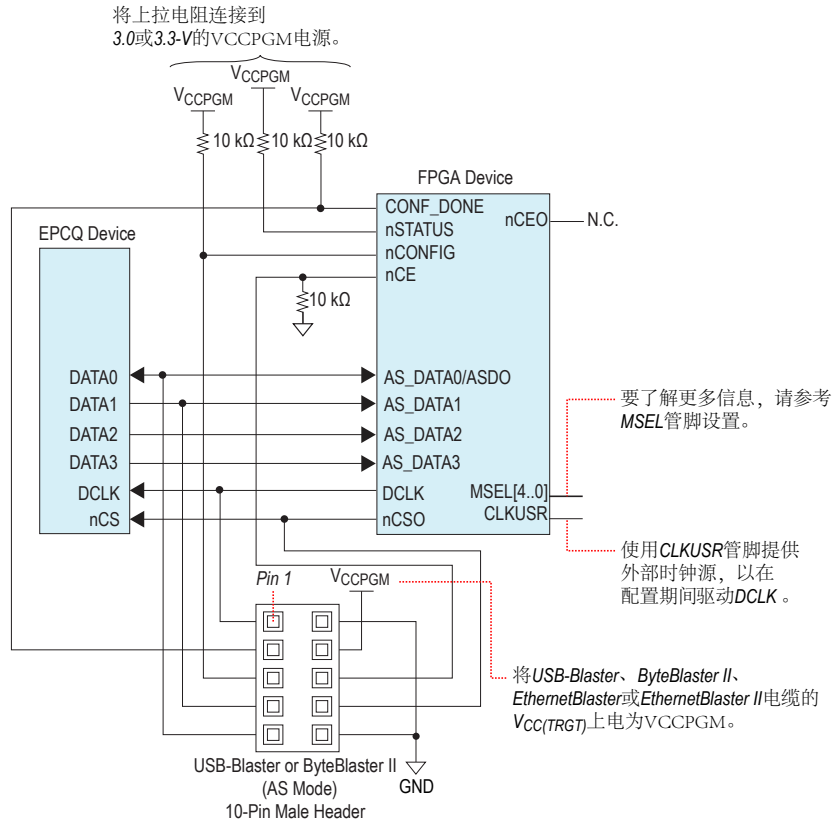


使用有效串行接口编程EPCQ

要使用AS接口编程 EPCQ器件, 请如下图所示连接器件。

图7-11: 使用AS接口编程EPCQ的连接设置

通过使用AS接头，编程器串行地发送操作命令和配置位到DATA0的EPCQ。这等同于EPCS的编程操作。



当编程EPCS和EPCQ器件时，下载电缆通过驱动 nCE管脚为高电平禁用对AS接口的访问。nCONFIG线也被拉低来保持 Cyclone V器件处于复位阶段。编程完成后，下载电缆释放nCE和nCONFIG，从而使得下拉和上拉电阻分别驱动GND和 VCCPGM 的管脚。

EPCQ使用下载电缆编程期间，DATA0将编程数据、操作命令和地址信息从下载电缆传输到EPCQ。EPCQ使用下载电缆验证期间，DATA1将编程数据又传输回下载电缆。

被动串行配置

PS配置方案使用一个外部主机。可以将微处理器、MAXII器件、MAXV器件或主机PC用作外部主机。

可以使用一个外部主机控制配置数据从外部存储(例如闪存存储器)传输到FPGA。控制配置过程的设计位于外部主机。

您可以在Programmer Object File (.pof)、.rbf、.hex 或 .ttf 中存储配置数据。如果使用 .rbf、.hex 或 .ttf 中的配置数据，那么要首先发送每个数据字节的LSB。例如，如果 .rbf 包含字节序列

02 1B EE 01 FA, 那么发送到器件的串行数据必须是 0100-0000 1101-1000 0111-0111 1000-0000 0101-1111。

可以使用MAX II或MAX V器件的PFL megafunction来读取闪存存储器件的配置数据并且配置Cyclone V器件。

对于一个PC主机, 使用一个下载电缆(例如Altera USB-BlasterUSB端口、ByteBlaster II并行端口、EthernetBlaster和 EthernetBlaster II下载电缆)将PC连接到器件。

配置数据被串行地移到器件的DATA0管脚。

如果使用Quartus II编程器并且 CLKUSR管脚被使能, 那么不需要对管脚初始化器件提供时钟源。

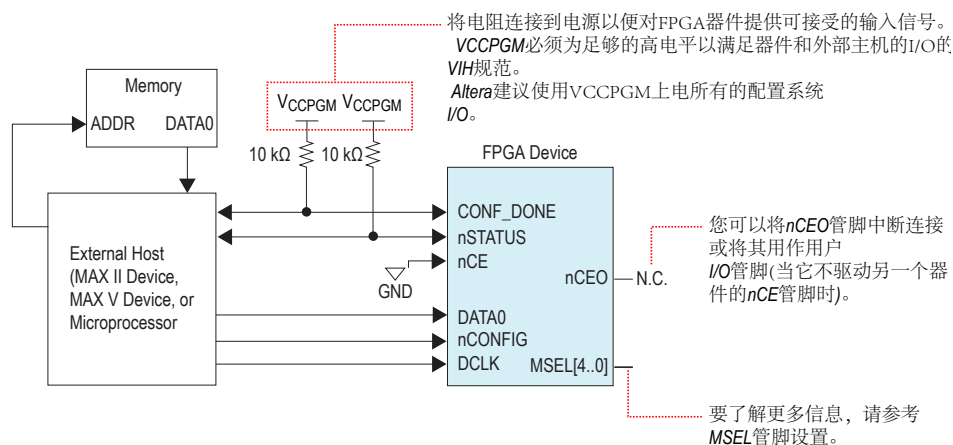
相关链接

- [并行闪存加载器宏功能用户指南](#)
- [Cyclone V器件数据手册](#)
提供了关于PS配置时序的更多信息。

使用一个外部主机的PS单器件配置

要配置Cyclone V器件, 如下图所示将器件连接到外部主机。

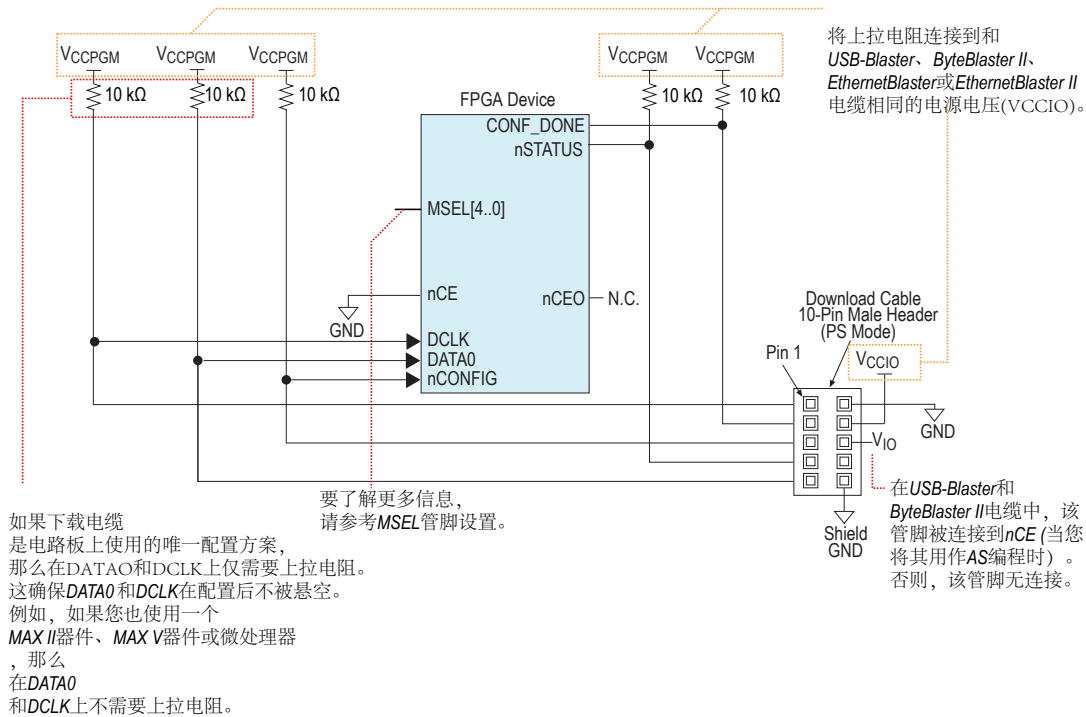
图7-12: 使用一个外部主机的单器件PS配置



使用Altera下载电缆的PS单器件配置

要配置Cyclone V器件, 如下图所示, 将器件连接到下载电缆。

图7-13: 使用Altera下载电缆的单器件PS配置



被动串行多器件配置

可以配置连接在链中的多个 Cyclone V 器件。

管脚连接和指南

对于该配置设置，请观测以下的管脚连接和指南：

- 将以下链中所有器件的管脚连接在一起：
 - nCONFIG
 - nSTATUS
 - DCLK
 - DATA0
 - CONF_DONE

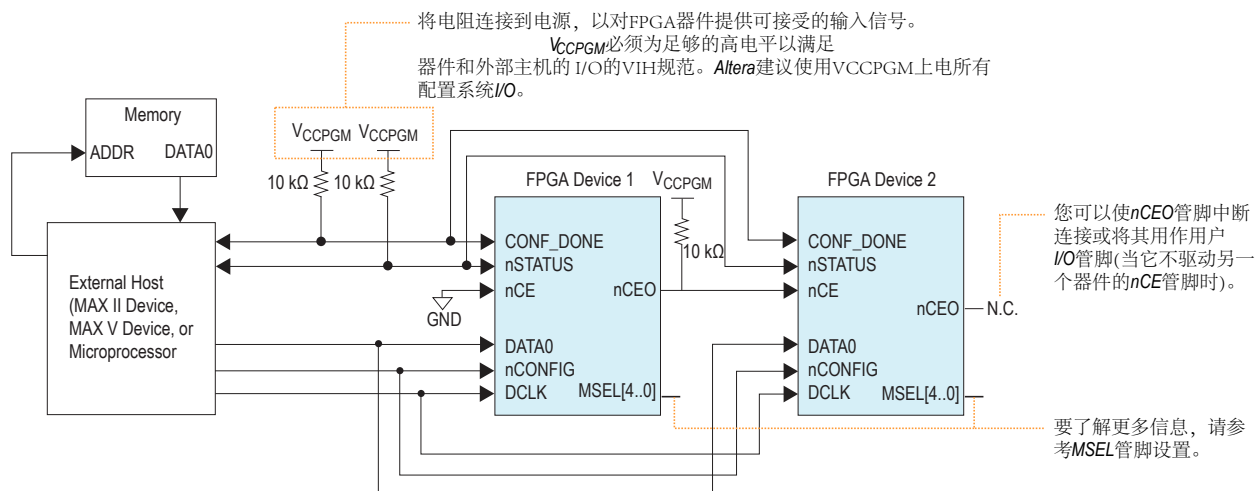
通过将 CONF_DONE 和 nSTATUS 管脚连接在一起，器件同时进行初始化并进入用户模式。如果链中的任何器件检测到一个错误，那么整个链中配置停止并且您必须重配置所有器件。例如，如果链中的第一个器件在 nSTATUS 管脚上标记一个错误，那么它通过将 nSTATUS 管脚拉低来复位链

- 如果使用相同配置数据对链中的器件进行配置，那么器件必须具有相同的封装和密度。

使用多个配置数据

要使用多个配置数据配置链中的多个 Cyclone V 器件，请如下图所示将器件连接到外部主机。

图7-14: 当两个器件接收不同组的配置数据时的多个器件PS配置

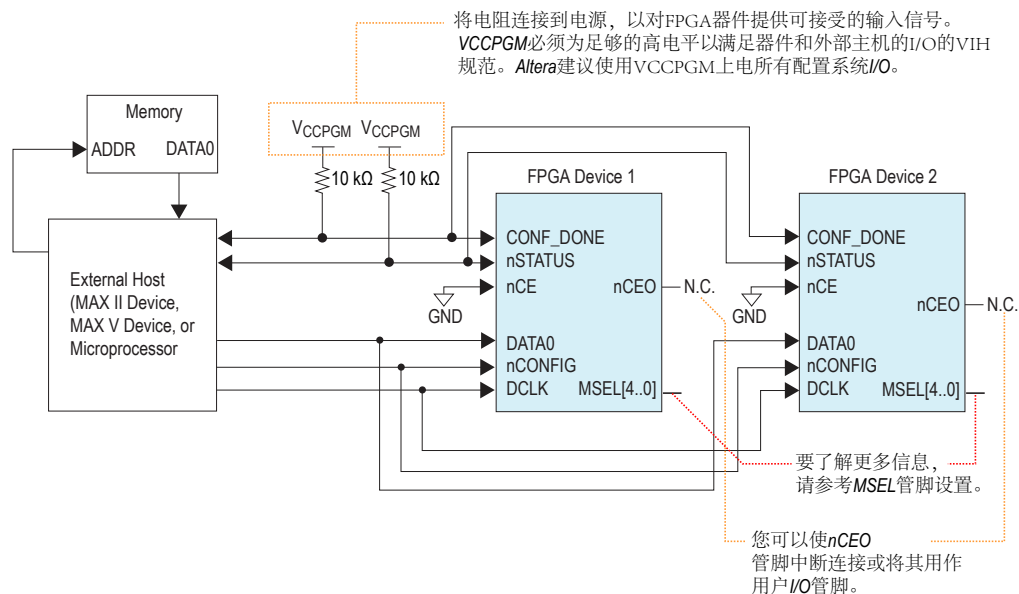


器件完成配置后，它的nCEO管脚被释放为低电平以便激活链中的下一个器件的nCE管脚。一个时钟周期后，第二个器件的配置自动开始。

使用一个配置数据

要使用一个配置数据配置链中的多个Cyclone V器件，那么请如下图所示将器件连接到外部主机。

图7-15: 当两个器件接收相同组的配置数据时的多器件PS配置

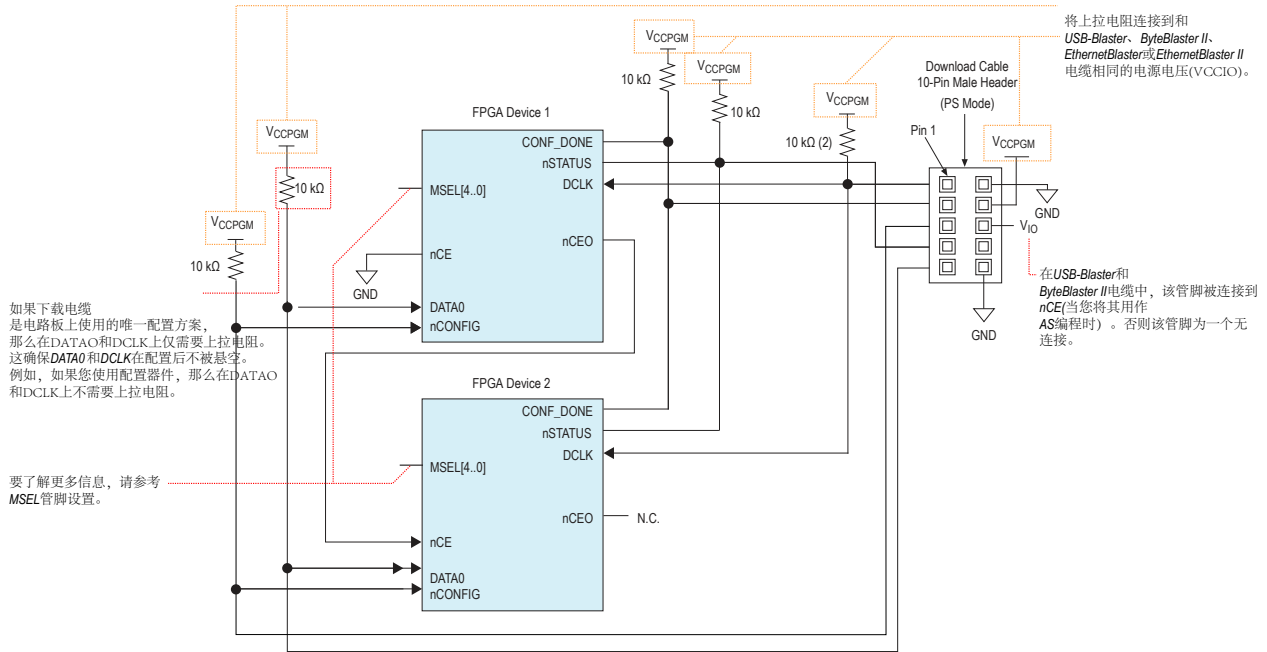


链中器件的nCE管脚被连接到GND，从而使得这些器件的配置能够同时开始和结束。

使用PC主机和下载电缆

要配置多个Cyclone V器件，如下图所示，将器件连接到下载电缆。

图7-16: 使用Altera下载电缆的多个器件PS配置



当器件完成配置时，它的nCEO管脚被释放为低电平以便激活下一个器件的nCE管脚。第二个器件的配置自动开始。

JTAG配置

在Cyclone V器件中，JTAG指令优先于其它的配置方案。

Quartus II生成一个SRAM目标文件(.sof)，您可以通过一条下载电缆使用该文件在Quartus II软件编程器中进行JTAG配置。另外，您可以将JRunner软件和.rbf或JAM™ Standard Test and Programming Language (STAPL) Format File (.jam)一起使用或将JAM Byte Code File (.jbc)和其它第三方编程器工具一起使用。

相关链接

- [器件配置管脚 \(第7-6页\)](#)
提供了JTAG配置管脚的更多信息。
- [JTAG安全模式 \(第7-32页\)](#)
- [AN 425: 对器件编程使用命令行Jam STAPL解决方案](#)
- [Cyclone V器件数据手册](#)
提供了关于JTAG配置时序的更多信息。

- Cyclone V器件中的JTAG边界扫描测试
- Jam STAPL语言的编程支持
- USB-Blaster下载电缆用户指南

JTAG单器件配置

要配置JTAG链中的单器件，编程软件设置其它的器件为旁路模式。旁路模式中的器件通过一个单一旁路寄存器将编程数据从T_{DI}管脚传输到T_{DO}管脚。一个时钟周期后，配置数据在T_{DO}管脚可用。

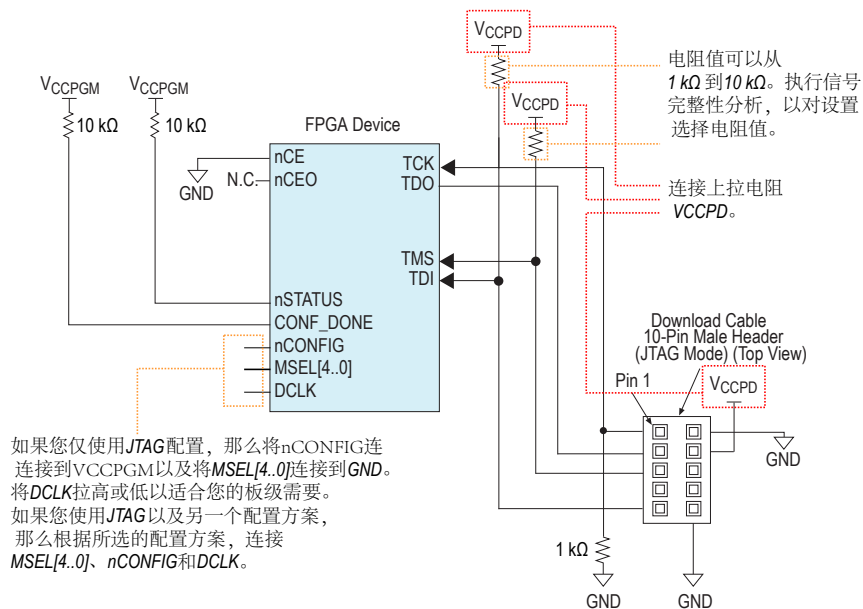
Quartus II可以使用CONF_DONE管脚通过JTAG端口来验证配置过程的完成：

- CONF_DONE管脚为低电平—表示配置已经失败。
- CONF_DONE管脚为高电平—表示配置已经成功。

配置数据通过使用JTAG_{T_{DI}}端口被串行地发送后，T_{CK}端口被计入额外的1,222个周期以执行器件初始化。

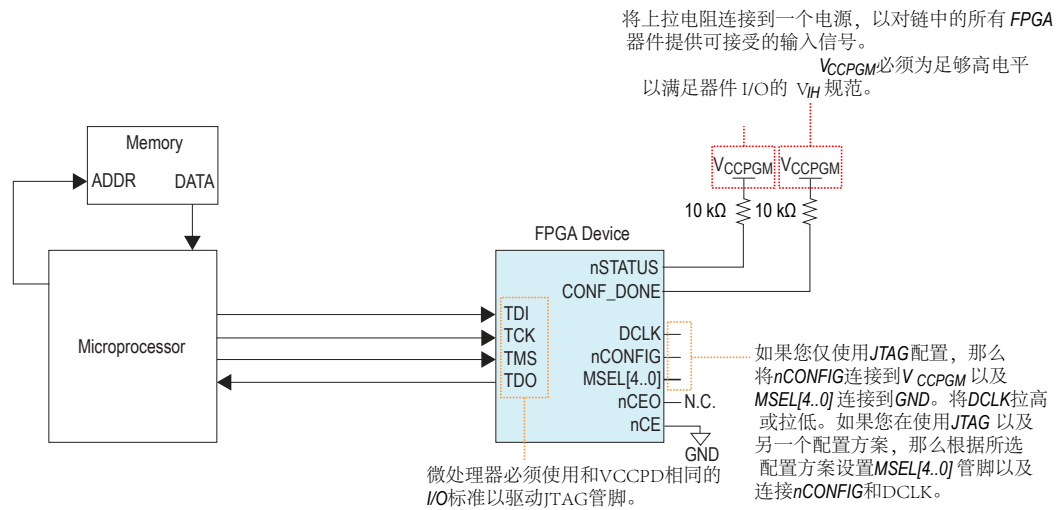
要使用下载电缆配置Cyclone V器件，请如下图所示连接器件。

图7-17: 使用一个下载电缆进行的单器件的JTAG配置



要使用微处理器配置 Cyclone V器件，请如下图所示连接器件。可以将JRunner用作软件驱动器。

图7-18: 使用一台微处理器的单器件的JTAG配置



相关链接

[AN 414:JRunner 软件驱动器: APLD JTAG 配置的嵌入式解决方案](#)

JTAG多器件配置

您可以配置 JTAG 链中的多个器件。

管脚连接和指南

对于该配置设置，观测以下管脚连接和指南：

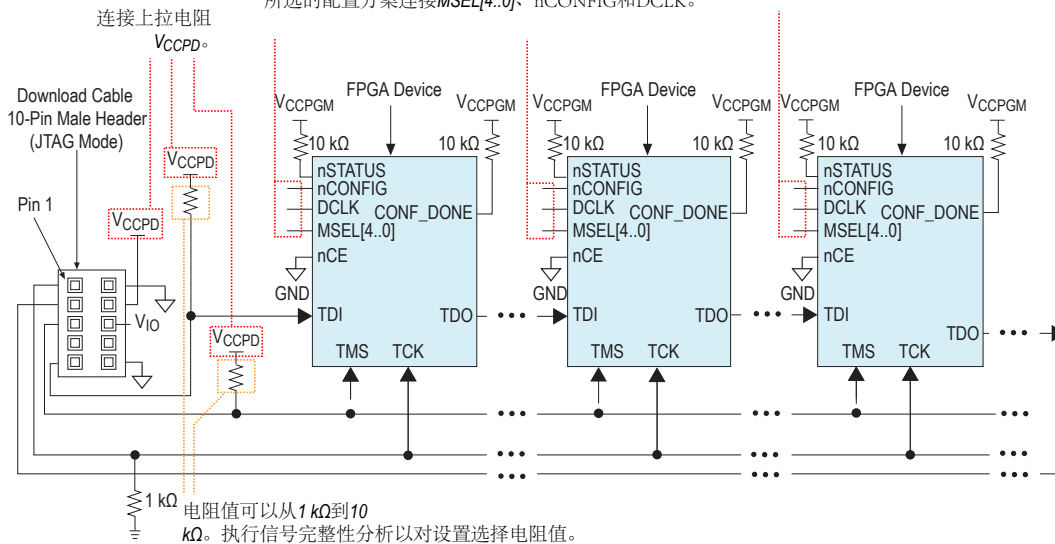
- 隔离 CONF_DONE 和 nSTATUS 管脚以便支持每个器件单独地进入用户模式。
- 一个 JTAG 兼容的接头被连接到 JTAG 链中的几个器件。JTAG 链上器件的数量仅受下载电缆的驱动能力而限制。
- 如果在 JTAG 链中有 4 个或更多器件，那么使用板级缓冲器缓冲 TCK、TDI 和 TMS 管脚。也可以将 JTAG 支持的其它 Altera 器件连接到链上。
- 当系统包含多个器件或当使用 JTAG 边界扫描测试 (BST) 电路测试您的系统时，JTAG 链器件编程是理想的。

使用一个下载电缆

下图显示了一个多器件 JTAG 配置。

图7-19: 使用下载电缆进行的多器件的JTAG配置

如果您仅使用JTAG配置，那么将nCONFIG连接到VCCPGM以及将MSEL[4..0]连接到GND。将DCLK拉高或拉低，以适合您的板极需要。如果您使用JTAG以及另一个配置方案，那么根据所选的配置方案连接MSEL[4..0]、nCONFIG和DCLK。



相关链接

[AN 656: 合并多个配置方案](#)

提供了关于将JTAG配置和其它的配置方案相结合的更多信息。

CONFIG_IO JTAG指令

CONFIG_IO JTAG指令使您能够使用JTAG端口在器件配置之前或期间配置I/O缓冲器。当发出该指令时，它中断配置并且使您能够发出所有JTAG指令。否则，您只能够发出BYPASS、IDCODE和SAMPLE JTAG指令。

您可以使用CONFIG_IO JTAG指令来中断配置并且执行板级测试。板级测试完成后，您必须对器件进行重配置。使用以下方法对器件进行重配置：

- JTAG接口一发出PULSE_NCONFIG JTAG指令。
- FPP、PS或AS配置方案一脉冲nCONFIG管脚为低电平。

配置数据解压缩

Cyclone V器件在配置期间可以接收到压缩的配置比特流并且实时解压缩该数据。初始数据表明，根据设计，压缩通常减少30%到55%的配置文件大小。

在除JTAG配置方案以外的所有配置方案中支持解压缩。

您可以在设计编译之前或之后使能压缩。

设计编译前的使能压缩

要在设计编译之前使能压缩，请遵循以下步骤：

1. 在Assignment菜单中，点击**Device**。
2. 选择Cyclone V器件，然后点击 **Device and Pin Options**。
3. 在**Device and Pin Options**窗口中的**Category**列表下选择**Configuration**并且打开**Generate compressed bitstreams**。

设计编译后的使能压缩

要在设计编译后使能压缩，请遵循以下步骤：

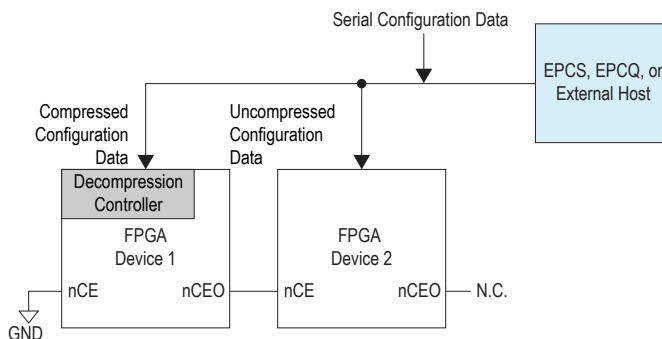
1. 在File菜单中，点击**Convert Programming Files**。
2. 选择编程文件类型(**.pof**、**.sof**、**.hex**、**.hexout**、**.rbf** 或 **.ttf**)。对于POF输出文件，请选择一个配置器件。
3. 在**Input files to convert**列表中，选择**SOF Data**。
4. 点击**Add File**并且选择 Cyclone V器件 **.sof**。
5. 选择添加到**SOF Data**的文件名字，然后点击 **Properties**。
6. 打开**Compression**复选框。

在多器件配置中使用压缩

下图显示了一条链的两个Cyclone V器件。压缩仅对第一个器件使能。

该设置仅由AS或PS多器件配置支持

图7-20: 相同配置文件中的压缩和未压缩的串行配置数据

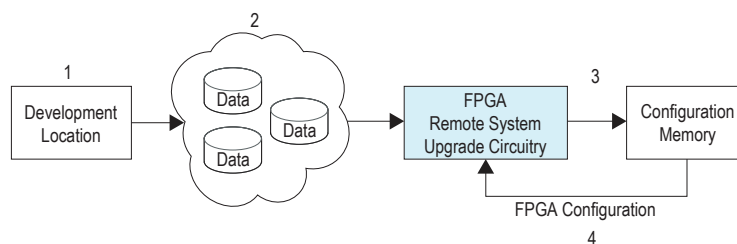


对于FPP配置方案，由于 $DCLK\text{-}to\text{-}DATA[]$ 比率的不同，相同多器件配置链中的压缩和未压缩的配置组合不被支持。

远程系统更新

Cyclone V器件包含专用远程系统更新电路。您可以使用该功能从远程位置更新系统。

图7-21: Cyclone V远程系统更新结构图



您可以设计系统来管理配置器件中应用配置镜像的远程更新。下表为远程系统更新的序列：

1. Cyclone V器件中的逻辑(嵌入式处理器或用户逻辑)接收远程位置的配置镜像。可以使用通信协议(例如TCP/IP、PCI、用户数据报协议(UDP)、UART，或专有接口将器件连接到远程资源。
2. 逻辑在非易失的配置存储器中存储配置镜像。
3. 逻辑使用最新接收到的配置镜像开始重配置周期。
4. 当错误出现时，电路检测到错误，恢复到一个安全配置镜像，并且对设计提供错误状态。

配置镜像

系统中的每个Cyclone V器件需要一个出厂镜像。出厂镜像是一个用户定义的配置镜像，它包含逻辑可以执行以下操作：

- 根据状态信息，处理来自专用远程系统更新电路的错误。
- 与远程主机通信和接收新应用镜像并将镜像存储在本地非易失存储器件中。
- 决定加载到Cyclone V器件的应用镜像。
- 使能或禁用用户监视计时器并且加载其超时值。
- 指示专用远程系统更新电路开始一个重配置周期。

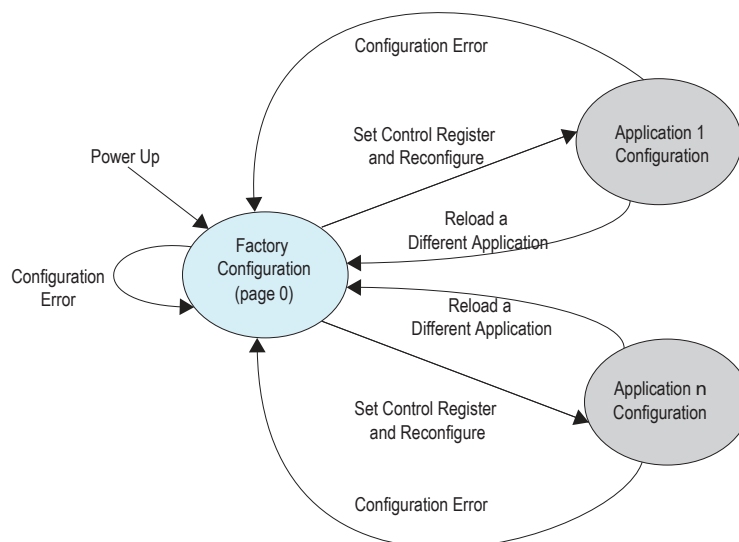
也可以为器件创建一个或多个应用镜像。一个应用镜像包含目标器件中要实现的所选功能性。

将镜像存储在以下EPCS或EPCQ器件中的位置：

- 出厂配置镜像—EPCS或EPCQ器件的 $PGM[23..0] = 24'h000000$ 起始地址。
- 应用配置镜像—任何扇形边界。Altera建议仅存储一个镜像在一个扇形边界中。

远程更新模式中的配置序列

图7-22: 远程更新模式中出厂和应用配置之间的转换



相关链接

[远程系统更新状态机 \(第7-31页\)](#)

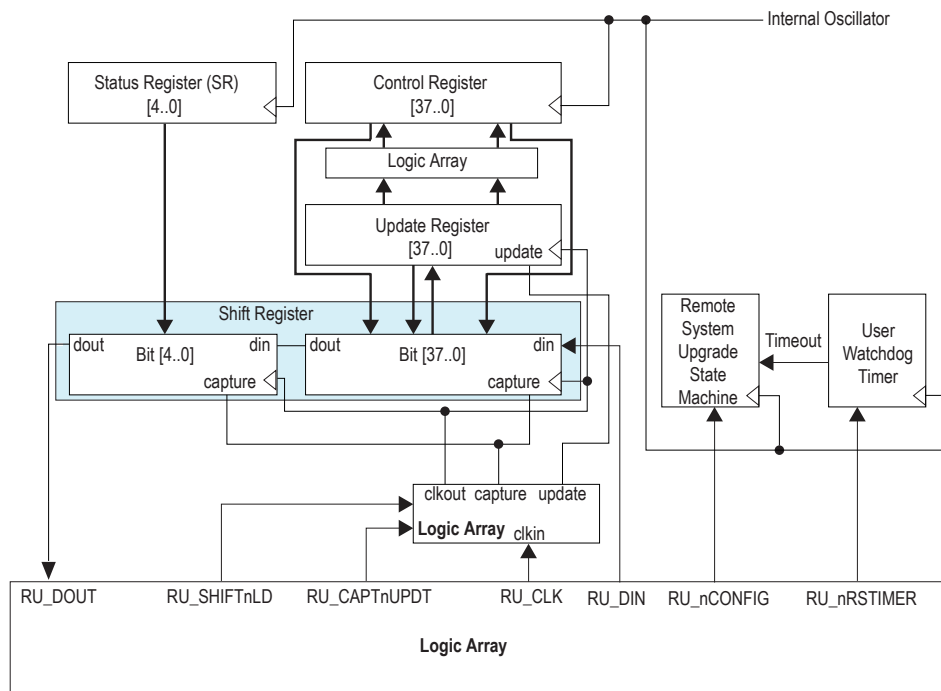
远程更新模式中配置序列的详细说明。

远程系统更新电路

远程系统更新电路包含远程系统更新寄存器、监视计时器、和一个控制这些组件的状态机。

注意: 如果使用ALTRMOTE_UPDATE megafunction, 那么megafunction从内部控制 RU_DOUT、RU_SHIFThLD、RU_CAPThUPDT、RU_CLK、RU_DIN、RU_nCONFIG 和 RU_nRSTIMER 信号以执行所有相关的远程系统更新操作。

图7-23: 远程系统更新电路



相关链接

[Cyclone V 器件数据手册](#)

提供了关于远程系统更新电路时序规范的更多信息。

使能远程系统更新电路

要使能远程系统更新功能，请执行以下步骤：

1. 在Quartus II的Device and Pin Options对话框的Configuration页面的配置方案列表中选择 **Active Serial x1** 或 **Configuration Device**。
2. 在Quartus II的Device and Pin Options对话框的Configuration页面的配置模式列表中选择**Remote** 打开 **Auto-restartconfiguration after error**选项自动使能该功能。

Altera提供的ALTREMOTE_UPDATE megafunction 对远程系统更新电路提供一个如同存储器的接口并且处理Cyclone V器件逻辑中的移位寄存器读和写协议。

Related Information

[远程系统更新\(ALTREMOTE_UPDATE\)宏功能用户指南](#)

远程系统更新寄存器

表7-6: 远程系统更新寄存器

寄存器	说明
移位	<p>通过逻辑阵列访问并且由 RU_CLK 提供时钟。</p> <ul style="list-style-type: none"> 位[4..0] — 状态寄存器的内容被移入到这些位。 位[37..0] — 更新和控制寄存器的内容被移入到这些位。
控制	<p>该寄存器由10-MHz内部振荡器提供时钟。该寄存器的内容被移入到移位寄存器以便应用配置中的用户逻辑来读取。当重配置被触发时，该寄存器被更新为更新寄存器的内容。</p>
更新	<p>该寄存器由 RU_CLK 提供时钟。出厂配置通过将数据移到移位寄存器并且发出一个更新来更新该寄存器。当重配置被触发时，更新寄存器的内容被写入控制寄存器。</p>
状态	<p>每次重配置之后，远程系统更新电路更新该寄存器以表明触发了重配置的事件。该寄存器由10-MHz内部振荡器提供时钟。</p>

相关链接

- [控制寄存器](#) (第7-30页)
- [状态寄存器](#) (第7-31页)

控制寄存器

表7-7: 控制寄存器位

位	名称	复位值 ⁽³⁾	说明
0	AnF	1'b0	<p>应用非出厂指示位。表示目前加载到器件中的配置镜像类型；0表示出厂镜像，1表示应用镜像。当该位为1时，控制寄存器的访问仅限于读取并且用户监视计时器被使能。</p> <p>使用一个应用配置镜像触发重配置之前，出厂配置设计必须将该位设置为1。</p>
1 .. 24	PGM[0..23]	24'h000000	AS配置起始地址(stAdd[31..8])的上部24位，8 LSB为零。
25	Wd_en	1'b0	用户监视计时器使能位。将该位设置为 1 来使能监视计时器。
26..37	Wd_timer[11..0]	12b000000000000	用户监视超时值。

⁽³⁾ 这是器件退出POR之后以及重配置返回到出厂配置镜像期间的默认值。

状态寄存器

表7-8: 状态寄存器位

位	名称	复位值 ⁽⁴⁾	说明
0	CRC	1'b0	设置为 1 时，表示应用配置期间的CRC错误。
1	nSTATUS	1'b0	当设置为 1 时，表示错误导致外部器件置位nSTATUS。
2	Core_nCONFIG	1'b0	当设置为 1 时，表示重配置已经由器件的逻辑阵列触发。
3	nCONFIG	1'b0	当设置为 1 时，表示nCONFIG被置位。
4	Wd	1'b0	当设置为 1 时，表示用户监视器超时。

远程系统更新状态机

远程系统更新状态机的操作如下所示：

1. 上电后，远程系统更新寄存器被复位为**0**并且出厂配置镜像被加载。
2. 用户逻辑将AnF位设置为**1**并且应用镜像的起始地址被加载。用户逻辑也写入监视计时器设置。
3. 当配置复位(RU_CONFIG)变低时，状态机将控制寄存器更新为更新寄存器的内容，并且使用应用配置镜像触发重配置。
4. 如果出现错误，那么状态机回到出厂镜像。控制和更新寄存器被复位为**0**，并且状态寄存器被更新为错误信息。
5. 成功地重配置后，系统保持在应用配置。

用户监视计时器

用户监视计时器防止由于意外停止器件而出现的错误的配置。一个应用配置成功地加载到器件后，可以使用计时器检测功能错误。计时器自动在出厂配置中禁用;在应用配置中使能。

注意：如果在应用配置中不需要该功能，那么在出厂配置用户模式操作期间，通过设置更新寄存器的wd_en位为**1'b0**而关闭该功能。不可以在应用配置中禁用该功能。

计数器是29位宽并且具有一个最大计数值为 2^{29} 。当指定用户监视计时器值时，仅需指定最高的12位。计时器设置的粒度为 2^{17} 个周期。周期时间以用户监视计时器内部振荡器的频率为基础。

应用配置一进入用户模式，计时器就开始计数。当计时器超时，远程系统更新电路生成一个超时信号、更新状态寄存器、并且触发出厂配置镜像的加载。要复位时间，需置位RU_nRSTIMER。

相关链接

[Cyclone V器件数据手册](#)

提供了关于用户看门狗内部振荡器频率的操作范围的更多信息。

⁽⁴⁾ 器件退出POR和上电后，状态寄存器内容是5'b00000。

设计安全

Cyclone V设计安全功能支持以下性能：

- 支持256位密钥行业标准设计安全算法的(FIPS-197认证)优化内置高级加密标准(AES)解密模块
- 易失性和非易失性密钥编程支持
- 通过篡改保护位设置的易失性和非易失性密钥的安全操作模式
- JTAG安全模式中上电期间有限可访问的JTAG指令
- 支持板级测试
- 支持非易失密钥的in-socket密钥编程
- 可用于除JTAG以外的所有配置方案
- 支持远程系统更新和压缩功能

Cyclone V设计安全功能对设计提供以下安全保护：

- 反复制的安全保护—安全性密钥被安全地存储在Cyclone V器件中并且不可以通过任何接口读取。除此之外，因为配置文件回读在Cyclone V器件中不被支持，所以设计信息不可以被复制。
- 反逆向工程的安全保护—从一个加密的配置文件中逆向工程非常难并且很花时间，因为Cyclone V配置文件格式是专有的，并且文件包含需要特定解密的百万的比特。
- 反篡改安全保护—设置篡改保护位之后，Cyclone V器件仅可以接受加密了相同密钥的配置文件。除此之外，通过JTAG接口和配置接口的编程被阻止。

当将压缩功能和设计安全功能一起使用的时候，通过使用Quartus II，配置文件首先被压缩，然后被加密。在配置期间，器件先解密，然后解压缩配置文件。

在FPP配置方案中对Cyclone V器件使用设计安全功能时，它需要一个不同的DCLK-to-DATA[]比率。

ALTCHIP_ID Megafunction

ALTCHIP_ID megafunction提供以下功能：

- 获取FPGA器件的芯片ID。
- 作为安全功能的一部分使您能够识别设计中的器件以保护设计而防止未授权的器件。

相关链接

[ALTCHIP_ID宏功能用户指南](#)

JTAG安全模式

当使能篡改保护位时，Cyclone V器件在上电后处于JTAG安全模式。该模式期间，许多JTAG指令被禁用。Cyclone V器件仅允许强制性的JTAG 1149.1 指令被执行。这些JTAG指令是SAMPLE/PRELOAD、BYPASS、EXTTEST和可选的指令，例如IDCODE和SHIFT_EDERROR_REG。

要使能其它JTAG指令的存取功能，例如USERCODE、HIGHZ、CLAMP、PULSE_nCONFIG和CONFIG_IO，那么必须发出UNLOCK指令来关闭JTAG安全模式。可以发出LOCK指令以使器件回到JTAG安全模式。您可以在用户模式期间仅发出LOCK和UNLOCK JTAG指令。

相关链接

[Cyclone V器件中的JTAG边界扫描测试](#)

提供了关于与LOCK和UNLOCK指令相关联的JTAG二进制指令代码的更多信息。

安全密钥类型

Cyclone V器件提供两种类型的密钥—易失和非易失。下表列出了易失密钥和非易失密钥之间的区别。

表7-9: 安全密钥类型

密钥类型	密钥编程性	密钥 存储的电源	编程方法
易失的	<ul style="list-style-type: none"> 可重编程 可擦除 	所需外部电池， V_{CCBAT} ⁽⁵⁾	板上
非易失的	一次性编程	不需要一个外部电池	板上和 in-socket编程 ⁽⁶⁾

非易失和易失密钥编程提供免遭逆向工程和非法复制的保护。如果设置篡改保护位，那么设计也会得到免篡改的保护。

您可以通过JTAG管脚接口执行密钥编程。尝试进行密钥编程之前，确保nSTATUS管脚被释放为高电平。

注意：要清除易失性密钥，请发出KEY_CLR_VREG JTAG指令。要验证易失性密钥是否被清除，请发出 KEY_VERIFY JTAG指令。

相关链接

- [Cyclone V器件中的JTAG边界扫描测试](#)
提供了关于 KEY_CLR_VREG 和 KEY_VERIFY JTAG指令的更多信息。
- [Cyclone V器件系列管脚连接指南](#)
提供了关于 V_{CCBAT} 管脚连接建议的更多信息。
- [Cyclone V器件数据手册](#)
提供了关于电池规范的更多信息。

⁽⁵⁾ V_{CCBAT} 是易失密钥存储的专用电源。不管片上电源情况如何， V_{CCBAT} 都会连续地对易失寄存器提供电源。

⁽⁶⁾ 第三方供应商提供 in-socket编程。

安全模式

表7-10: 所支持的安全模式

安全模式	篡改保护位设置	器件接受未加密的文件	器件接受加密的文件	安全级别
无密钥	—	Yes	No	—
易失密钥	—	Yes	Yes	安全
带有篡改保护位设置的易失性密钥	设置	No	Yes	反篡改的安全保护
非易失密钥	—	Yes	Yes	安全
具有篡改保护位设置的非易失性密钥	设置	No	Yes	反篡改的安全保护

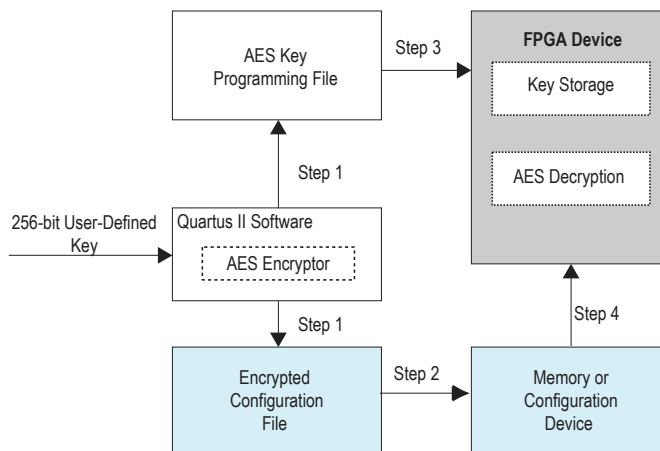
板级测试仪支持易失密钥和非易失密钥安全模式中未加密的配置比特流的使用。

注意：对于带有篡改保护位设置的易失密钥安全模式，如果易失密钥被擦除，那么Cyclone V器件不接受加密的配置文件。如果易失密钥被擦除并且您想要重新编程密钥，那么您必须使用易失密钥安全模式。

使能篡改保护位禁用Cyclone V器件中的测试模式并且通过JTAG接口禁用编程。该过程是不可逆的并且禁止Altera进行故障分析。

设计安全实现步骤

图7-24: 设计安全实现步骤



要进行安全配置，请遵循以下步骤：

1. Quartus II生成设计安全密钥编程文件并且使用用户定义的256位安全密钥加密配置数据。
2. 将加密的配置文件存储在外部存储器中。
3. 通过JTAG接口，将AES密钥编程文件编程到Cyclone V器件。
4. 配置Cyclone V器件。系统上电时，外部存储器件将加密的配置文件发送到Cyclone V器件。

文档修订历史

日期	版本	修订内容
2013年6月	2013.06.11	更新了配置错误处理部分。
2013年5月	2013.05.10	删除了支持使用相同配置数据的主动串行多器件配置。
2013年5月	2013.05.06	<ul style="list-style-type: none"> • 将链接添加到Knowledge Base中的已知文档问题中。 • 添加了ALTCHIP_ID megafunction部分。 • 更新了"使用JTAG接口编程EPCS的连接设置"和"使用JTAG接口编程EPCQ的连接设置"图。 • 将AS、PS、FPP和JTAG配置时序的链接添加到器件数据表。 • 更新了表7-1中部分重配置的CvP支持：Cyclone V器件所支持的配置模式和功能。 • 将所有的链接移到各自内容的相关信息部分，以便易于参考。
2012年12月	2012.12.28	<ul style="list-style-type: none"> • 添加了Cyclone V器件的配置模式和功能。 • 添加了PR_REQUEST、PR_READY、PR_ERROR和PR_DONE管脚到配置管脚选项表。 • 重组内容并更新模板。
2012年6月	2.0	重新组织了章节结构。
2011年11月	1.1	更新了表7-4。
2011年10月	1.0	首次发布。