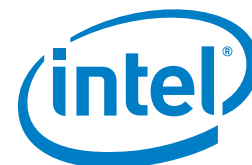


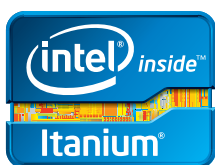
ホワイトペーパー

インテル® Itanium® プロセッサ 9500 製品ファミリー
ミッション・クリティカル・コンピューティング



ミッション・クリティカル・ アプリケーションを支える強力な並列化

最先端の Explicitly Parallel Instruction Computing (EPIC) アーキテクチャー



Steve Undy
インテル コーポレーション



インテル® Itanium® プロセッサ 9500 製品ファミリー³ (開発コード名: Poulson) は、画期的な設計を世に送り出してきたインテル® Itanium® プロセッサ・ファミリーの最新製品です。Explicitly Parallel Instruction Computing (EPIC) の原理に従って最適化されたインテル® Itanium® プロセッサ 9500 製品ファミリーの先進的なアーキテクチャーは、パイプライン、コア、スレッド、メモリー、命令など、あらゆるレベルでの並列性をその最大の特長としています。すなわち、コードに含まれている並列性を十分に引き出すことによる非常に高いパフォーマンスに加え、メインフレーム・クラスの RAS 機能によるミッション・クリティカル環境の常時稼動を実現します。



最先端の EPIC アーキテクチャーを採用

インテル® Itanium® プロセッサ 9500 製品ファミリーは、インテル® Itanium® プロセッサのコア的设计をほぼ一新したことにより、メイン実行パイプラインでの命令レベルの並列化をかつてない規模でサポートしています。この製品ファミリーは、1 サイクル当たり最大で 12 命令を 4 つの命令バンドルとして実行できます。そのために、2 つのメモリー実行ユニット、2 つの汎用整数ユニット、2 つの ALU ユニット、2 つの浮動小数点ユニット、3 つの分岐ユニット、1 つの NOP ユニットが搭載されています。各命令の実行に使用するユニットは、インテル® Itanium® プロセッサのバンドル・テンプレートが決定します。受け取った命令を 12 個の実行ユニット・パイプラインのそれぞれに分配する際のハードウェア・アルゴリズムは的確かつ効率的でシンプルなので、コンパイラーは実行リソースを正確に制御できます。12 個の命令の発行に対応するため、レジスターファイルは読み出しポートと書き込みポートをそれぞれ 12 個ずつ備えています。

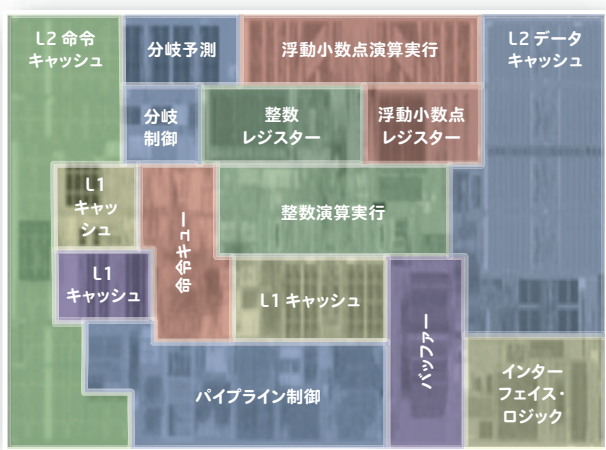


図 1. インテル® Itanium® プロセッサ 9500 製品ファミリーのコアブロック図。新しいマイクロアーキテクチャーは、11 ステージからなるパイプラインとさまざまなアーキテクチャー拡張機能を備えています。

新しいマイクロアーキテクチャーでは電力効率も重視されています。インテル® Itanium® プロセッサ 9500 製品ファミリーの電力効率を重視した設計は、コア数を倍増、動作周波数を 40% 向上すると同時に前世代のインテル® Itanium® プロセッサに比べて 3 倍の電力効率を達成して、パッケージの最大消費電力を減らすために、欠くことのできないものでした。

インテル® Itanium® プロセッサの新しい命令によるアーキテクチャー拡張

インテル® Itanium® プロセッサ 9500 製品ファミリーでは、新しい命令を追加することによってインテル® Itanium® アーキテクチャーを拡張しています。整数乗算命令、先行ゼロカウント命令、OS のスレッド制御を改善する命令が追加されました。さらに詳細なデータ・アクセス・ヒントを提供する命令が追加、拡張されたほか、こうしたヒントを制御するための新しいユーザー制御レジスターファイルも追加されました。これにより、コンパイラーはデータキャッシュやトランスレーション・ルックアサイド・バッファ (TLB) のポリシーをよりきめ細かに制御できるようになりました。さらに、複数行にわたるソフトウェア・プリフェッチのための命令も追加されています。こうした新しい命令により、シングルスレッドおよびマルチスレッドの双方において、高いパフォーマンスを実現することができます。

メモリーの並列化

インテル® Itanium® プロセッサ 9500 製品ファミリーでは、アドレス・スループットとキュー制御の改善によってメモリーの並列性も強化しています。保留中のメモリー処理を格納するためのキュー制御がコアに追加され、スループット向上を図ります。キューサイズが拡大されたほか、パフォーマンスと電力効率を重視するようにスケジューラーが改善されました。

メモリー並列化におけるもう 1 つの大きな強化点として、データ・プリフェッチ処理の実行により各レベルのキャッシュ間でデータを事前に移動し、パイプライン・ハザードを回避する機能が挙げられます。メモリー・パイプライン内のソフトウェア / ハードウェア・プリフェッチャーに加えて、コンパイラーによりソフトウェアにキャッシング・ポリシーの制御を追加することによって、インテル® Itanium® プロセッサ 9500 製品ファミリーでは、明示的なデータの制御やコントロール・スペキュレーション・メカニズムの制御を効果的に行うことができます。またプリフェッチャーは、可能な限り帯域幅を節約するアダプティブ・アルゴリズムの使用により、パイプライン・ボトルネックの可能性を低減することができます。

コアの並列化

インテル® Itanium® プロセッサ 9500 製品ファミリーでサポートされている並列化の中で最も顕著なものは、おそらくコアレベルの並列化でしょう。このプロセッサでは、1 ソケット当たり 8 個のコアがリング・インターコネクトを介して 8 個の 4MB L3 キャッシュモジュールに接続されています。リング・インターコネクトは、合計で 700GB/秒の

EPIC とは何か？

Explicitly Parallel Instruction Computing (EPIC) は、命令セット・アーキテクチャーの開発におけるパラダイムシフトをもたらしました。具体的には、並列性やパフォーマンスを引き出すという負担を、基盤となるコンピューティング・ハードウェアのみに負わせるのではなく、ソフトウェア・エコシステムとハードウェア実装とが連携することで、相乗効果を重視したアーキテクチャーが生み出されます。これによって、プログラム・ソース・コードにフルアクセス可能なコンパイラーと、プログラム実行時のランタイム情報にフルアクセス可能なプロセッサとを、それぞれの得意分野に対して最適化することが可能となります。これを実現するため、命令セットにはソフトウェアが低レベルのハードウェア・リソースを適切に制御するための機能が豊富に用意されています。例えば、ユーザープログラムごとに固有な並列化の形態をコンパイラーが特定し、スケジューリングし、利用するための機能などが挙げられます。

帯域幅に対応しています。リングキャッシュは、QuickPath インターコネクト (QPI) プロトコルを使用して 2 つのオンダイ・メモリー・コントローラーと 10 ポートルーターに接続されています。ルーターのポートは、外部のプロセッサ・ソケットやデバイスへのアクセス用に 6 つの QPI インターフェイスに接続されています。各プロセッサの帯域幅は、ソケット間で 128GB/秒、メモリーモジュールに対しては 45GB/秒です。

スレッドの並列化

インテル® Itanium® プロセッサ 9500 製品ファミリーは、旧世代の製品と同様にマルチスレッディング対応であり、インテル® ハイパースレッディング・テクノロジー¹ をサポートしています。大きく進化したインテル® Itanium® プロセッサ 9500 製品ファミリーでは、デュアルドメイン方式マルチスレッディング機能の追加など、マルチスレッディング向けの新たな最適化が行われています。デュアルドメイン方式では、フロントエンドとメインのパイプラインがそれぞれ独立してスレッド化されます。各パイプラインは、独立した異なるアルゴリズムを使用してスレッド間の切り替えを行います。コア構造の多くは、スレッドごとの個別リソースに分割されました。これには、命令バッファ、データ TLB、ハードウェア・ページ・ウォーカーなどが含まれます。その結果、別々の命令スレッドをパイプライン内の異なる部分で実行できるため、コストのかかる再コンパイルやアプリケーションの再検証をすることなく、既存のソフトウェアのパフォーマンスさえも向上させることができます。

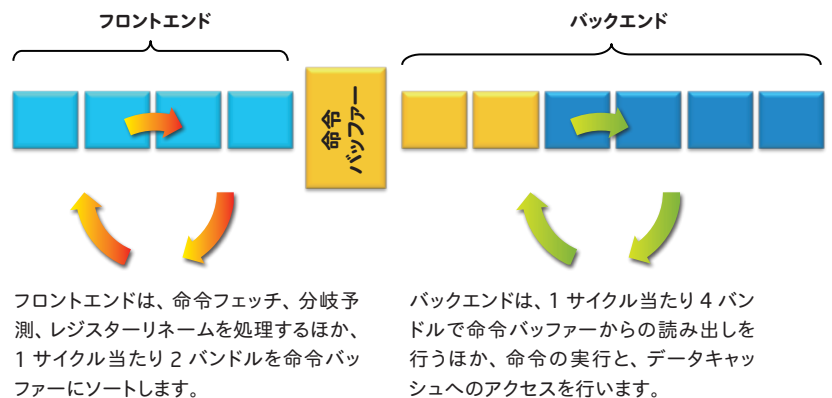


図 2. デュアルドメイン方式マルチスレッディング。インテル® Itanium® プロセッサ 9500 製品ファミリーでは、フロントエンド・パイプラインとバックエンド・パイプラインの処理を独立して行えます。

パイプラインの並列化

インテル® Itanium® プロセッサ 9500 製品ファミリーは、互いに独立して動作する、デカップリング・バッファによって分割された複数の主要パイプラインを搭載していますが、これもまた並列化のためのメカニズムの 1 つです。フロントエンド・パイプラインは、命令のフェッチ、分岐予測の実行、命令の部分的なデコード、レジスターのリネームを行います。フロントエンド・パイプラインの通過後、1 サイクル当たり 6 命令が 192 エントリー対応の命令バッファに格納されます。命令バッファは、実行ユニットのタイプに応じた 6 つの論理キューに分割されています。メイン・パイプラインは、このバッファから読み出した命令を、前述した 12 個の実行ユニットで実行します。これにより、コアは高い周波数のもとで動作でき、さらにエラーのハードウェア・リカバリーが可能となります。



命令レベルの並列化 (ILP)

EPIC の基本原理はソフトウェアとハードウェアの一体化、ソフトウェアとハードウェア間のインターフェイス部分を最適化することであり、インテル® Itanium® アーキテクチャーもこの原理に沿って設計されています。新しいインテル® Itanium® プロセッサ 9500 製品ファミリーのアーキテクチャーでは、コンパイラによるきめの細かい制御に加えて、ソフトウェアが知っている次に起きる事象をハードウェアに伝えるためのヒント命令が提供されています。分岐予測命令では、分岐予測ハードウェアや命令プリフェッチをコントロールすることができます。データ・プリフェッチ命令は、必要になる前に明示的にプリフェッチを行わせることができます。スペキュレーションや局所性に関する情報を示すヒント・コンプリーターのエンコードには、データ命令を使用することができます。

また、インテル® Itanium® プロセッサのアーキテクチャーでは、パフォーマンス・モニタリングのためのリソースが豊富に定義されています。これは、ハードウェアの動作を詳細に測定し、プロファイリングできる強力なフレームワークです。実際には、ハードウェアがコンパイラやアプリケーションの開発者に情報を伝達できるようにするメカニズムが提供するものです。

まとめ

インテル® Itanium® プロセッサ 9500 製品ファミリーの先進的な EPIC アーキテクチャーは、あらゆるレベルで並列性が強化されており、豊富なアーキテクチャー拡張機能によってかつてないレベルの命令スループットを発揮する強固なハードウェア・プラットフォームを実現します。インテル® Itanium® プロセッサのターゲットとなるミッション・クリティカル・システムでは、パフォーマンスを高めるために、信頼性、可用性、保守性を犠牲にすることはできません。実際のところ、パフォーマンスや電力効率を高めるマイクロアーキテクチャー機能の多くは、エラーからのリカバリー能力の向上も同時にもたらしています。インテル® Itanium® プロセッサ 9500 製品ファミリーを導入することで、インテル® Itanium® プロセッサを搭載した製品ラインアップの特長である世界トップクラスのミッション・クリティカル機能を確保しつつ、極めて要求の厳しいビジネス・ワークロードでのパフォーマンスと使用効率を高めることが可能となります。

インテル® Itanium® プロセッサ 9500 製品ファミリーの詳細については、<http://www.intel.co.jp/itanium/> をご覧ください。

インテル® Itanium® プロセッサ 9500 製品ファミリー

インテル® Itanium® プロセッサ 9500 製品ファミリーは新規設計された 8 個のコア、32MB の L3 キャッシュ、4 つのフルサイズ QuickPath インターコネク (QPI) リンク、2 つのハーフサイズ QPI リンク、2 つのディレクトリー・キャッシュを備えており、2 つのオンダイ・メモリー・コントローラーが 4 つの SMI リンクを介して外部メモリーモジュールに接続されています。32nm プロセス技術で製造された 31 億個のトランジスターを搭載するこの製品ファミリーは、最大 170W の熱設計電力で動作し、8 ソケットの「グルーレス」(外部回路が不要) システムのほか、さらに大規模なシステム構成も構築できます。

インテル® Itanium® プロセッサ 9500 製品ファミリーは、パフォーマンスや信頼性の向上に役立つ以下の新機能を採用し、前世代のインテル® Itanium® プロセッサに比べて 2 倍以上のパフォーマンスを発揮します。

- インテル® Itanium® プロセッサの新命令²
- デュアルドメイン方式インテル® ハイパースレディング・テクノロジー¹
- インテル® インストラクション・リプレイ・テクノロジー²

¹ インテル® ハイパースレディング・テクノロジー (インテル® HT テクノロジー) を利用するには、同技術に対応したプロセッサ、チップセットと、BIOS、OS を搭載したコンピューター・システムが必要です。性能は、使用するハードウェアやソフトウェアによって異なります。詳細については、<http://www.intel.co.jp/content/www/jp/ja/architecture-and-technology/hyper-threading/hyper-threading-technology.html> を参照してください。

² 一部の機能はシリコンレベルでサポートされており、自動的かつ透過的に実行されます。それ以外の機能には別途ファームウェア、プラットフォーム、OS によるサポートが必要であり、一部システムでは利用できないことがあります。

³ インテル® プロセッサ・ナンバーはパフォーマンスの指標ではありません。プロセッサ・ナンバーは同一プロセッサ・ファミリー内の製品の機能を区別します。異なるプロセッサ・ファミリー間の機能の区別には用いません。詳細については、<http://www.intel.com/content/www/jp/ja/processors/processor-numbers.html> を参照してください。

性能に関するテストや評価は、特定のコンピューター・システム、コンポーネント、またはそれらを組み合わせを行ったものであり、このテストによるインテル製品の性能の概算の値を表しているものです。システム・ハードウェア、ソフトウェアの設計、構成などの違いにより、実際の性能は掲載された性能テストや評価とは異なる場合があります。システムやコンポーネントの購入を検討される場合は、ほかの情報も参考にして、パフォーマンスを総合的に評価することをお勧めします。インテル製品の性能評価についてさらに詳しい情報をお知りになりたい場合は、「インテル・パフォーマンス・ベンチマークの限界」<http://www.intel.co.jp/content/www/jp/ja/benchmarks/resources-benchmark-limitations.html> を参照してください。

本資料に掲載されている情報は、インテル製品の概要説明を目的としたものです。本資料は、明示されているか否かにかかわらず、また禁反言によるとらざらにかかわらず、いかなる知的財産権のライセンスも許諾するものではありません。製品に付属の売買契約書『Intel's Terms and Conditions of Sale』に規定されている場合を除き、インテルはいかなる責任を負うものではなく、またインテル製品の販売や使用に関する明示または黙示の保証 (特定目的への適合性、商品適格性、あらゆる特許権、著作権、その他知的財産権の非侵害性への保証を含む) に関してもいかなる責任も負いません。インテルによる書面での合意がない限り、インテル製品は、その欠陥や故障によって人身事故が発生するようなアプリケーションでの使用を想定した設計は行われていません。

インテル製品は、予告なく仕様や説明が変更されることがあります。機能または命令の一覧で「留保」または「未定義」と記されているものがありますが、その「機能が存在しない」あるいは「性質が留保付である」という状態を設計の前提にしないでください。これらの項目は、インテルが将来のために留保しているものです。インテルが将来これらの項目を定義したことにより、衝突が生じたり互換性が失われたりしても、インテルは一切責任を負いません。この情報は予告なく変更されることがあります。この情報だけに基いて設計を最終的なものとししないでください。

本書で説明されている製品には、エラッタと呼ばれる設計上の不具合が含まれている可能性があり、公表されている仕様とは異なる動作をする場合があります。現在確認済みのエラッタについては、インテルまでお問い合わせください。最新の仕様をご希望の場合や製品をご注文の場合は、お近くのインテルの営業所または販売代理店にお問い合わせください。本書で紹介されている注文番号付きのドキュメントや、インテルのその他の資料を入手するには、1-800-548-4725 (アメリカ合衆国) までご連絡いただくか、<http://www.intel.co.jp/> を参照してください。

Intel, インテル, Intel ロゴ, Itanium, Itanium Inside は、アメリカ合衆国および/またはその他の国における Intel Corporation の商標です。

* その他の社名、製品名などは、一般に各社の表示、商標または登録商標です。

インテル株式会社

〒100-0005 東京都千代田区丸の内 3-1-1

<http://www.intel.co.jp/>

©2013 Intel Corporation. 無断での引用、転載を禁じます。

2013年1月

328102-001JA

JPN/1301/PDF/SE/MKTG/YM

